

证券研究报告
半导体行业/专题报告
2023年5月11日

刻蚀工艺双子星： 大马士革 & 极高深宽比

分析师：吴文吉

登记编号：S1220521120003

方正证券（601901.SH）是行业领先的大型综合类证券公司，致力于为客户提供交易、投融资、财富管理等全方位金融服务。
Founder Securities (601901.SH), an industry-leading large comprehensive securities company, is committed to providing its clients with full services in stock transactions, investment & financing, wealth management, among others.

■ 刻蚀概览：

- 刻蚀是半导体器件制造中选择性地移除沉积层特定部分的工艺。在半导体器件的整个制造过程中，刻蚀步骤多达上百个，是半导体制造中最常用的工艺之一。
- ✓ 刻蚀工艺可分为干法刻蚀和湿法刻蚀。目前应用主要以干法刻蚀为主，市场占比90%以上。湿法刻蚀在小尺寸及复杂结构应用中具有局限性，目前主要用于干法刻蚀后残留物的清洗。
- ✓ 根据作用原理，干法刻蚀可分为物理刻蚀（离子铣刻蚀）和化学刻蚀（等离子刻蚀）。
- ✓ 根据被刻蚀的材料类型，干法刻蚀则可分为金属刻蚀、介质刻蚀与硅刻蚀，介质刻蚀、硅刻蚀广泛应用于逻辑、存储器等芯片制造中，合计占九成以上市场规模。

■ 刻蚀关键工艺：大马士革&极高深宽比

- 新电子材料的集成和加工器件尺寸的不断缩小为刻蚀设备带来了新的技术挑战，同时对性能的要求（刻蚀均匀性、稳定性和可靠性）越来越高。分别从逻辑器件和存储器件的技术演进路线看刻蚀工艺应用：
- ✓ 在28纳米及以下的逻辑器件生产工艺中，一体化大马士革刻蚀工艺，需要一次完成通孔和沟槽的刻蚀，是技术要求最高、市场占有率最大的刻蚀工艺之一。
- ✓ 存储器件2D到3D的结构转变使等离子体刻蚀成为最关键的加工步骤。在存储器件中，极高深宽比刻蚀是最为困难和关键的工艺，是在多种膜结构上，刻蚀出极高深宽比（>40:1）的深孔/深槽。

■ 刻蚀设备市场情况：

- 微缩化+3D化，推动刻蚀用量增加；根据Gartner统计，2022年全球刻蚀设备占晶圆制造设备价值量约22%，约230亿美元市场规模。刻蚀设备呈现日美厂商头部集中、中国厂商崛起的竞争格局。

■ 相关标的：

- ✓ 刻蚀设备：北方华创，中微公司，屹唐股份（未上市）；
- ✓ 零部件：富创精密，江丰电子，新莱应材，英杰电气，国力股份，华卓精科（未上市）

- 风险提示：1) 下游扩产不及预期；2) 技术发展不及预期；3) 零部件短缺影响出货；4) 贸易争端风险。

1

刻蚀概览

刻蚀分类&工艺对比

刻蚀关键工艺：大马士革&极高深宽比

刻蚀设备市场情况

2

刻蚀设备厂商

北方华创

中微公司

屹唐股份（未上市）

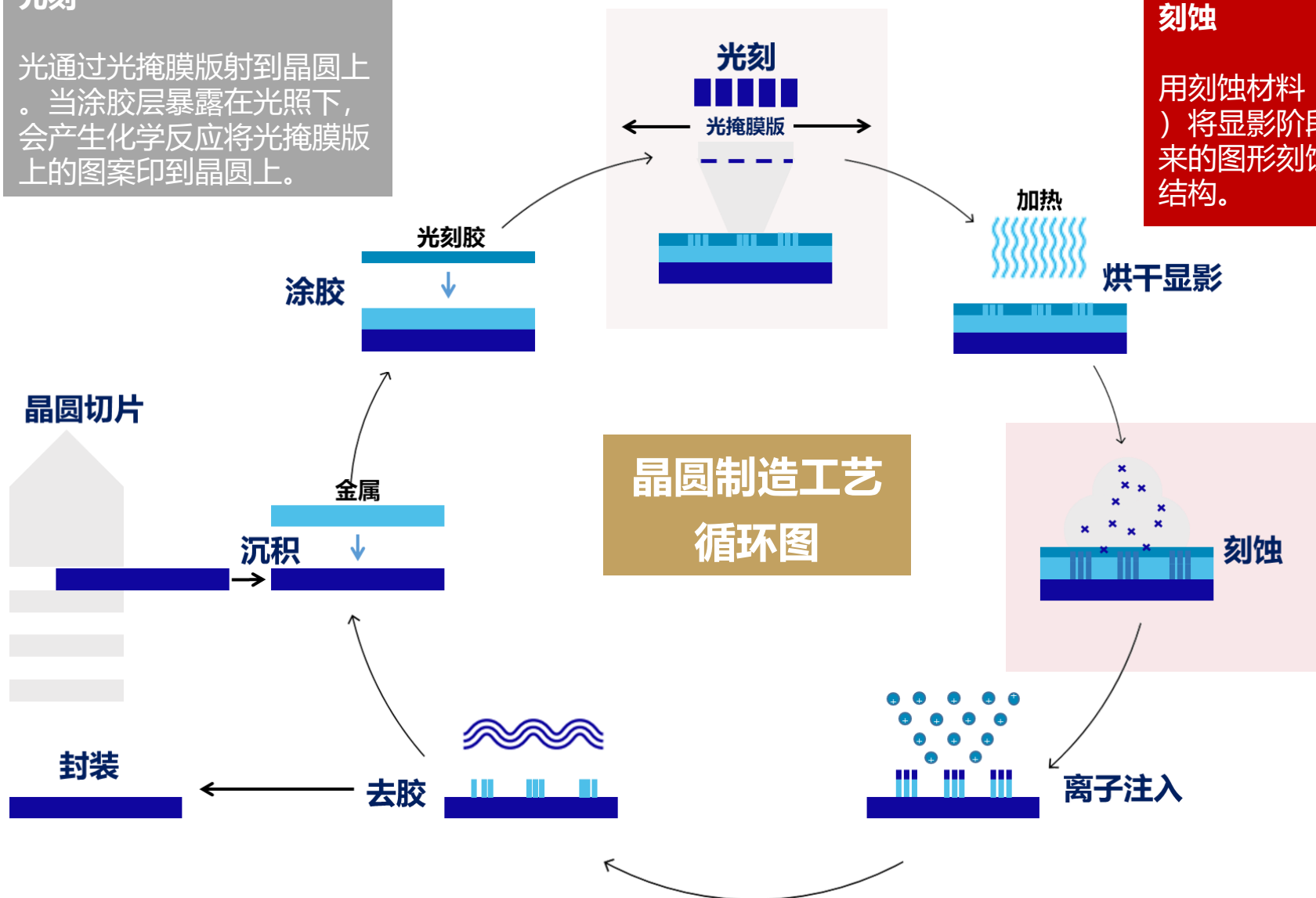
刻蚀：将掩膜版上的电路图印射到晶圆上

光刻

光通过光掩膜版射到晶圆上。当涂胶层暴露在光照下，会产生化学反应将光掩膜版上的图案印到晶圆上。

刻蚀

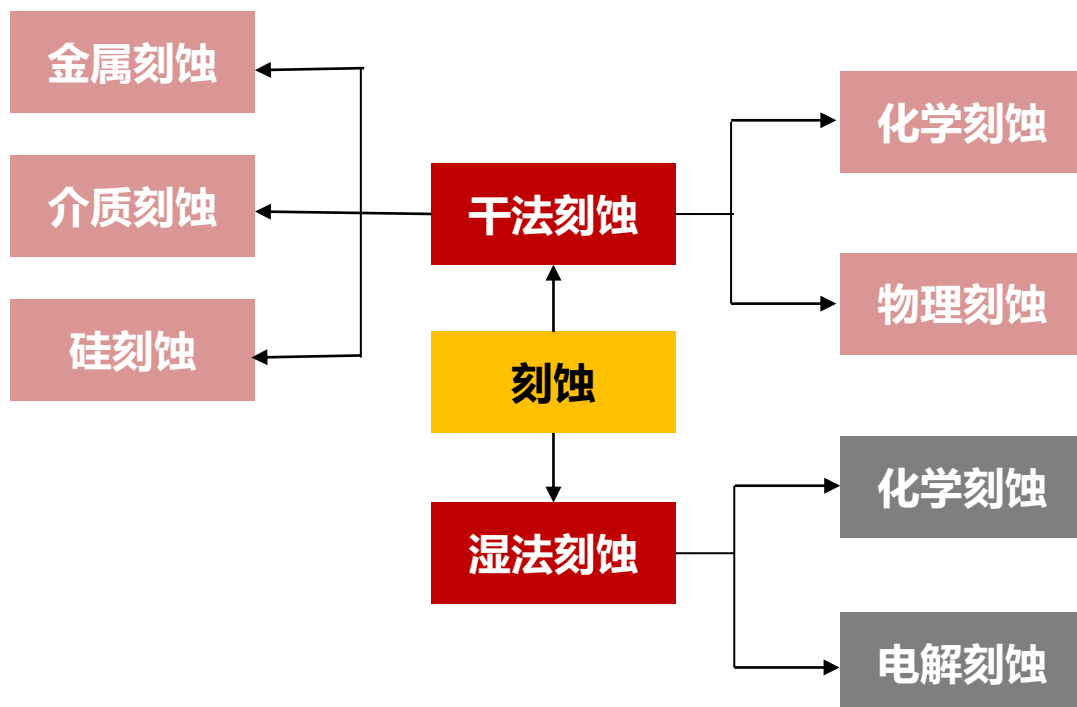
用刻蚀材料（如气体）将显影阶段印射出来的图形刻蚀成3D结构。



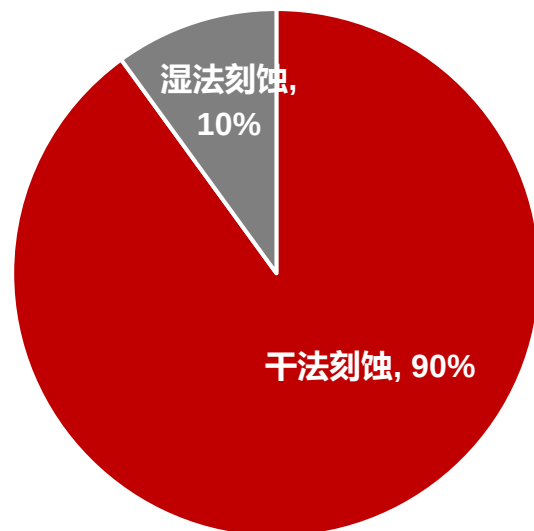
刻蚀工艺：90%以上为干法刻蚀

- 刻蚀是利用化学或者物理的方法将晶圆表面附着的不必要的材质进行去除的过程。刻蚀工艺可分为干法刻蚀和湿法刻蚀。目前应用主要以干法刻蚀为主，市场占比90%以上。湿法刻蚀在小尺寸及复杂结构应用中具有局限性，目前主要用于干法刻蚀后残留物的清洗。
- 湿法刻蚀可分为化学刻蚀和电解刻蚀。
- 根据作用原理，干法刻蚀可分为物理刻蚀(离子铣刻蚀)和化学刻蚀(等离子刻蚀)。
- 根据被刻蚀的材料类型，干法刻蚀则可分为金属刻蚀、介质刻蚀与硅刻蚀。

图表：刻蚀分类



图表：湿法刻蚀与干法刻蚀市场占比



刻蚀工艺对比：湿法刻蚀 VS 物理刻蚀 VS 化学刻蚀

- 目前应用中，湿法刻蚀和物理刻蚀主要用于清洗。纯化学刻蚀用于光刻胶等介质材料的去除。
- 器件主要部分的刻蚀主要采用物理化学混合的反应离子刻蚀，其中又以等离子体干法刻蚀为主导。

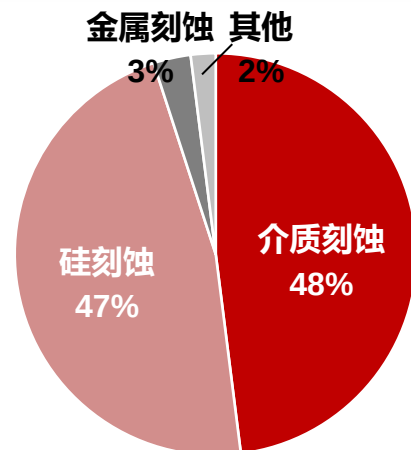
图表：工艺指标对比

工艺	湿法刻蚀	干法刻蚀		
实现方式	化学试剂腐蚀	物理方法 (物理离子溅射)	化学方法 (活性元素化学反应)	物理化学混合
主要设备	硅片刻蚀机	物理离子溅射刻蚀	去胶机	反应离子刻蚀
应用	氧化硅去除、 湿法化学剥离	表面清洗	光刻胶去除、 氧化硅去除、 掩模氧化层去除等	孔、槽等各种形状的 硅、氧化物及金属材料等刻蚀
刻蚀速率	慢	快	慢	适中
刻蚀剖面	各向同性	各向异性	各向同性	各向异性
线宽控制能力	很差	好	很差	很好
选择比	较高	低且很难提高 (1:1)	很高 (500:1)	高 (5:1~100:1)
均匀性	差	较好的片内、片间和批次间刻蚀的一致性		
其他	对器件损伤较小； 设备成本较低。	最小的光刻胶脱落或粘附问题； 较低的材料消耗和废气处理问题； 但会有等离子体诱导损伤。		

干法刻蚀：介质刻蚀 VS 硅刻蚀 VS 金属刻蚀

- 按照被刻蚀材料，干法刻蚀可以分为**介质刻蚀**、**硅刻蚀**和**金属刻蚀**。
- 介质刻蚀、硅刻蚀广泛应用于逻辑、存储器等芯片制造中，合计占**九成以上**市场规模。
- 金属刻蚀主要是互连线及多层金属布线的刻蚀，但随着180nm节点开始，铜互连技术逐步取代铝互连，金属刻蚀应用规模快速下降，目前仅占比3%左右。

图表：不同刻蚀材料市场规模占比



图表：介质刻蚀、硅刻蚀、金属刻蚀对比

质量指标	材质	工艺目的	刻蚀系统	刻蚀速率	选择比
介质刻蚀	氧化硅	制作接触孔和通孔	反应离子刻蚀RIE系统 亚微米以下采用ICP-RIE系统	相对较慢	高
	氮化硅	-	反应离子刻蚀RIE系统	较快(120nm/min)	高(> 20:1)
硅刻蚀	多晶硅	形成IC中的MOS栅极， 属于关键尺寸的刻蚀	反应离子刻蚀RIE系统	较快	高(> 150:1)
	单晶硅	形成IC的STI槽 和垂直电容槽	高密度等离子体刻蚀 ICP-RIE系统	较快	低
金属刻蚀	铝	-	反应离子刻蚀RIE系统	快 (> 1000nm/min)	高
	钨	填充通孔的钨塞沉积层的 反刻(陆续被先进的 CMP工艺取代)	反应离子刻蚀RIE系统	快 (> 1000nm/min)	高

1

刻蚀概览

刻蚀分类&工艺对比

刻蚀关键工艺：大马士革+极高深宽比

刻蚀设备市场情况

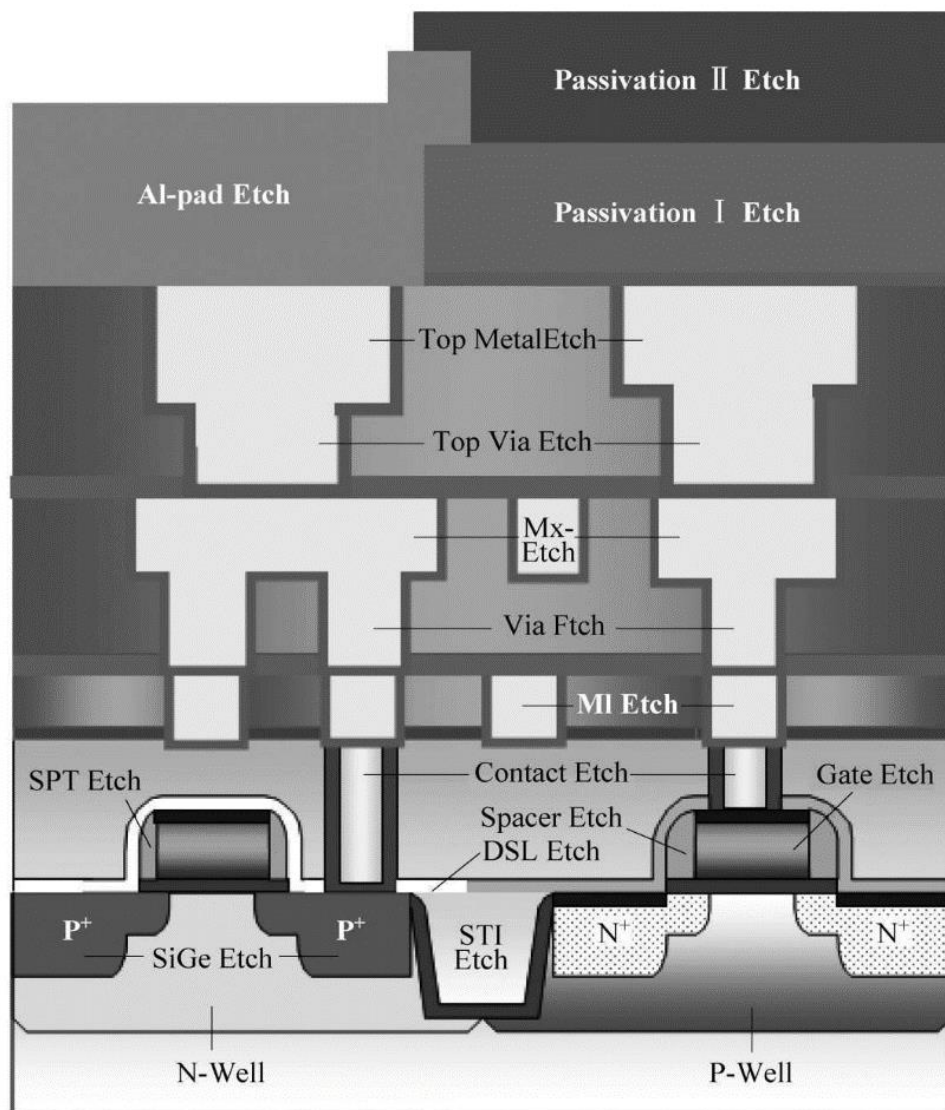
2

刻蚀设备厂商

北方华创

中微公司

屹唐股份（未上市）



布线工艺

- 钨接触孔刻蚀(Contact Etch)
- 铜通孔刻蚀(Via Etch)
- 介质沟槽刻蚀(Metal Etch)
- 铝垫刻蚀(Al-pad Etch)
- 钝化刻蚀(Passivation Etch)

基板工艺

- 浅槽隔离刻蚀(STI Etch)
- 栅极刻蚀(Gate Etch)
- 栅侧墙刻蚀(Spacer Etch)
- 硅凹槽刻蚀(SiGe Etch)
- 应力记忆刻蚀(SMT Etch)
- 应力邻近技术刻蚀(SPT Etch)
- 双应力层刻蚀(DSL)

Year of HVM (20k/month)	2018	2020	2022	2024	2026	2028	2030
Node	N7	N5	N3	N2	N1.4	N1	N0.7
Device	3~2 Fin	2 Fin	2~1 Fin	GAA NS	Forksheet	CFET	2 nd Gen.CFET
							
Poly pitch (PP)	56	48	45	42	39	36	33
Min.MP [nm]	40	28	22	20	18	16	12
Cell height (CH)	240 (2Fin)	210 (2Fin)	176 (2Fin)	120 (NS)	90 (NS)	64 (CFET)	48 (CFET)
Density (a.u.) PP×CH×DTCO*	1	1.73 (vs. N7)	1.53 (vs. N5)	1.81 (vs. N3)	1.65 (vs. N2)	1.75 (vs. N1.4)	1.67 (vs. N1.0)
Scaling booster	EUV SDB**	EUV High μ channel	SAGC*** Dipole eWF	Backside PDN		Heterogeneous channel	2D material

Assume new knob will be created in each node

*DTCO: Design technology co-optimization设计技术协同优化

**Single Diffusion Break单扩散中断

*** Self Align Gate Contact自对准栅极接触

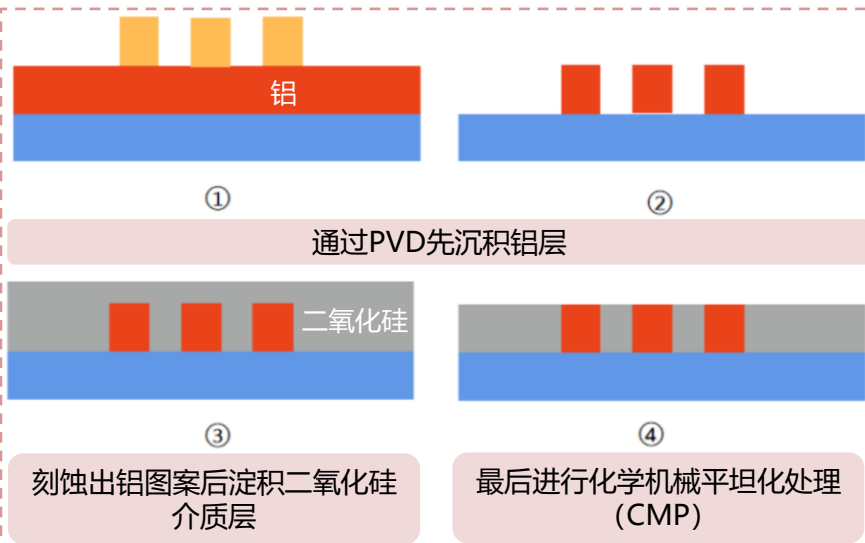
5 & 3 nm发展

针对器件设计 and 新材料优化的
精密图行化工艺流程

- 大马士革工艺一般指的是铜的大马士革镶嵌工艺（Cu Damascene plating），镶嵌（damascene）一词衍生自古代Damascus（大马士革）工匠的嵌刻技术，故亦称为大马士革镶嵌技术。此外还有双大马士革工艺（Dual Damascene），都是应用在集成电路互联线路的BEOL制程中。

铝对于二氧化硅有很好的粘附性

早期的集成电路采用铝金属进行布线互联

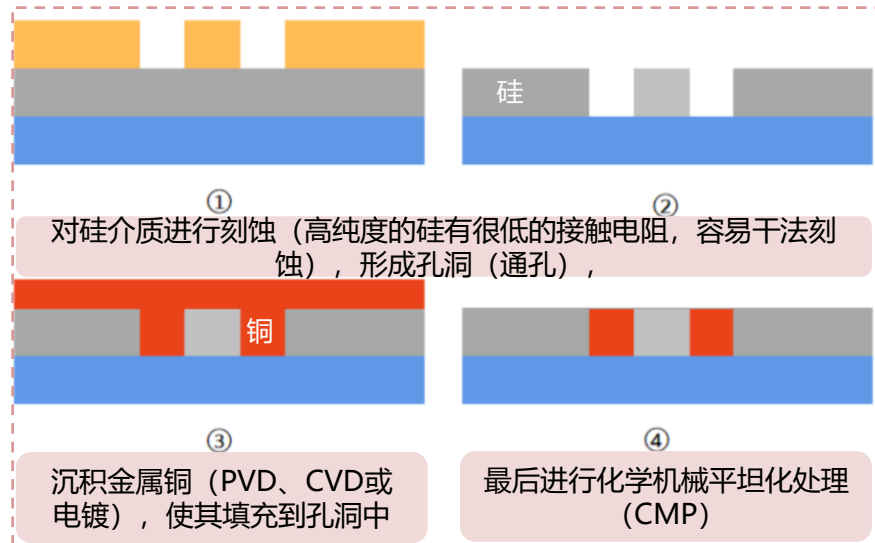


✗ 铝和硅在577°C下会发生共熔，容易破坏浅结形成**短路**；
✗ 大规模集成电路里的铝导线又细又长，经常要承受超高密度电流，内部的铝易在电场和热作用下扩散甚至断开，发生“**电迁移**”

✓ 在铝中**加入4%的铜**可以有效减轻这种电迁移现象

双大马士革工艺

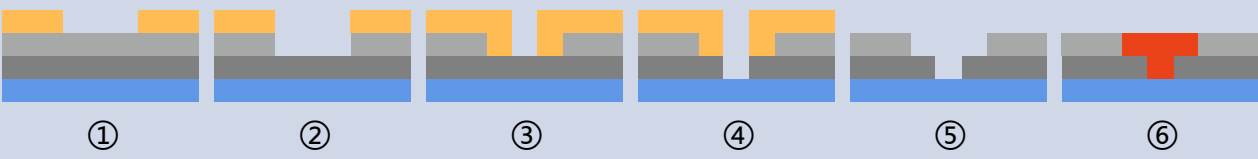
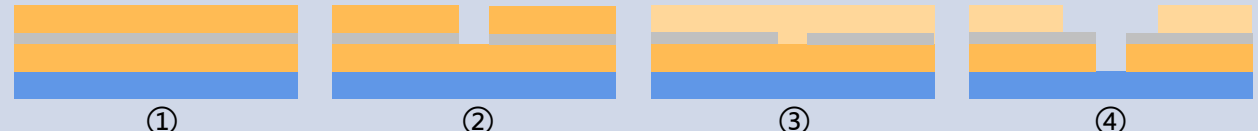
铜的大马士革镶嵌工艺



✓ 以**大马士革镶嵌的方法**来形成铜的互联线，随之铜互连技术逐渐取代了铝互联技术

✗ 在硅片上镀铜的缺点：铜与硅的接触电阻很高，铜容易扩散进入硅中，引起器件性能灾难；
✗ 铜无法像铝一样采用传统的气体plasma刻蚀方法（铜与等离子体反应的生成物是固态，而非气态，且刻蚀速度比铝小一个量级）

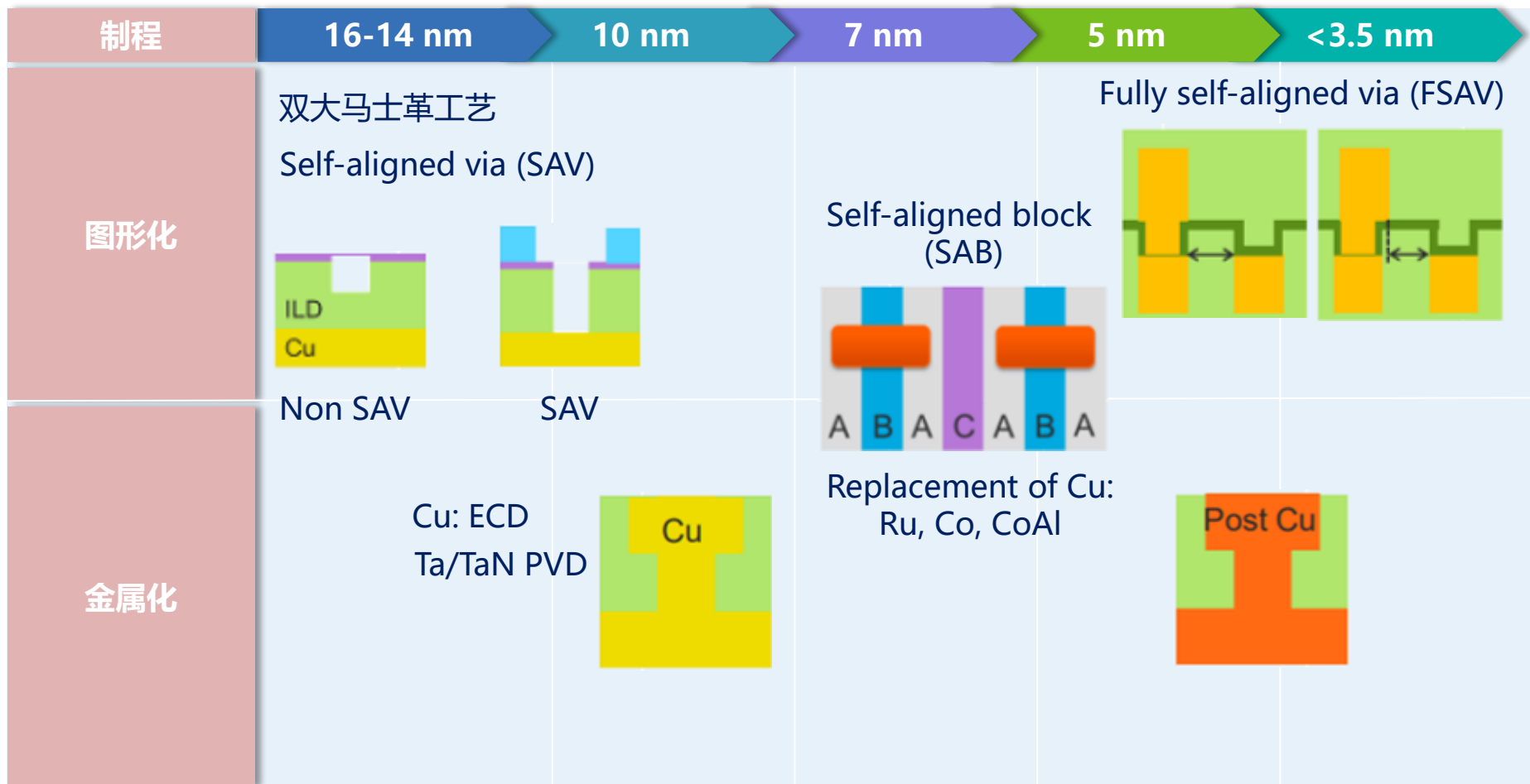
- 硅介质表面的阻挡层 (barrier layer) 一般是TaN，主要起两个作用，一是避免铜扩散到介质层中而引起器件失效；二是可以更好地粘附铜层。
- 进一步发展出dual Damascene工艺，这里的dual是指同时形成通孔 (via) 和金属 (metal) 两层。Dual Damascene还可进一步细分，包括trench first、via first和self-aligned三类。

	分类	优缺点	步骤
双大马士革刻蚀工艺	Trench first	缺点： 进行via的光刻时，由于此处的光阻 (photoresist, PR) 较厚，因此曝光 (exposure) 与显影 (development) 较为困难	刻蚀出沟槽trench→刻蚀出via→沉积金属Cu 
	Via first	优点： via的光刻是在平坦平面上进行，较容易； 缺点： 在之后的沟槽光刻制程时，由于光阻会将via填满，造成在trench蚀刻后，via可能会有有机残余物 (residue) 的问题	刻蚀出via孔洞→刻蚀出trench→沉积金属Cu 
	Self-aligned	优缺点： 该方法的工艺步骤较多，相对复杂，但它的via与trench同时形成 关键需求： 1. 高SiN选择性(更少的SiN损失) 2. 窄缝蚀刻能力	已沉积的介质层上再沉积一层数百埃的薄氮化硅作为阻挡层→在阻挡层上蚀刻出via图案，但在此先不往下层的介质层蚀刻下去→沉积第二层介质层→进行trench的光刻制程→最后进行干蚀刻，在蚀刻至trench底部时，利用二氧化硅对氮化硅的高蚀刻选择比，以氮化硅作为trench的蚀刻终止层，同时并继续蚀刻下去至via图案完成为止（由于阻挡层的保护，底部的介质层只被刻蚀成via的图案） 

逻辑器件互联线路的BEOL制程技术路线图

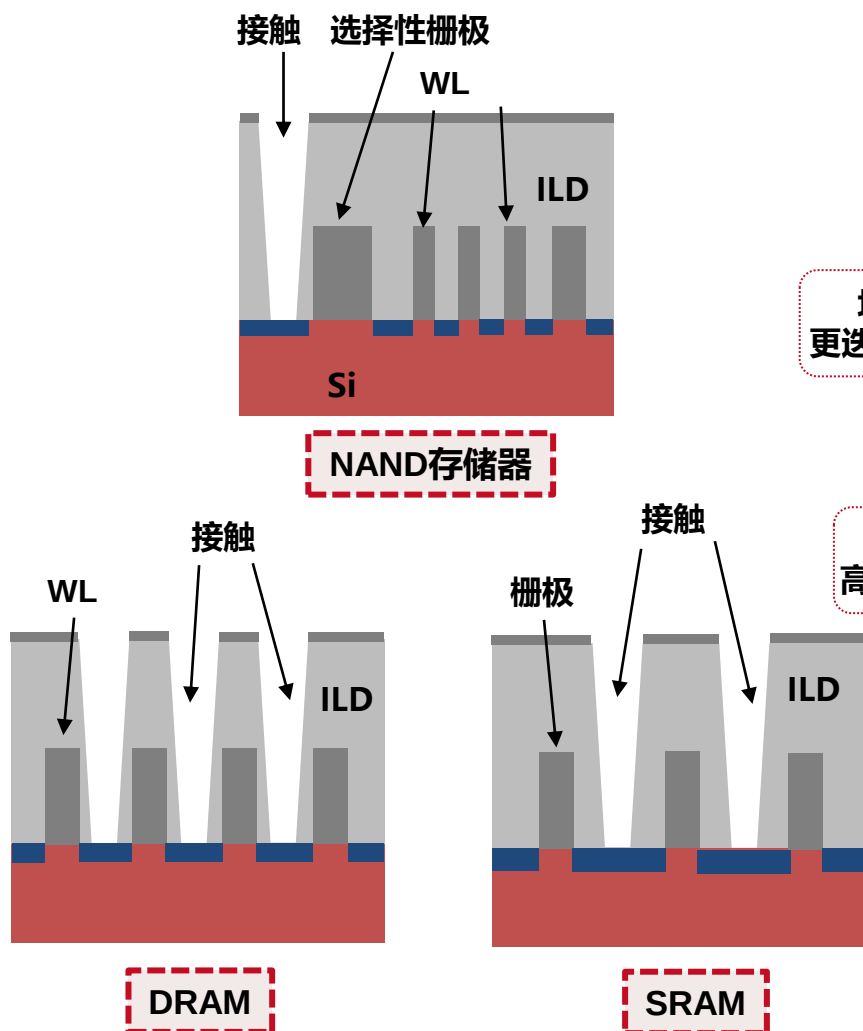
- 在28纳米及以下的逻辑器件生产工艺中，一体化大马士革刻蚀工艺，需要一次完成通孔和沟槽的刻蚀，是技术要求最高、市场占有率最大的刻蚀工艺之一。

图表：逻辑器件BEOL技术路线图

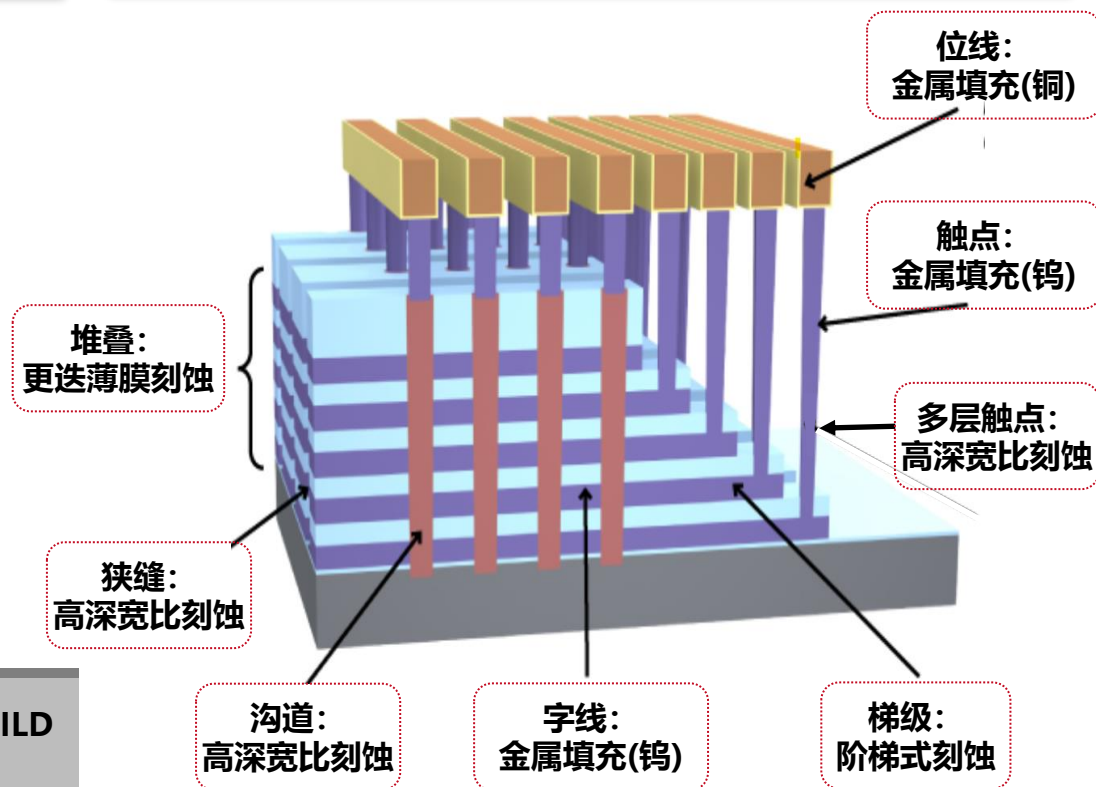


Source: TEL(Estimated using IEDM, VL, IITC papers)

图表：不同存储器的WL和接触孔密度



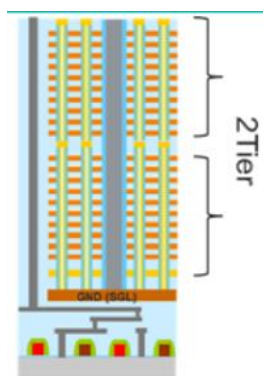
图表：3D NAND存储器阵列和关键工艺挑战



- **字线阶梯式刻蚀：**多道字线光刻步骤通过重复的垂直步骤刻蚀和2D剪裁，以提供3D NAND器件中使用的字线阶梯的“上下”形状。
- **高深宽比通道刻蚀：**使用超高HAR刻蚀(深宽比大于40)来形成穿过90多NAND层的存储器通道所需的孔洞。

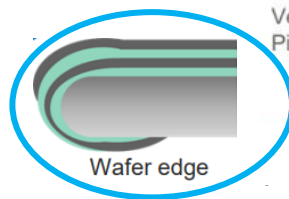
NAND技术路线图：2D到3D使等离子体刻蚀成为最关键的加工步骤

Year of HVM (20k/month)	2020	2021	2022	2023	2024	2025	2026	2027	2028	2029	2030
Stack (~1.6x/3years)	128L	16x~19xL (176)	22x~25xL (240)	28x~32xL (304)	35x~4xxL (368)	41x~45xL (440)	5xxL (512)				
Tier	1 or 2	2	2	2	2 or 3	3	3 or 4				
Vertical pitch	50~55nm	45~55nm	40~50nm	35~45nm	35~45nm	35~45nm	35~40nm				
Memory Height	7~8μm	8.5~10.5μm	10~12.5μm	11~14μm	13.5~17μm	16~20.5μm	18.5~21μm				
Channel	Poly Si grain CIP				Incl. MILC Si*						
WL metal	W	W	W	Mo	Mo	Mo	Mo				
#of memory holes b/w slits	9	9	9~24	14~24	19 or 24	19 or 24	19 or 24				
Peri. CMOS (In general)	Under array or Next array	Under array	Under array or Bonding								



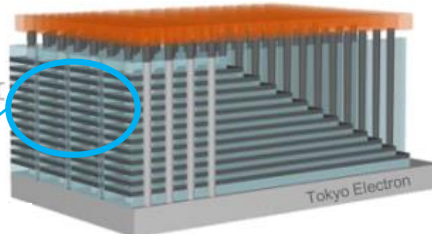
Tier

从晶圆片边缘开始的膜层脱层引起了越来越多的关注

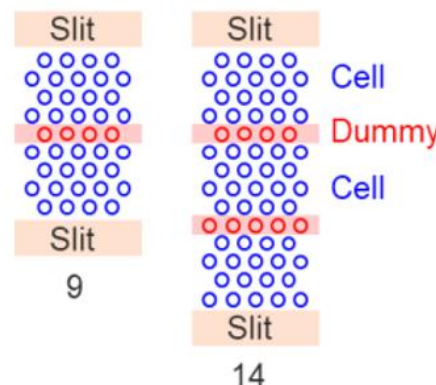


Wafer edge

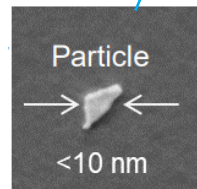
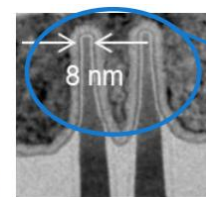
多层次和生产力
高选择性工艺
实现适合3d结构的高度均匀工艺



Vertical pitch



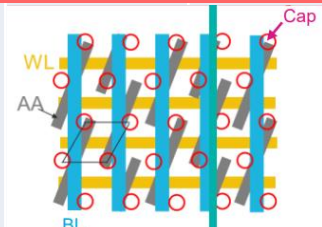
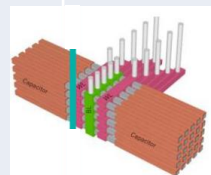
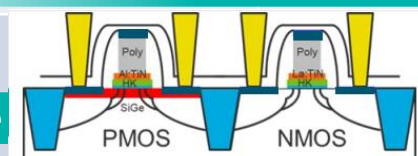
#of memory holes b/w slits



甚至更小的颗粒也会影响器件的成品率

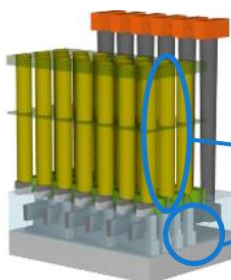
*MILC Si: Metal-induced lateral crystallization silicon

DRAM技术路线图：高深宽比工艺，提高精度和材料的特定适应性

Year of HVM (20k/month)	2020	2021	2022	2023	2024	2025	2026	2027~28	2029~30
F*[nm]	16	15~14		13~12	12~11		≤10	<10	
Cell/Peri. layout	6F ²								
	 *Feature size: STI hp along WL= STI hp / COS(21°)				 3D				
Patterning	193i SAQP, DP (+EUV)								
Pillar cap. A.R. Capacitor	>40	>45		>50	>55		>60		
	ZAZ CIP								
Peri. CMOS	Poly SiON				Alternative: STO etc.				
					 PMOS NMOS				
					Capacitor stack				
					FinFET				

从1Y到1Z增强高深宽比工艺，提高精度和材料的特定适应性，以实现更高的比特密度

DRAM高深宽比



Capacitor

STI

High aspect ratio structure



由于较低的机械强度，增加了capacitor崩溃的风险
高长宽比结构，增加了干法刻蚀的难度

极高深宽比刻蚀工艺

在存储器件中，极高深宽比刻蚀是最为困难和关键的工艺，是在多种膜结构上，刻蚀出极高深宽比(>40:1)的深孔/深槽

1

刻蚀概览

刻蚀分类&工艺对比

刻蚀关键工艺：大马士革+极高深宽比

刻蚀设备市场情况

2

刻蚀设备厂商

北方华创

中微公司

屹唐股份（未上市）



送气系统：CF₄和O₂的混合



反应室：线圈在高频电激发下起辉，生成活性离子基



真空系统：把反应生成物抽到尾气排放管道



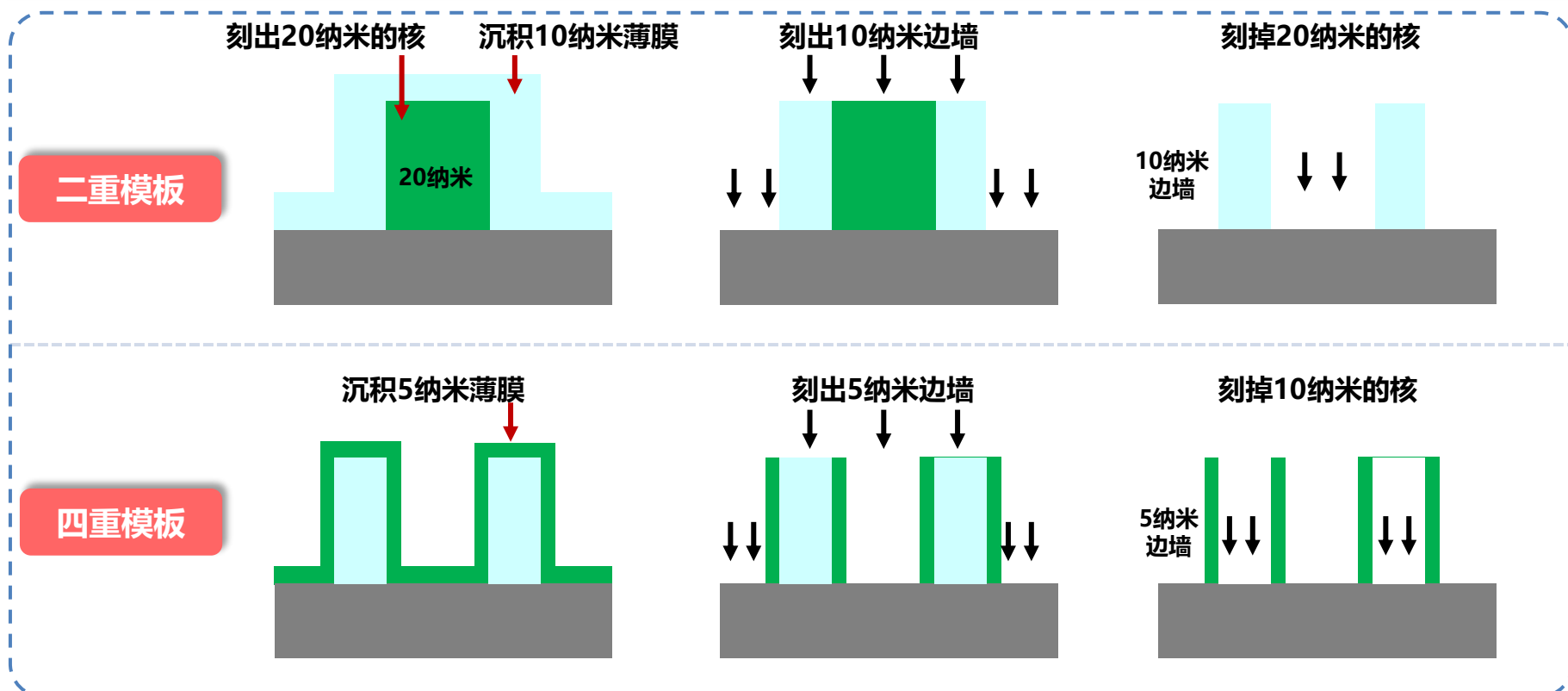
匹配器：使功率稳定在固定位置



高频电源：给线圈放高压电

- 先进制程以多重模板工艺为依托从而实现更小微观尺寸，凸显刻蚀设备重要性。
- 随着集成电路芯片制造工艺的进步，线宽关键尺寸不断缩小、芯片结构3D化，晶圆制造向7纳米、5纳米以及更先进的工艺发展。由于目前先进工艺芯片加工使用的光刻机受到波长限制，14纳米及以下的逻辑器件微观结构的加工多通过等离子体刻蚀和薄膜沉积的工艺组合——多重模板工艺来实现，使得刻蚀等相关设备的加工步骤增多。

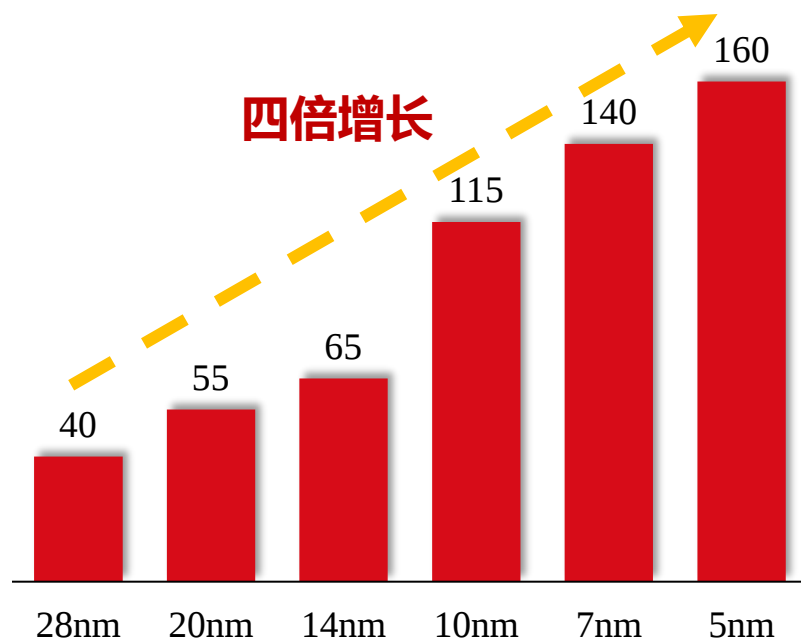
图表：通过多重模板等离子体刻出的是光刻尺寸的1/2到1/4的微观结构（示意图）



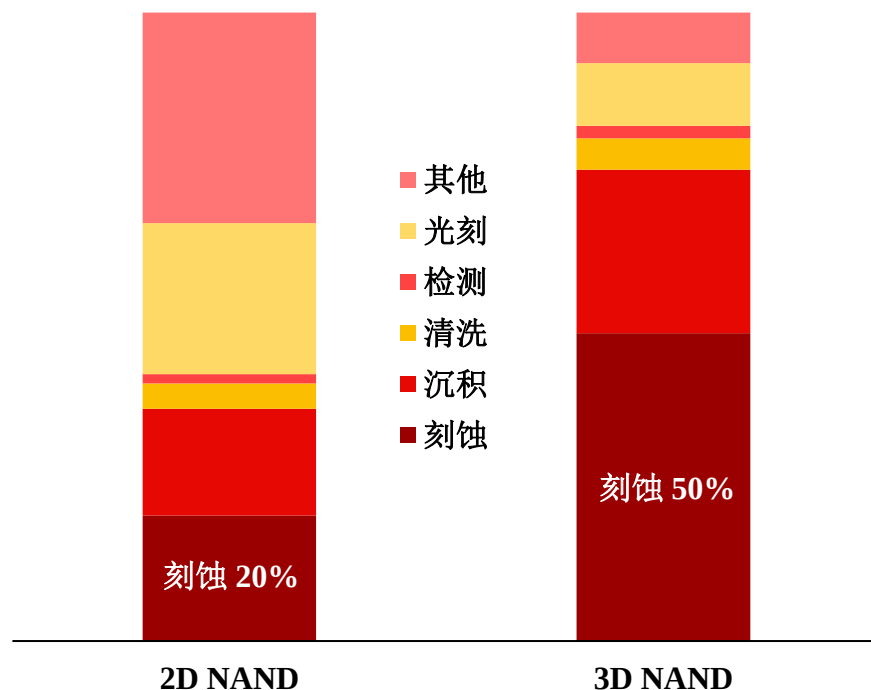
刻蚀设备：微缩化+3D化，推动刻蚀用量增加

- 随着工艺制程升级，刻蚀机用量也将持续攀升。14nm制程所需刻蚀步骤为65次，7nm制程所需刻蚀步骤高达140次，5nm制程所需刻蚀步骤进一步提升至160次。
- NAND闪存进入3D、4D时代，采用缩小单层上线宽和增加堆叠层数的方法来增加集成度，要求刻蚀技术实现更高的深宽比。**刻蚀技术需要在氧化硅和氮化硅一对的叠层结构上，加工40:1到60:1的极深孔或极深的沟槽。**目前，3D 96层与128层闪存均已进入量产阶段。从2D NAND过渡到3D NAND，刻蚀设备的投资占比显著提升，从20%提高至50%。

图表：逻辑器件制程刻蚀工艺的步骤数



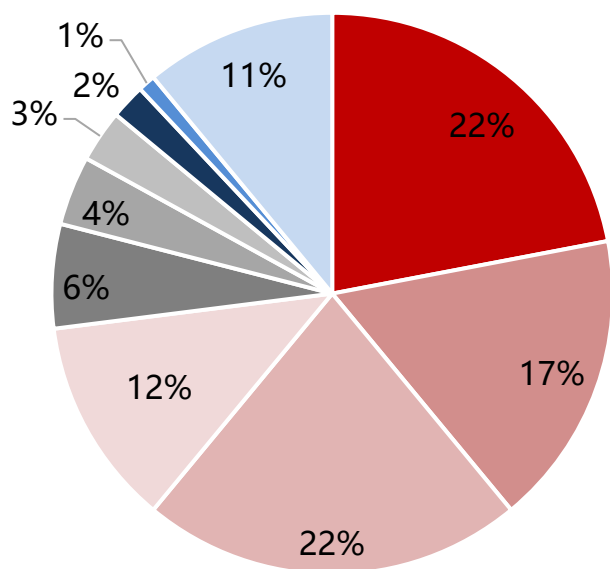
图表：2D NAND到3D NAND刻蚀设备投资占比



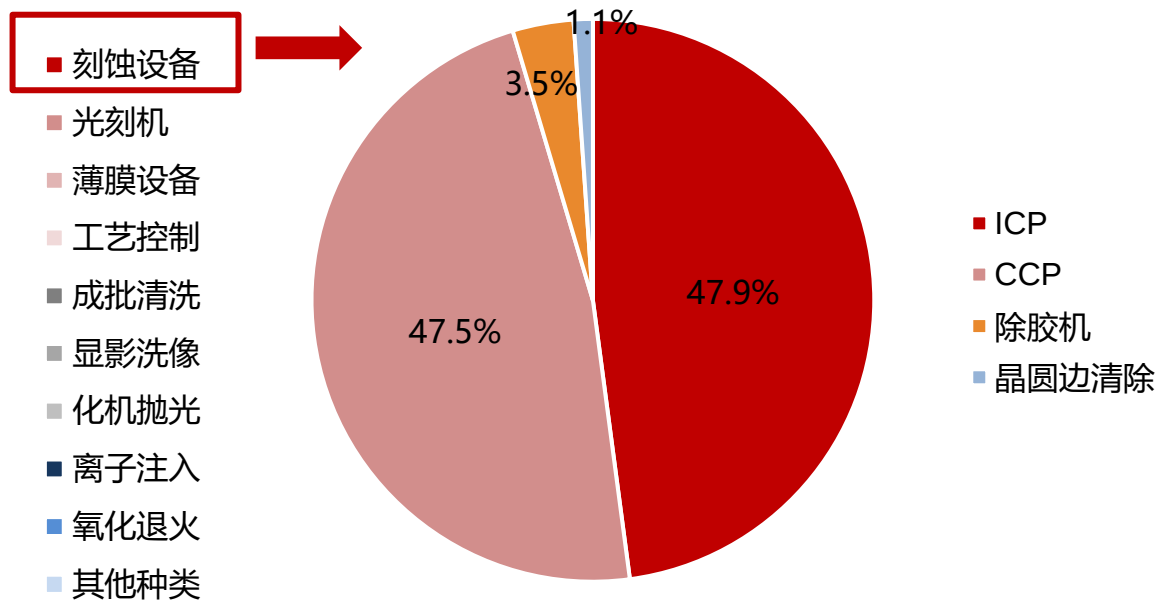
刻蚀设备：2022年全球刻蚀设备共计约230亿美元市场规模

- 集成电路设备包括晶圆制造设备、封装设备和测试设备等，晶圆制造设备的市场规模约占集成电路设备整体市场规模的约80%。晶圆制造设备可以分为刻蚀、薄膜沉积、光刻、检测、离子掺杂等品类，其中刻蚀设备、薄膜沉积、光刻设备是集成电路前道生产工艺中最重要的三类设备。
- 根据Gartner统计，2022年全球刻蚀设备、薄膜沉积和光刻设备分别占晶圆制造设备价值量约22%、22%和17%，2022年全球刻蚀设备共计约230亿美元市场规模。

图表：2022年全球晶圆制造设备价值量占比



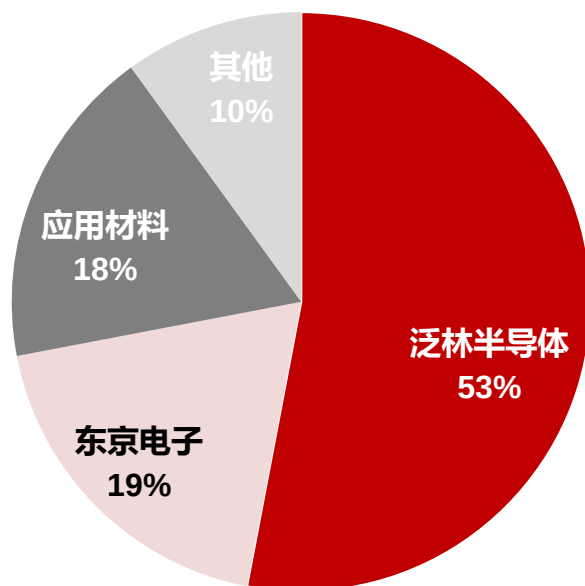
图表：2022年全球刻蚀设备市场规模及分类占比



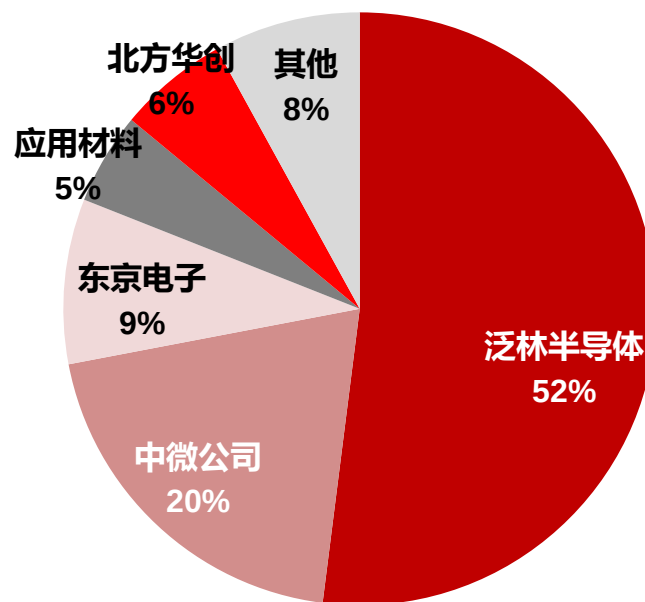
2022年全球刻蚀设备总计230亿美元市场规模

- **全球市场行业集中度高，技术壁垒显著。**全球刻蚀机市场长期一直被泛林半导体、东京电子、应用材料三大巨头占据，2019年合计市场占比约90%，行业集中度高。2019年，细分介质刻蚀机市场中，东京电子处于领先地位，市占率达到52%，国内中微公司市占率也已达到3%。
- **国内刻蚀机市场，国产厂商表现亮眼。**泛林半导体依旧在国内刻蚀机市场中保持领先地位，2019年市占率52%；而国产厂商中，中微公司已占据20%市场份额，排名第二，北方华创则占据6%市场份额；中微领军国内介质刻蚀，北方华创则领军国内硅刻蚀。

图表：2019年全球刻蚀机市场竞争格局



图表：2019年中国刻蚀机市场竞争格局



1

刻蚀概览

刻蚀分类&工艺对比

刻蚀关键工艺：大马士革+极高深宽比

刻蚀设备市场情况

2

刻蚀设备厂商

北方华创

中微公司

屹唐股份（未上市）

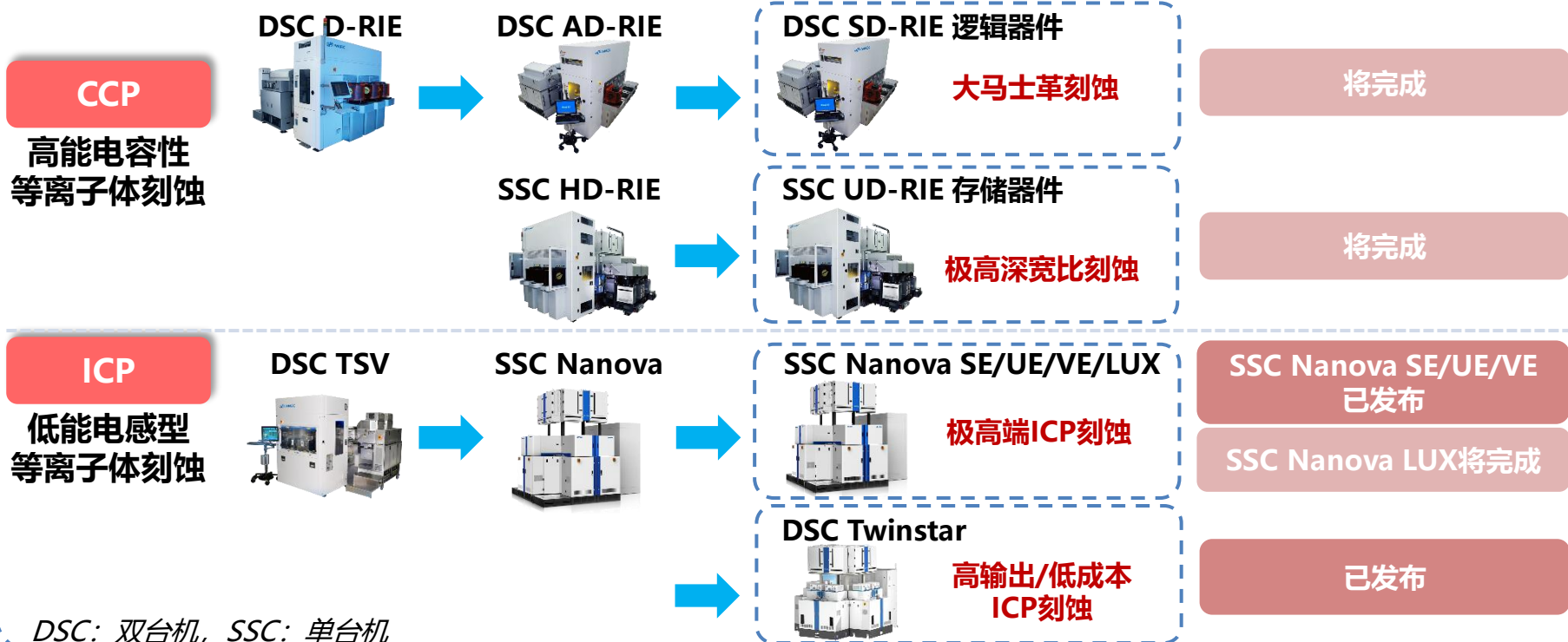


- 根据公司2022年年报，刻蚀装备方面，面向12吋逻辑、存储、功率、先进封装等客户，公司已完成数百道工序的量产验证，ICP刻蚀产品出货累计超过2000腔；
- ✓ 采用高密度、低损伤设计的12吋等离子去胶机已在多家客户完成工艺验证并量产；
- ✓ 金属刻蚀设备凭借稳定的量产性能成为国内主流客户的优选机台；
- ✓ 迭代升级的高深宽比TSV刻蚀设备，以其优异的性能通过客户端工艺验证，支撑Chiplet工艺应用；
- ✓ 应用于提升芯片良率的12吋CCP晶边刻蚀机已进入多家生产线验证；
- ✓ 精准针对客户需求，发布了双频耦合CCP介质刻蚀机，实现了在硅刻蚀、金属刻蚀、介质刻蚀工艺的全覆盖。
- 面向6/8吋兼容的多晶硅刻蚀、金属刻蚀、介质刻蚀和SiC、GaN等化合物刻蚀设备系列，为各类半导体器件提供刻蚀工艺全面解决方案。

集成电路	设备	应用领域	功率 其他	设备	应用领域
	NMC508M	8吋：金属铝和钨刻蚀		DSE200系列 /NMC508DTE系列	8英吋及以下IGBT、MOSFET及Super Junction中的Deep Trench刻蚀
	NMC612M	12吋：TiN金属硬掩膜双大马士革工艺		GDE C200系列 /GSE C200系列	GaN、SiC、SiO ₂ 、Al ₂ O ₃ 等材料刻蚀
	NMC612G	IC领域AL刻蚀及微显示领域金属刻蚀		380G+/G380C刻蚀机 /380E PSS刻蚀机	照明领域
	NMC508C	8吋：多晶硅栅、STI和硅金属钨化物刻蚀		HSE系列	8-12吋先进封装+8吋及以下MEMS领域深硅刻蚀
	NMC612C	12吋：55nm Logic, 65nm NOR flash, 55nm CIS, 90MCU等领域硅刻		BMD P230 等离子去胶机	8-12吋先进封装领域表面去胶及表面活化等Descum工艺
	NMC612D	12吋：先进逻辑制程中STI、Gate及FinFET结构刻蚀等			

- 根据公司2022年年报，公司2022年共生产付运475个CCP刻蚀反应腔，同比增长59.40%。
- ✓ 在先进逻辑器件方面，公司的双反应台刻蚀机不断完善设备性能，在国际最先进的5纳米芯片生产线及下一代更先进的生产线上均实现了多次批量销售。在存储器件方面，公司的刻蚀设备不仅在3D NAND的生产线被广泛应用，还成功的通过了多个动态存储器的工艺验证，并取得了重复订单。
- 公司的ICP刻蚀设备在超过20个客户的逻辑、DRAM和3D NAND等器件的生产线上进行超过100多个ICP刻蚀工艺的量产，并持续扩展到更多刻蚀应用的验证。截止2022年底，Primo Nanova®系列产品在客户端安装腔体数已达到297台。

中微公司Primo CCP和ICP等离子体刻蚀产品及新产品开发项目

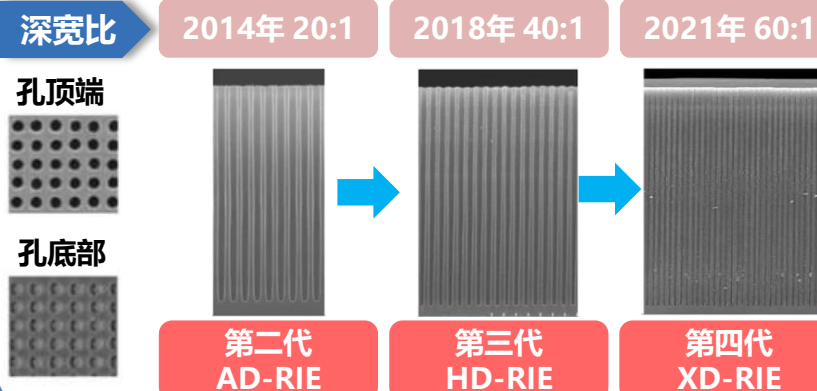


DSC: 双台机, SSC: 单台机

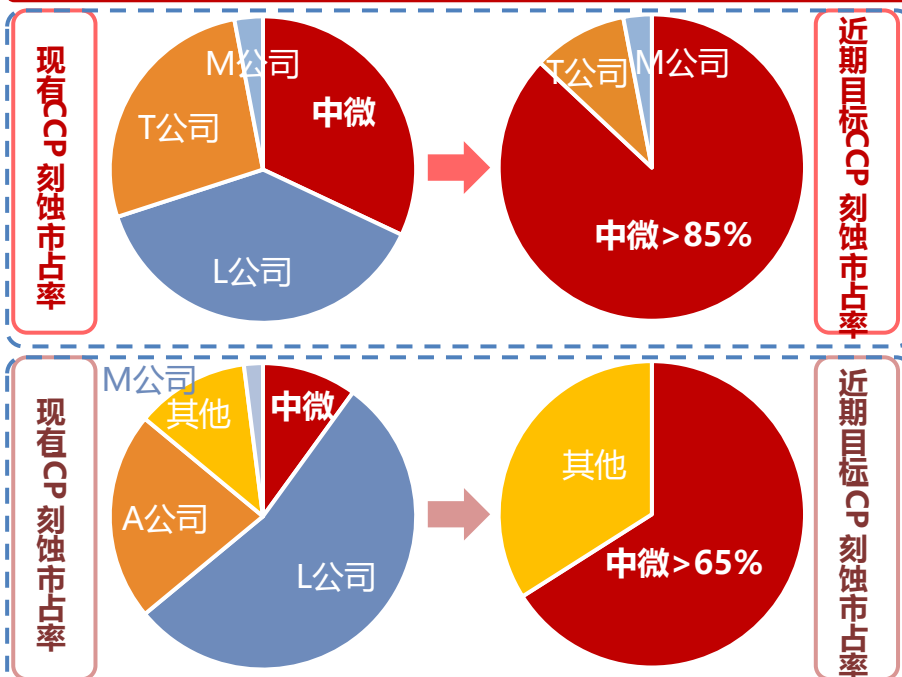
中微公司：大马士革+极高深宽比势不可挡

- 公司在现有产品的基础上，分别针对逻辑器件的一体化大马士革刻蚀工艺和存储器件的极高深宽比刻蚀技术进行技术攻关，并取得良好进展。
- ✓ 公司针对**一体化大马士革刻蚀工艺**，开发了可调节电极间距的刻蚀机，在刻蚀过程中，反应腔的极板间距可动态调节，以同时满足通孔和沟槽刻蚀的不同工艺要求。
- ✓ 公司**自主开发了极高深比刻蚀机**，该设备用400KHz取代2MHz作为偏压射频源，以获得更高的离子入射能量和准直性，使得深孔及深槽刻蚀关键尺寸的大小符合规格。

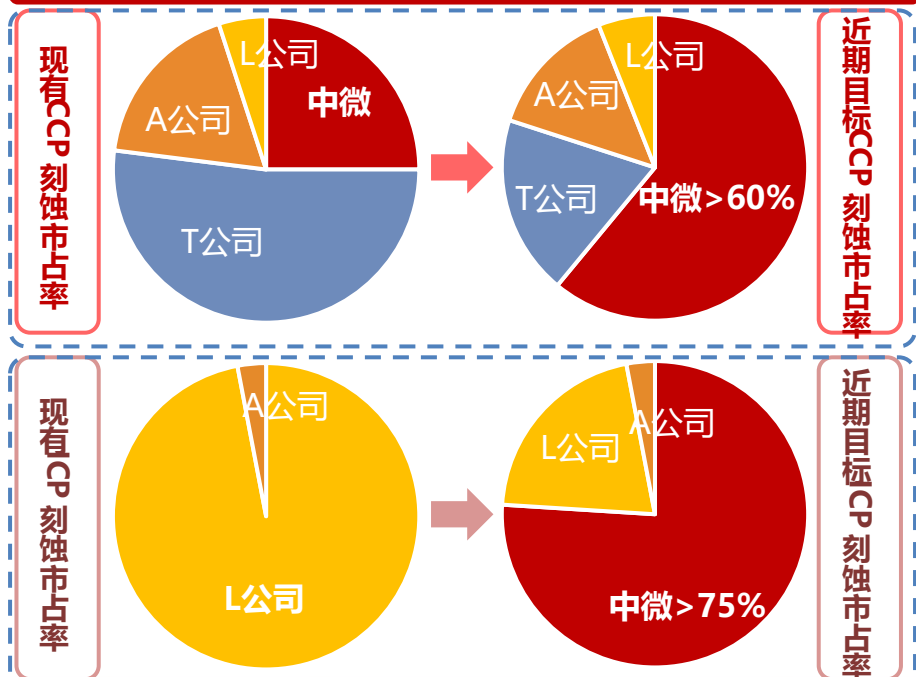
中微开发的三代CCP刻蚀20:1到60:1极高深宽比细孔的历史



中微在国内最先进存储研发线的市占率及目标



中微在国内最先进逻辑器件生产线的刻蚀市占率及目标



- 根据Gartner统计数据，在干法刻蚀领域，公司2020年凭借0.1%的市场占有率位居全球第十，而前三大厂商泛林半导体、东京电子及应用材料合计占有全球干法刻蚀设备领域90.24%的市场份额。公司的干法刻蚀设备主要可用于65纳米到5纳米逻辑芯片、1y到2x纳米系列DRAM芯片以及32层到128层3D闪存芯片制造中若干关键步骤的大规模量产。
- 新型半导体刻蚀设备的技术研发：公司计划开发出国际领先的新型等离子体刻蚀设备，用于先进芯片制造中的关键工艺应用，主要研究内容包括开发新的先进等离子体源技术和先进刻蚀反应腔设计，实现更广的工艺窗口、灵活的温度控制、精准的刻蚀速率控制、**更好的选择比和更高深宽比**的刻蚀。

集成电路制造前道工序



paradigmE®系列
等离子体刻蚀设备

paradigmE®系列刻蚀设备采取**双晶圆反应腔、双反应腔**产品平台设计。

真空晶圆传送系统采取独特的**四机械手设计**，可实现反应腔和传输腔之间的超快速晶圆置换，实现高设备生产效率。

接地法拉第屏蔽电感耦合等离子体技术获得10余项全球专利保护，可以独立调整离子能量和离子密度，覆盖传统电感耦合等离子体ICP和电容耦合等离子体CCP刻蚀工艺的离子能量范围，同时有效避免因等离子体引发的器件损伤，**提高刻蚀制程中不同材料的选择比**，扩大产品工艺应用领域。

独特的等离子体发生器设计可以进一步有效减小等离子体刻蚀对反应腔壁的损伤，**降低机台损耗品成本和综合持有成本**。



Novyka®系列高选择比刻蚀
和原子层级表面处理设备

新品

Novyka®系列产品基于业界领先的远程电感耦合等离子体发生器工程设计，包括独立知识产权的接地法拉第屏蔽技术，具备**等离子体密度高、等离子体电势低、电子温度低、工艺窗口宽、化学系统多样化、等离子体性能稳定、颗粒污染少、耗材成本低、等离子体反应器无需置换**等优势。

另外，Novyka®系列产品具备离子完全过滤能力、晶圆温度调节能力、晶圆偏压调节能力等能力，已实现量产销售。

2023年5月10日

证券代码	证券简称	市值 (亿元)	归母净利润 (亿元)				市盈率 (倍)			
			TTM	2023E	2024E	2025E	TTM	2023E	2024E	2025E
002371.SZ	北方华创	1,533.08	27.38	32.35	43.99	57.19	55.99	47.39	34.85	26.81
688012.SH	中微公司	1,030.54	13.28	14.26	18.08	22.26	77.60	72.28	57.01	46.29
688409.SH	富创精密	187.06	2.44	3.33	4.93	6.80	76.59	56.22	37.96	27.50
300666.SZ	江丰电子	167.11	2.88	3.86	5.26	6.53	58.08	43.31	31.79	25.58
300260.SZ	新莱应材	146.09	3.19	4.48	6.33	7.81	45.83	32.61	23.06	18.71
300820.SZ	英杰电气	154.14	3.40	4.74	6.43	8.24	45.29	32.52	23.96	18.70
688103.SH	国力股份	50.85	0.85	1.74	2.81	3.87	59.97	29.16	18.12	13.15

注：上述公司的归母净利润预测值均采用一致预期值。

- 下游扩产不及预期；
- 技术发展不及预期；
- 零部件短缺影响出货；
- 贸易争端风险。

分析师声明

作者具有中国证券业协会授予的证券投资咨询执业资格，保证报告所采用的数据和信息均来自公开合规渠道，分析逻辑基于作者的职业理解，本报告清晰准确地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响。研究报告对所涉及的证券或发行人的评价是分析师本人通过财务分析预测、数量化方法、或行业比较分析所得出的结论，但使用以上信息和分析方法存在局限性。特此声明。

免责声明

本研究报告由方正证券制作及在中国（香港和澳门特别行政区、台湾省除外）发布。根据《证券期货投资者适当性管理办法》，本报告内容仅供我公司适当性评级为C3及以上等级的投资者使用，本公司不会因接收人收到本报告而视其为本公司的当然客户。若您并非前述等级的投资者，为保证服务质量、控制风险，请勿订阅本报告中的信息，本资料难以设置访问权限，若给您造成不便，敬请谅解。

在任何情况下，本报告的内容不构成对任何人的投资建议，也没有考虑到个别客户特殊的投资目标、财务状况或需求，方正证券不对任何人因使用本报告所载任何内容所引致的任何损失负任何责任，投资者需自行承担风险。

本报告版权仅为方正证券所有，本公司对本报告保留一切法律权利。未经本公司事先书面授权，任何机构或个人不得以任何形式复制、转发或公开传播本报告的全部或部分内容，不得将报告内容作为诉讼、仲裁、传媒所引用之证明或依据，不得用于营利或用于未经允许的其它用途。如需引用、刊发或转载本报告，需注明出处且不得进行任何有悖原意的引用、删节和修改。

公司投资评级的说明

强烈推荐：分析师预测未来半年公司股价有20%以上的涨幅；

推荐：分析师预测未来半年公司股价有10%以上的涨幅；

中性：分析师预测未来半年公司股价在-10%和10%之间波动；

减持：分析师预测未来半年公司股价有10%以上的跌幅。

行业投资评级的说明

推荐：分析师预测未来半年行业表现强于沪深300指数；

中性：分析师预测未来半年行业表现与沪深300指数持平；

减持：分析师预测未来半年行业表现弱于沪深300指数。

专注 专心 专业

联系人：吴文吉 邮箱：wuwenji@foundersc.com



方正证券研究所

北京市 西城区展览路48号新联写字楼6层

上海市 静安区延平路71号延平大厦2楼

深圳市 福田区竹子林紫竹七道光太银行大厦31层

广州市 天河区兴盛路12号楼 隽峰苑2期3层方正证券

长沙市 天心区湘江中路二段36号华远国际中心37层

更多免费行业报告

并购家

www.ipoipo.cn