

华金证券电子团队一走进“芯”时代系列深度之六十七“2.5D/3D封装”

# 技术发展引领产业变革，向高密度封装时代迈进

分析师：孙远峰 S0910522120001

分析师：王海维 S0910523020005

分析师：王臣复 S0910523020006

2023年09月21日



华金证券客户中的专业投资者参考

更多免费行业报告

并购家

[www.ipoipo.cn](http://www.ipoipo.cn)

# 并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

- ◆ **打破IC发展限制，向高密度封装时代迈进。**集成电路封装是指将制备合格芯片、元件等装配到载体上，采用适当连接技术形成电气连接，安装外壳，构成有效组件的整个过程，封装主要起着安放、固定、密封、保护芯片，以及确保电路性能和热性能等作用。先进封装技术通过采用更紧凑、更高级设计和制程技术，可提供更高集成度，更小尺寸，更高性能及更低能耗芯片。通过将多个芯片堆叠，在显著提高集成度及性能时，降低空间需求。在性能与能耗上，先进封装通过优化设计与制程，可大幅提高信号传输速度，降低功耗。在制程技术上，先进封装采用如微细化焊球、超低k材料等创新技术，使得封装电气性能及散热性能有显著提升。未来封装各类间距将会进一步下降，Bump I/O间距将会缩小至50-40  $\mu\text{m}$ 之间，重布层线宽间距将至2/2  $\mu\text{m}$ ，高密度封装时代渐行渐近。
- ◆ **横向连接/纵向堆叠奠定先进封装技术基石。**（1）**倒装：**在I/O底板上沉积锡铅球，将芯片翻转加热，利用熔融锡铅球与陶瓷基板相结合来替换传统打线键合；（2）**重新布线(RDL)：**将原来设计的IC线路接点位置(I/O pad)，通过晶圆级金属布线制程和凸块制程改变其接点位置，使IC能适用于不同的封装形式；（3）**晶圆级封装：**先在整片晶圆上同时对众多芯片进行封装、测试，最后切割成单个器件，并直接贴装到基板或PCB上，生产成本大幅降低，其中FI-WLP具有真正裸片尺寸的显著特点，通常用于低输入/输出(I/O)数量（一般小于400）和较小裸片尺寸工艺当中；FO-WLP初始用于将独立的裸片重新组装或重新配置到晶圆工艺中，并以此为基础，通过批量处理、构建和金属化结构，Fan-Out的Bump可以长到Die外部，封装后IC也较Die面积更大（1.2倍最大）。（4）**TSV：**TSV贯穿2.5D/3D封装应用，TSV生产流程涉及到深孔刻蚀、PVD、CVD、铜填充、微凸点及电镀、清洗、减薄、键合等二十余种设备，其中深孔刻蚀、气相沉积、铜填充、CMP去除多余金属、晶圆减薄、晶圆键合等工序涉及的设备最为关键。在2.5D封装中TSV充当多颗裸片和电路板之间桥梁，其中CoWoS为2.5D封装中最突出代表，在3D中TSV用于堆叠，HBM为3D封装最典型应用。（5）**混合键合：**HB技术简化3D堆叠布线层，可实现更高互联密度HB技术，且可直接省略再布线，使设计难度降低，避免再布线及倒装回流焊可提高可靠性。（6）**板级埋入式封装：**将带有多层导电金属互连的超薄硅片埋入有机封装基板的最上层，通过焊球与倒装芯片的连接，以实现两个或多个芯片之间的局部高密度互连，与台积电的CoWoS-S封装相比，EMIB封装既不需要TSV工也不需要Si中介层，因此其具有封装良率高、设计简单、成本更低等优点。

- ◆ **材料与设备任重道远，制造与IDM厂商入驻先进封装，开辟中道工艺。**从竞争格局来看，各类半导体封装材料市场集中度较高。日本厂商在各类封装材料领域占据主导地位，部分中国大陆厂商已跻身前列（引线框架、包封材料），成功占据一定市场份额。在国产替代方面，根据头豹研究院数据，中国半导体封装材料整体国产化率约30%，其中引线框架、键合金属丝的国产替代率最高，分别达到40%和30%，而陶瓷封装材料、芯片粘结材料与封装基板等材料国产化率仅5%-10%。先进封装处于晶圆制造与封测中的交叉区域。先进封装要求在晶圆划片前融入封装工艺步骤，具体包括应用晶圆研磨薄化、线路重排（RDL）、凸块制作（Bumping）及三维硅通孔（TSV）等工艺技术。先进封装更多在晶圆层面上进行，采用前道制造方式来制作后道连接电路，工艺流程的相似性使得两者使用设备也大致相同，其中倒装就要采用植球、电镀、光刻、蚀刻等前道制造的工艺，2.5D/3D封装TSV技术就需要光刻机、涂胶显影设备、湿法刻蚀设备等，从而使得晶圆制造与封测前后道制程中出现中道交叉区域。
- ◆ **芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求。**Chiplet技术背景下，可将大型单片芯片划分为多个相同或者不同小芯片，这些小芯片可以使用相同或者不同工艺节点制造，再通过跨芯片互联及封装技术进行封装级别集成，降低成本的同时获得更高的集成度。Chiplet优势：（1）接力摩尔定律，持续推进经济效应；（2）Chiplet助力良率及晶圆使用面积显著性提升；（3）较SoC综合成本下降；（4）芯粒IP化，设计周期及成本显著降低。全球8寸、12寸晶圆产能有望持续提升，直接带动封装需求；Fabless纵向拓展封测领域，有望带动先进封装多元发展；各大封测厂积极扩产，为新一轮应用需求增长做好准备。
- ◆ **投资建议：**ChatGPT依赖大模型、大数据、大算力支撑，其出现标志着通用人工智能的起点及强人工智能的拐点，未来算力将引领下一场数字革命，xPU等高端芯片需求持续增长。先进封装为延续摩尔定理提升芯片性能及集成度提供技术支持，随着Chiplet封装概念持续推进，先进封装各产业链（封装/设备/材料/IP等）将持续受益。
- ◆ **建议关注：**通富微电、长电科技、华天科技、芯原股份、北方华创、华峰测控、华海诚科、鼎龙股份、华封科技（未上市）
- ◆ **风险提示：**行业与市场波动风险；国际贸易摩擦风险；新技术、新工艺、新产品无法如期产业化风险；主要原材料供应及价格变动风险等。

- 01 先进封装：打破IC发展限制，向高密度封装时代迈进
- 02 技术分析：横向连接/纵向堆叠奠定先进封装技术基石
- 03 产业链：材料与设备任重道远，先进封装粲然可观
- 04 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺
- 05 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求
- 06 相关标的
- 07 风险提示

01

## 先进封装：打破IC发展限制，向高密度封装时代迈进

- 1.1 封装：保护芯片及确保电路性能
- 1.2 发展历程：迎来以3D封装为代表高密度封装时代
- 1.3 区别：连接芯片方式划分传统与先进
- 1.4 工艺流程拆解：以成型为时间点划分封装前后段操作
- 1.5 传统封装 Vs. 先进封装
- 1.6 意义：打破存储/面积/功能墙等集成电路发展限制
- 1.7 趋势：各间距持续缩小
- 1.8 市场
  - 1.8.1 营收逐季改善，2024年有望迎来全面反弹
  - 1.8.2 全球集成电路月度销售额拐点出现，有望带动封装市场

02

## 技术分析：横向连接/纵向堆叠奠定先进封装技术基石

- 2.1 倒装
  - 2.1.1 倒装（FC） = 贴装 + 引线键合
  - 2.1.2 Bumping为晶圆制造环节延伸，为FC前提
- 2.2 重新布线层（RDL）：改变IC线路接点位置
- 2.3 晶圆级封装（WLP）
  - 2.3.1 在晶圆上对芯片进行操作
  - 2.3.2 WLP依据芯片/封装大小划分扇入/出
  - 2.3.3 WLP依据Chip/RDL工艺先后类别进一步划分
- 2.4 硅通孔（TSV）
  - 2.4.1 TSV贯穿2.5D/3D封装
  - 2.4.2 2.5D封装TSV充当多颗裸片和电路板之间桥梁
  - 2.4.3 TSV在2.5D封装中应用实例——CoWoS
  - 2.4.4 3D封装中TSV用于堆叠
  - 2.4.5 TSV在3D封装中应用实例——HBM
  - 2.4.6 2.5D封装 Vs. 3D封装
- 2.5 混合键合（HB）
  - 2.5.1 混合键合利用范德华力实现
  - 2.5.2 混合键合应用于D2W
- 2.6 四大连接技术对比
- 2.7 板级埋入式封装：无需Si中介层及TSV工艺

03

## 产业链：材料与设备任重道远，先进封装粲然可观

- 3.1 封装材料：各类半导体封装材料集中度较高，国产替代呈现两极分化
  - 3.1.1 高端基板：先进封装带动高端基板需求，国产化亟待突破
  - 3.1.2 环氧塑封料：传统封装中国国产化较高，先进封装中外资厂商仍处垄断地位
- 3.2 封装设备
  - 3.2.1 封装设备：封测设备占比有望提升至19%，贴片机为核心设备
  - 3.2.2 先进封装设备：晶圆划片前融入封装工艺步骤，前道设备需求加剧
- 3.3 先进封装
  - 3.3.1 封装市场有望超1,300亿美元，先进封装占比超50%
  - 3.3.2 2027年先进封装市场规模有望达650亿美元
  - 3.3.3 代工厂抢占先进封装市场份额，6大厂商加工先进封装晶圆超80%
  - 3.3.4 OSAT竞争格局稳定，日月光集团、安靠科技、长电稳居前三甲

04

## 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

- 4.1 台积电
  - 4.1.1 前段 (CoW/WoW)+后段 (oS/InFO) = 3D Fabric
  - 4.1.2 SoIC为先进封装前道工序，由WoW及CoW技术构成
  - 4.1.3 InFO = 集成+扇出封装
- 4.2 三星
  - 4.2.1 I-Cube2.5D=I-Cube S + I-Cube E + H-Cube
  - 4.2.2 通过垂直堆叠方式大幅节省芯片上空间
- 4.3 Intel
  - 4.3.1 嵌入式多芯片互连桥为Intel2.5D封装亮点
  - 4.3.2 Foveros将不同工艺、结构、用途芯片整合
- 4.4 日月光集团：扇出型基板上晶片封装 (FOCoS)
- 4.5 安靠科技：深度布局TSV-less工艺 (FOWLP, Chip last, Die face down)
- 4.6 长电科技：TSV-less路线实现高性价比先进封装
- 4.7 对比：先进封装领域内国内技术与头部厂商差距较小

05

## 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

- 5.1 Chiplet概念
  - 5.1.1 大道至简，芯粒IP复用构建高集成度芯片
  - 5.1.2 为异构/异质集成实现夯实技术基础
- 5.2 发展：Chiplet进入成长期，标准逐渐统一
- 5.3 Chiplet优势
  - 5.3.1 接力摩尔定律，持续推进经济效应
  - 5.3.2 Chiplet助力良率及晶圆使用面积显著性提升
  - 5.3.3 较SoC综合成本下降
  - 5.3.4 芯粒IP化，设计周期及成本显著降低
- 5.4 应用
  - 5.4.1 5G/物联网/高性能运算/智能驾驶/XR等带动先进封装需求
  - 5.4.2 手机与消费领域为先进封装最大应用领域
  - 5.4.3 先进封装在智能手机多芯片/传感器得到应用
  - 5.4.4 智能驾驶级别上升将带动汽车领域先进封装需求
  - 5.4.5 高效节能芯片需求带动高性能计算领域先进封装加速渗透
  - 5.4.6 算力为实现AI产业化核心，高端芯片需求带动先进封装增长
  - 5.4.7 AIGC多行业渗透，间接提高先进封装市场增量
- 5.5 需求
  - 5.5.1 中国晶圆厂独占鳌头，预计至2024年底建立50座大型晶圆厂
  - 5.5.2 全球8寸、12寸晶圆产能有望持续提升，直接带动封装需求
  - 5.5.3 Fabless纵向拓展封测领域，有望带动先进封装多元发展
  - 5.5.4 各大封测厂积极扩产，为新一轮应用需求增长做好准备

06

## 相关标的

- 6.1 通富微电：AMD深度绑定，先进封装前景可期
- 6.2 长电科技：全球领先的集成电路制造和技术服务提供商
- 6.3 华天科技：以3D Matrix平台为基础，构建先进封装技术地基
- 6.4 芯原股份：全球领先的IP授权服务商
- 6.5 北方华创：多设备应用于先进封装领域
- 6.6 华峰测控：产品+技术+客户三大优势，巩固国内测试机龙头地位
- 6.7 鼎龙股份：CMP+先进封装材料双布局
- 6.8 华海诚科：聚焦于封装材料，部分先进封装材料已通过客户验证
- 6.9 华封科技（未上市）：聚焦先进封装设备领域高端装备制造

07

## 风险提示

01

## 先进封装：打破IC发展限制，向高密度封装时代迈进

- 1.1 封装：保护芯片及确保电路性能
- 1.2 发展历程：迎来以3D封装为代表高密度封装时代
- 1.3 区别：连接芯片方式划分传统与先进
- 1.4 工艺流程拆解：以成型为时间点划分封装前后段操作
- 1.5 传统封装 Vs. 先进封装
- 1.6 意义：打破存储/面积/功能墙等集成电路发展限制
- 1.7 趋势：各间距持续缩小
- 1.8 市场
  - 1.8.1 营收逐季改善，2024年有望迎来全面反弹
  - 1.8.2 全球集成电路月度销售额拐点出现，有望带动封装市场

02

## 技术分析：横向连接/纵向堆叠奠定先进封装技术基石

03

## 产业链：材料与设备任重道远，先进封装粲然可观

04

## 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

05

## 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

# 1.1封装：保护芯片及确保电路性能

- ◆ 集成电路封装是指将制备合格芯片、元件等装配到载体上，采用适当连接技术形成电气连接，安装外壳，构成有效组件的整个过程，封装主要起着安放、固定、密封、保护芯片，以及确保电路性能和热性能等作用。
- ◆ 集成电路封装一般可以分为芯片级封装（0级封装）、元器件级封装（1级封装）、板卡级封装（2级封装）和整机级封装（3级封装）。

## 集成电路封装分级

### 0级封装 (芯片级)

- 通常芯片级封装连接方式有引线键合（WB）、载带自动键合（TAB）和倒装焊（FCB）三种。

### 1级封装 (元器件级)

- 是将一个或多个IC芯片用适当材料封装起来，这些材料可以是塑料、金属和陶瓷等，或者是它们的组合。

### 2级封装 (板卡级)

- 将IC、电阻、电容、接插件及其他元器件安装在PCB上的过程。

### 3级封装 (整机级)

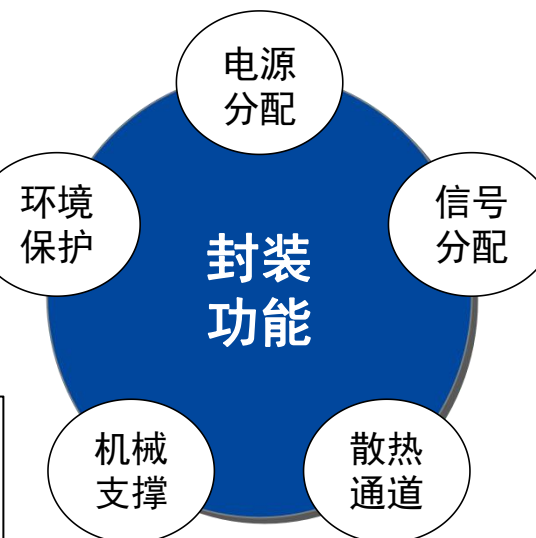
- 是将以上各类PCB（板或卡）总装成整机的过程

## 封装五大功能解析

封装需考虑电源接通，使集成电路芯片与外部电路进行“沟通”，且满足封装体内部不同部位电源分配，以优化封装体内部能源消耗。

集成电路在使用过程中，可能会遇到不同环境，为此，封装对芯片的环境保护作用是显而易见。

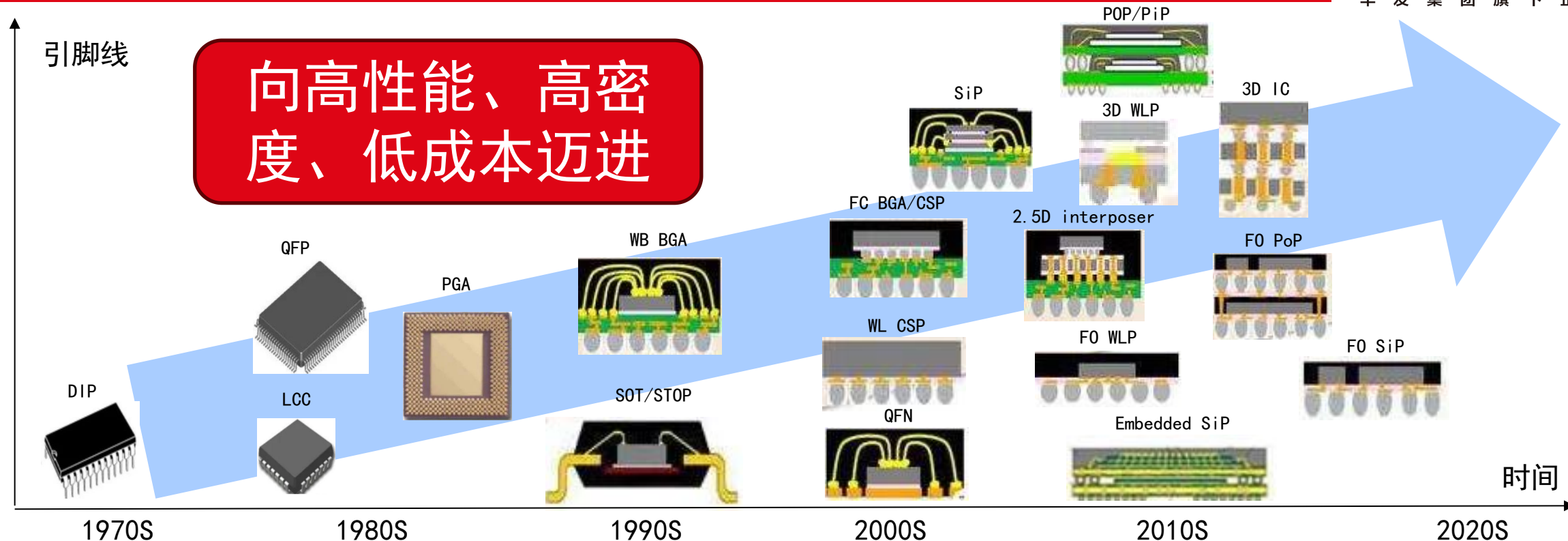
封装可为集成电路芯片及其他部件提供可靠机械支撑使其适应不同工作环境和条件变化。



为电信号减小延迟，布线时应尽量使信号线与芯片互连路径及通过封装输入/输出（IO）引出路径优化到最短。

封装结构及材料，对器件的散热效果起着关键作用。对于功率特别大的集成电路，还需考虑附加的降温措施。

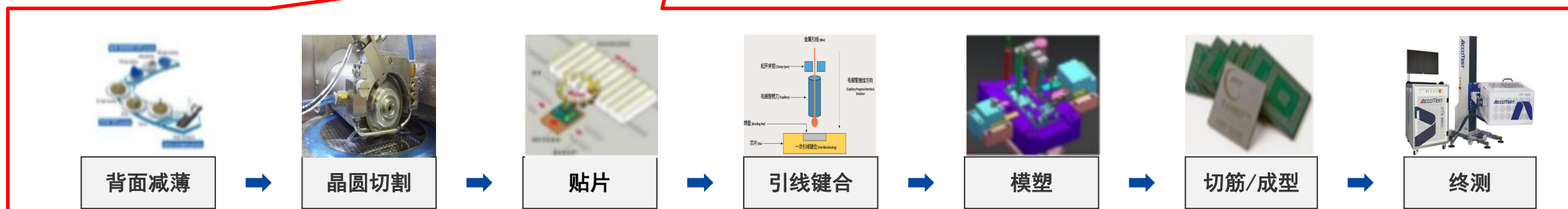
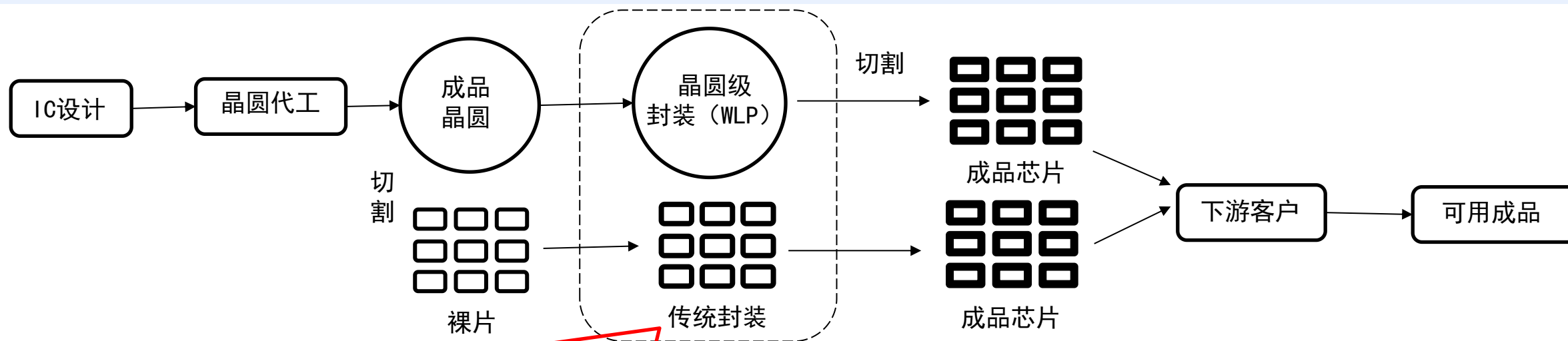
# 1.2发展历程：迎来以3D封装为代表高密度封装时代



| 通孔插装时代                                |     | 表面安装器件时代                                    |     | 面积阵列表面封装时代                   |     | 高密度封装时代                                     |        |
|---------------------------------------|-----|---------------------------------------------|-----|------------------------------|-----|---------------------------------------------|--------|
| 技术特点：插孔安装在PCB上，引脚节距固定，引脚数增加伴随封装尺寸的增大。 |     | 技术特点：引线代替针脚，引线为翼形或J形，封装体的尺寸固定而周边引脚节距根据需要变化。 |     | 技术特点：焊球代替引线，按面积阵列形式分布的表面贴装。  |     | 技术特点：在不改变封闭体安装面积的前提下，在同一个封装体内于垂直方向叠放两个以上芯片。 |        |
| 安装密度：≤10引脚/cm <sup>2</sup>            |     | 安装密度：10-50引脚/cm <sup>2</sup>                |     | 安装密度：40-60引脚/cm <sup>2</sup> |     | 超越传统意义的安装密度。                                |        |
| 优点：解决了多功能、高集成度、高速低功耗、多引线的集成电路芯片的封装问题。 |     |                                             |     | 优点：降低能耗，提高集成度。               |     |                                             |        |
| T0                                    | DIP | SOP                                         | QFP | BGA                          | CSP | 3D堆叠                                        | 3D TSV |

## 1.3 区别：连接芯片方式划分传统与先进

- ◆ 根据切割与封装顺序划分：传统封装（先从晶圆上分离出单个芯片后再进行封装）；晶圆级封装（WLP，在晶圆级上进行部分或全部封装工艺，再切割成单件）。
- ◆ 先进封装与传统封装最大区别在于连接芯片方式。先进封装与传统封装的最大区别在于连接芯片的方式，先进封装可在更小空间内实现更高设备密度，并使功能得到扩展。通过硅通孔、桥接器、硅中介层或导线层完成更大规模串联，从而提高信号输送速度，减少能耗。



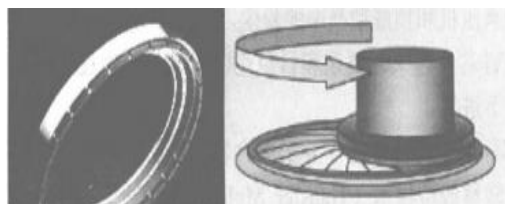
# 1.4 工艺流程拆解：以成型为时间点划分封装前后段操作

前段操作

后段操作

硅片减薄

背面减薄技术主要有磨削、研磨、干式抛光、化学机械平坦工艺、电化学腐蚀、湿法腐蚀、等离子增强化学腐蚀、常压等离子腐蚀等。



研磨减薄工艺的磨轮及其工作示意图

硅片切割

切割改进工艺：先切割后减薄（DBG）、减薄切割法（DBT）。两种方法皆避免或减少减薄引起硅片翘曲及划片引起芯片边缘损害。

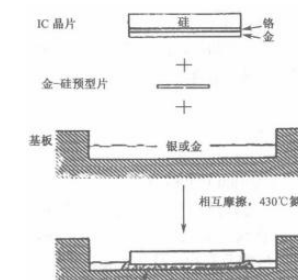


先切割后减薄分离工艺示意图

芯片贴装

将IC芯片固定于封装基板或引脚架芯片承载座上的工艺过程，工艺如：

- 1、共晶粘贴法
- 2、焊接粘贴法
- 3、导电胶粘贴法
- 4、玻璃胶粘贴法



使用预型片的共晶芯片粘贴法示意图

芯片互连

将芯片焊区与电子封装外壳的 I/O 引线或基板上金属布线焊区相连接，只有实现芯片与封装结构电路连接才能发挥已有功能

- 1、打线键合技术（WB）：超声波键合、热压键合、热超声波键合
- 2、载带自动键合技术（TAB）
- 3、倒装芯片键合技术（FCB）：芯片焊区于基板焊区直连



倒装芯片封装示意图

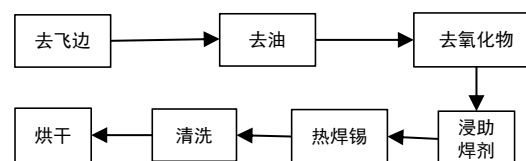
将芯片与引线框架“包装”起来。这种成型技术有金属封装、塑料封装、陶瓷封装等

成型技术

去飞边毛刺

主要工艺：介质去飞边毛刺、溶剂去飞边毛刺、水去飞边毛刺。随着模具设计改进及严格控制注模条件在一些较先进封装工艺中，已不再进行去飞边毛刺工序。

上焊锡



切筋成型

切筋工艺：切除框架外引脚之间的堤坝及在框架带上连在一起的地方  
成型工艺：将引脚弯成一定的形状，以适合装配的需要。

打码

打码就是在封装模块的顶面印上去不掉的、字迹清楚的字母和标识，包括制造商的信息国家、器件代码等，主要是为了识别和跟踪。

# 1.5传统封装 Vs. 先进封装

◆ 先进封装技术通过采用更紧凑、更高级设计和制程技术，可提供更高集成度，更小尺寸，更高性能及更低能耗芯片。通过将多个芯片堆叠，在显著提高集成度及性能时，降低空间需求。在性能与能耗上，先进封装通过优化设计与制程，可大幅提高信号传输速度，降低功耗。在制程技术上，先进封装采用如微细化焊球、超低k材料等创新技术，使得封装电气性能及散热性能有显著提升。

|        | 传统封装<br>(以市场规模最大倒装为例)            | 先进封装               |                |
|--------|----------------------------------|--------------------|----------------|
|        |                                  | 2. 5D/3D封装         | WLP扇外型         |
| 系统内存带宽 | 低                                | 高                  | 中              |
| 芯片能耗比  | 低                                | 高                  | 高              |
| 芯片厚度   | 高                                | 中                  | 低              |
| 芯片发热   | 中                                | 高                  | 低              |
| 封装成本   | 低                                | 高                  | 中              |
| 性能     | 低                                | 高                  | 中              |
| 形态     | 平面、芯片之间缺乏高速互联                    | 多芯片、异质集成、芯片之间高速互联  |                |
| 简评     | 受制于摩尔定律，芯片性能提升需要付出巨大的成本，无法满足新的需求 | 面向高性能领域，代表封装行业发展方向 | 面向成本敏感市场推出折衷方案 |



# 1.7趋势：各间距持续缩小

- ◆ 与传统封装相比，先进封装需要不同设备、材料和工艺，例如新基板材料、光刻工艺、激光钻孔、CMP和KGD测试。先进封装参与者投入大量资金开发及引入新技术与材料。先进封装异构集成将推动半导体创新，提高整体系统性能，同时降低成本，未来3D堆叠间距将会进一步下降，Bump I/O间距将会缩小至40-50微米之间，重布层线宽间距将至2/2微米。

2019-2029先进封装技术路线图



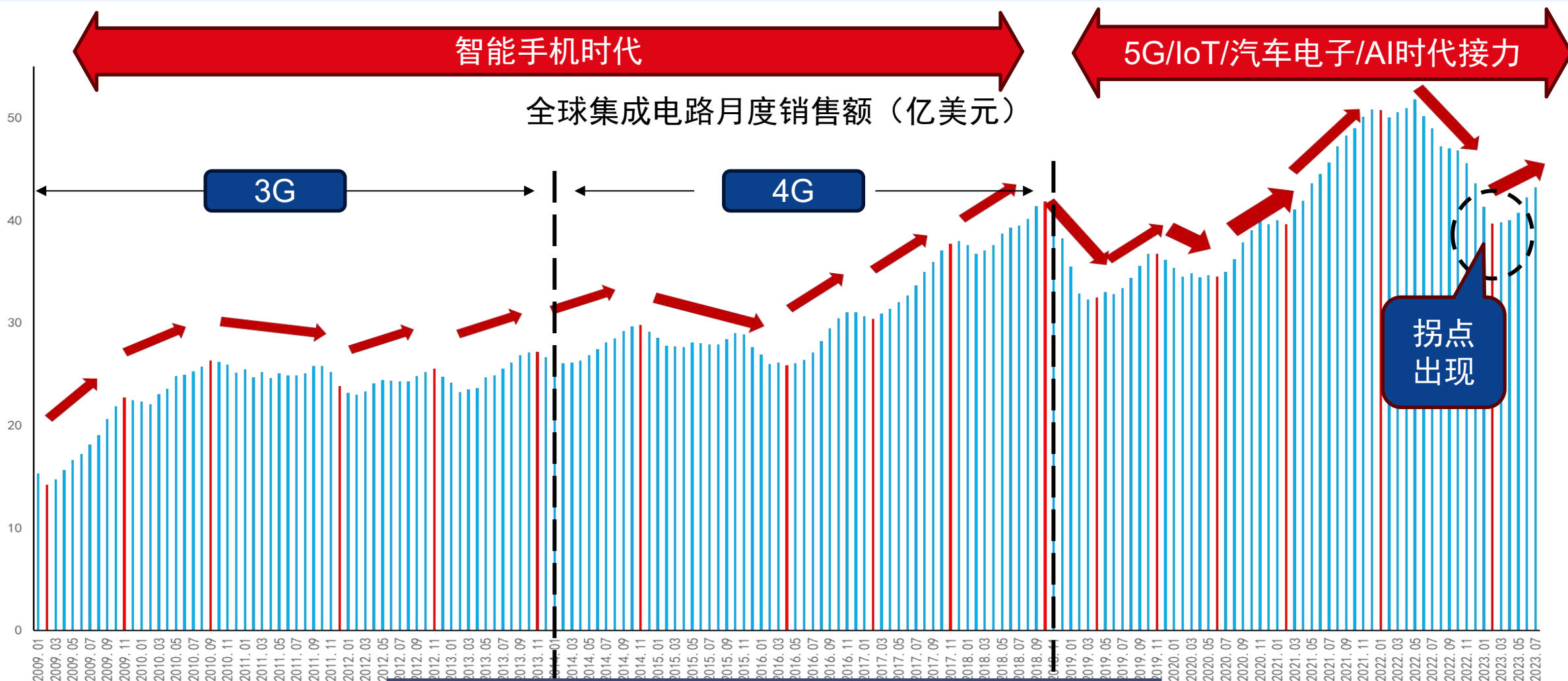
# 1.8 市场：营收逐季改善，2024年有望迎来全面反弹

◆ 受益于先进封装比例提升及海外客户复苏等，环比改善相对明显，2023Q2预计为业绩低点。根据封装头部企业指引，下游客户依旧处于去库存中，封装厂商营收逐季改善，2024年有望迎来反弹等成为行业共识，AI相关及通信终端（智能手机及平板）领域将为后续封装市场提供增长动能。其中，人工智能将成为半导体行业下一个超级周期催化剂，相关高端处理器和AI芯片先进封测需求（对2.5D/3D封装）有望持续增长。

| 公司    | 指引时间   | 指引详情                                                        |
|-------|--------|-------------------------------------------------------------|
| 日月光集团 | 2023Q3 | 封测营收：环比增长4%–9%<br>封测毛利率：环比增长75–100个基点                       |
|       | 2023全年 | 封测业务预计同比增长13%–15%左右。                                        |
|       | 景气度    | 客户晶圆库存处于初步下降阶段，库存消化可能持续到未来两个季度或更多，进入24年情况将大幅改善，预计24年将有更好增长。 |
| 安靠科技  | 2023Q3 | 营收：17.25–18.25亿美元<br>毛利率：13.5%–15.5%                        |
|       | 景气度    | Android厂商供应链库存消耗时间不如预期，通信终端有望为公司三季度提供增长动能。                  |
| 力成科技  | 2023Q3 | 营收：第三季度收将优于第二季，下半年营收将优于上半年。                                 |
|       | 景气度    | 库存去化时间不如预期，电动车、面板、电信通讯及AI等创新将引领未来产业转变。                      |

## 1.8 市场：全球集成电路月度销售额拐点出现，有望带动封装市场

- ◆ 市场回暖迹象显现，有望带动封装市场增长。未来，在新兴市场和半导体技术发展带动下，集成电路继续向着小型化、集成化、低功耗方向发展，附加值更高的先进封装将得到更多应用。



01

## 先进封装：打破IC发展限制，向高密度封装时代迈进

02

## 技术分析：横向连接/纵向堆叠奠定先进封装技术基石

- 2.1 倒装
  - 2.1.1 倒装（FC）= 贴装 + 引线键合
  - 2.1.2 Bumping为晶圆制造环节延伸，为FC前提
- 2.2 重新布线层（RDL）：改变IC线路接点位置
- 2.3 晶圆级封装（WLP）
  - 2.3.1 在晶圆上对芯片进行操作
  - 2.3.2 WLP依据芯片/封装大小划分扇入/出
  - 2.3.3 WLP依据Chip/RDL工艺先后类别进一步划分
- 2.4 硅通孔（TSV）
  - 2.4.1 TSV贯穿2.5D/3D封装
  - 2.4.2 2.5D封装TSV充当多颗裸片和电路板之间桥梁
  - 2.4.3 TSV在2.5D封装中应用实例——CoWoS
  - 2.4.4 3D封装中TSV用于堆叠
  - 2.4.5 TSV在3D封装中应用实例——HBM
  - 2.4.6 2.5D封装 Vs. 3D封装
- 2.5 混合键合（HB）
  - 2.5.1 混合键合利用范德华力实现
  - 2.5.2 混合键合应用于D2W
- 2.6 四大连接技术对比
- 2.7 板级埋入式封装：无需Si中介层及TSV工艺

03

## 产业链：材料与设备任重道远，先进封装粲然可观

04

## 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

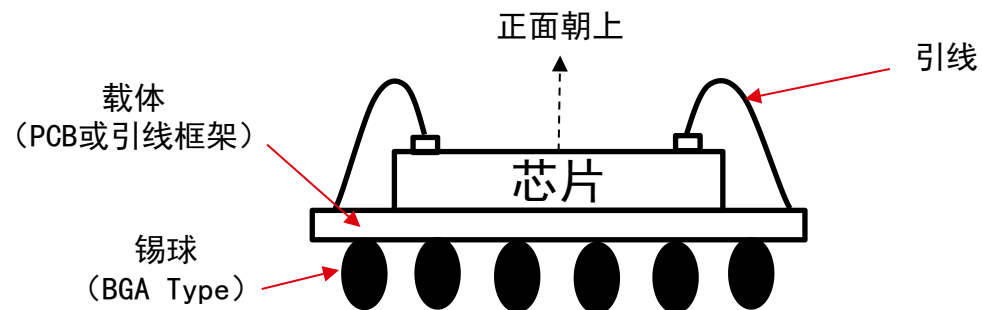
05

## 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

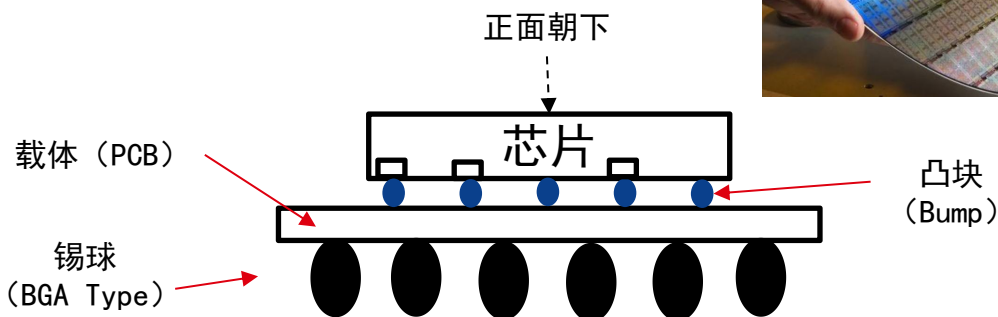
## 2.1倒装：倒装（FC） = 贴装 + 引线键合

- ◆ 倒装是在I/O底板上沉积锡铅球，将芯片翻转加热，利用熔融锡铅球与陶瓷基板相结合来替换传统打线键合。倒装将裸片面朝下，将整个芯片面积与基板直接连接，省掉互联引线，具备更好的电气性能。

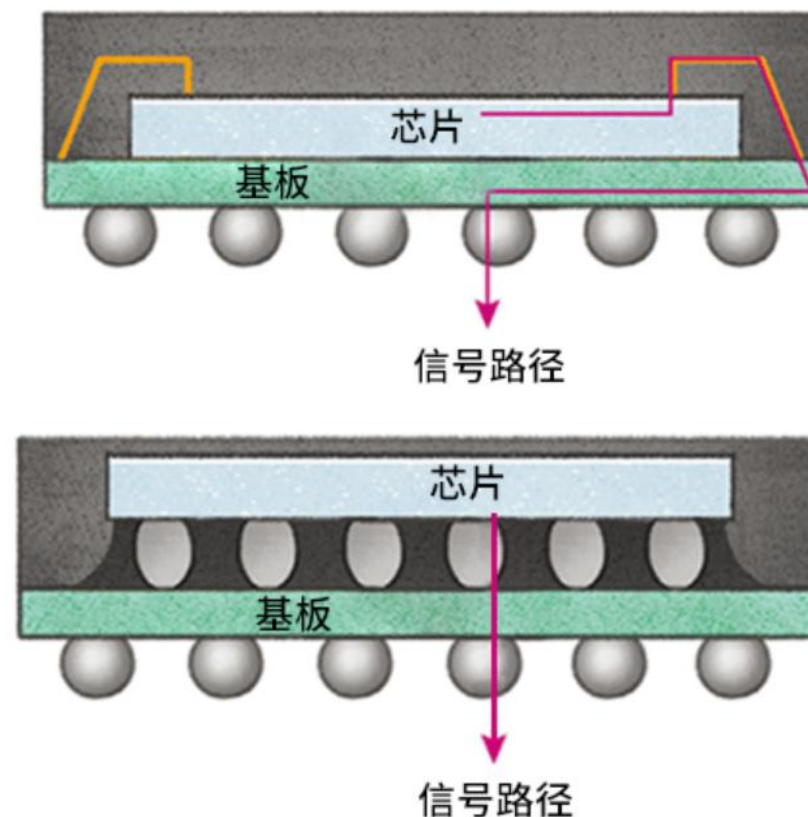
引线键合与倒装键合示意图



引线键合  
VS  
倒装芯片

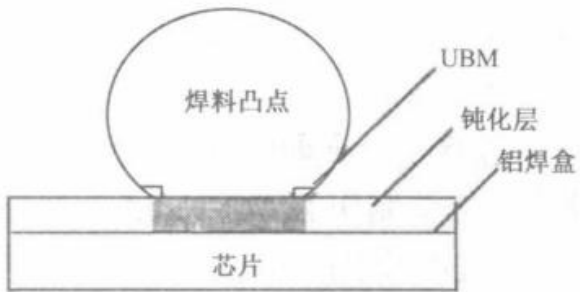


引线键合与倒装键合的信号传输路径对比



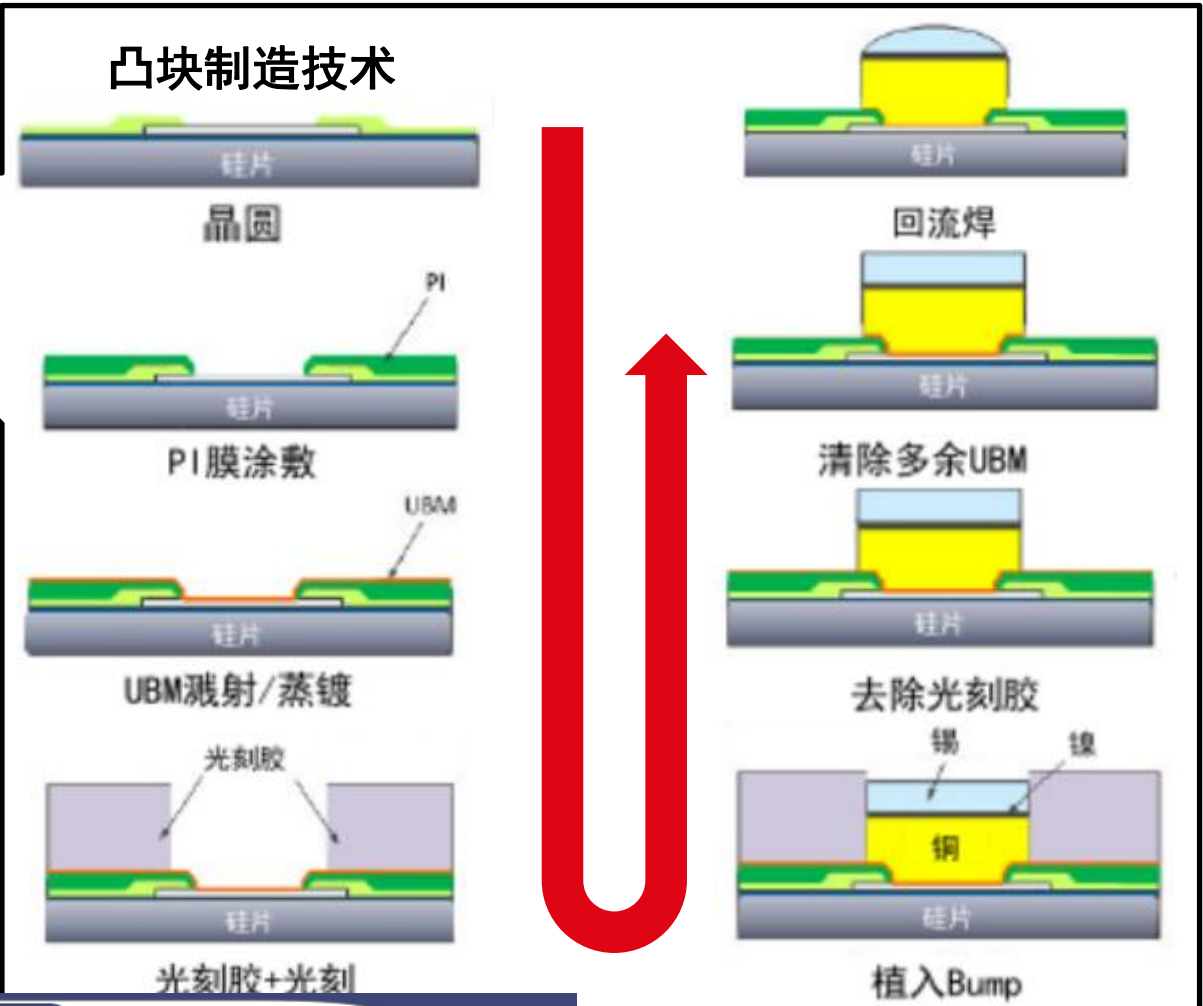
## 2.1倒装：Bumping为晶圆制造环节延伸，为FC前提

◆ UBM是在芯片焊盘与凸点之间的金属过渡层，主要起黏附和扩散阻挡作用，通常由黏附层、扩散阻挡层和浸润层等多层金属膜组成。Bump是FC与PCB电连接唯一通道，是FC技术中关键环节。



芯片凸点结构示意图

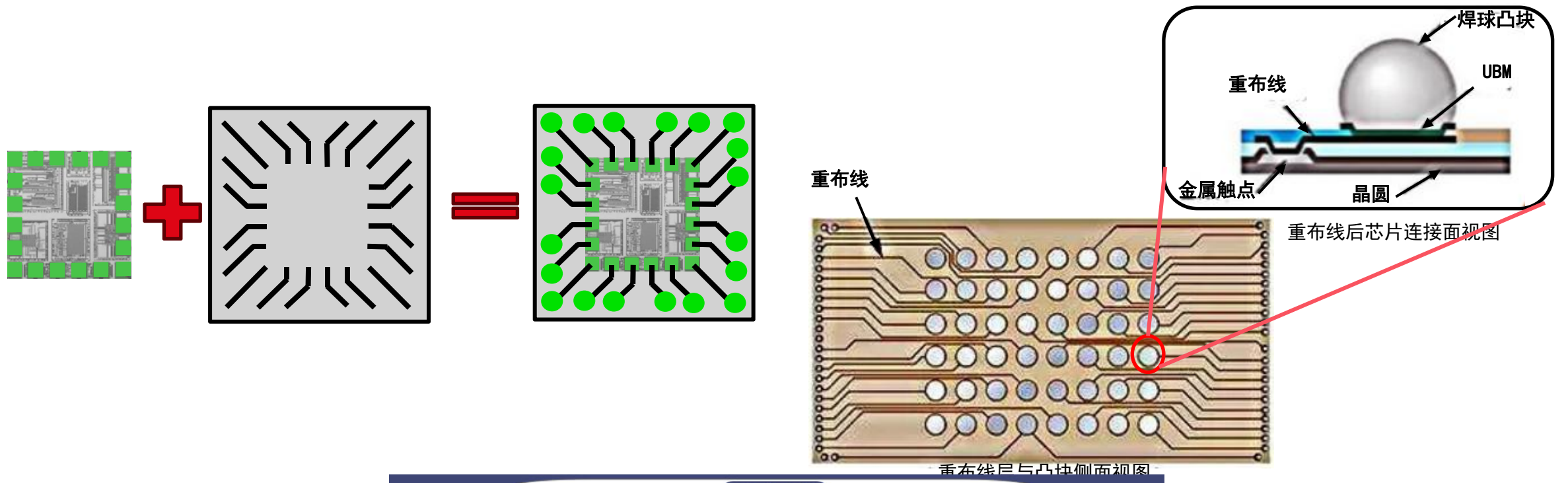
| 凸块种类  | 主要特点                                                                           | 应用领域                                                                          |
|-------|--------------------------------------------------------------------------------|-------------------------------------------------------------------------------|
| 金凸块   | 由于金具有良好的导电性、机械加工性（较为柔软）及抗腐蚀性，因此金凸块具有密度大、低感应、散热能力佳、材质稳定性高等特点，但金凸块原材料成本相对较高。     | 主要应用于显示驱动芯片、传感器、电子标签等产品封装。                                                    |
| 铜镍金凸块 | 铜镍金凸块可适用于不同的封装形式，可提高键合的导电性能、散热性能、减少阻抗，大大提高了引线键合的灵活性；虽原材料成本较金凸块低，但工艺复杂制造成本相对较高。 | 目前主要用于电源管理等大电流、需低阻抗的芯片封装。                                                     |
| 铜柱凸块  | 铜柱凸块具有良好的电性能和热性能，具备窄节距的优点。同时可通过增加介电层或 RDL 提升芯片可靠性。                             | 应用领域较广，主要应用于通用处理器、图像处理芯片、存储器芯片、ASIC、FPGA、电源管理芯片、射频前端芯片、基带芯片、功率放大器、汽车电子等产品或领域。 |
| 锡凸块   | 凸块结构主要由铜焊盘和锡帽 构成，一般是铜柱凸块尺寸的 3-5 倍球体较大，可焊性更强。                                   | 应用领域较广，主要应用于图像传感器、电源管理芯片、高速器件、光电器件等领域。                                        |



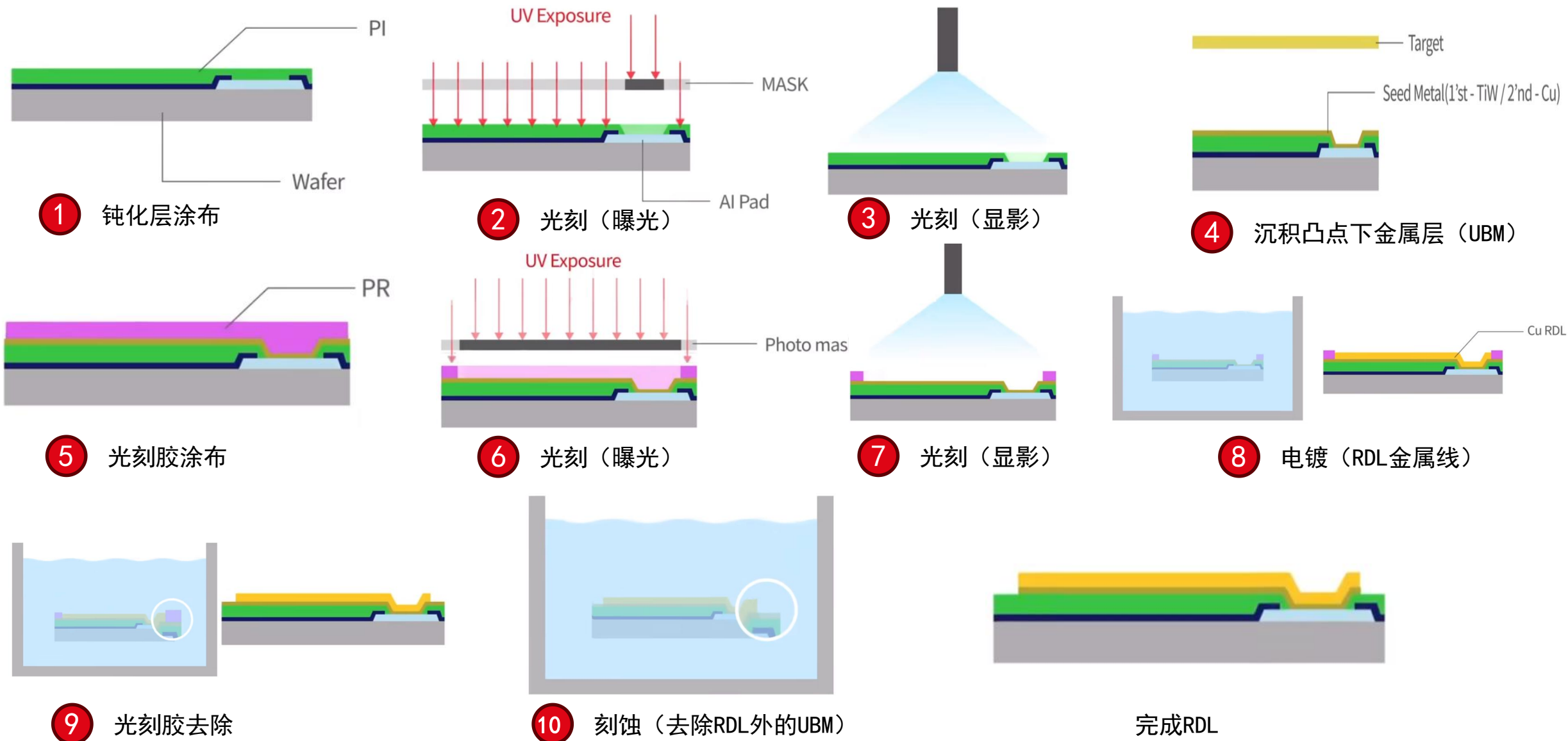
## 2.2重新布线层（RDL）：改变IC线路接点位置

- ◆ 重新布线 (RDL) 是将原来设计的IC线路接点位置 (I/O pad)，通过晶圆级金属布线工艺和凸块工艺改变其接点位置，使IC能适用于不同封装形式。
- ◆ 重新布线优点：可改变线路I/O原有设计，增加原有设计附加价值；可加大I/O间距，提供较大凸块面积，降低基板与元件间应力，增加元件可靠性；取代部分IC线路设计，加速IC开发时间。

重新分布层（RDL）结构



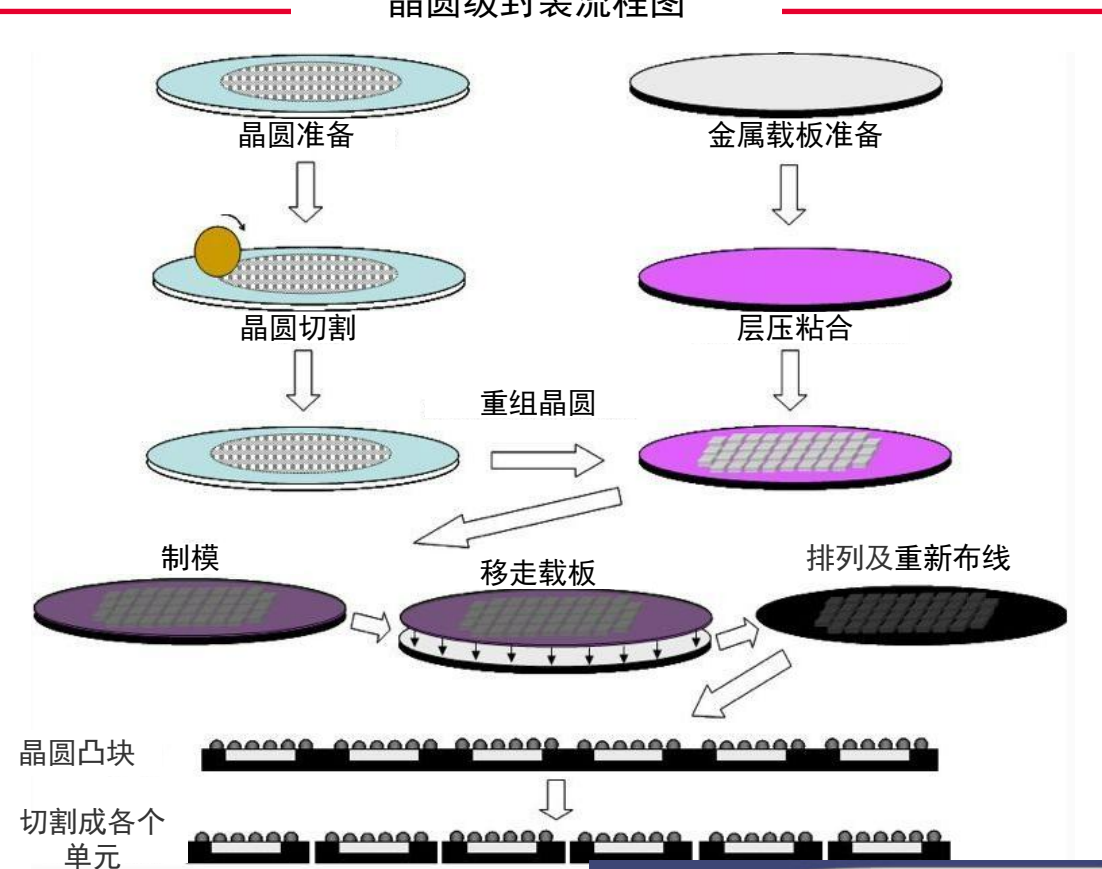
## 2.2重新布线层（RDL）：改变IC线路接点位置



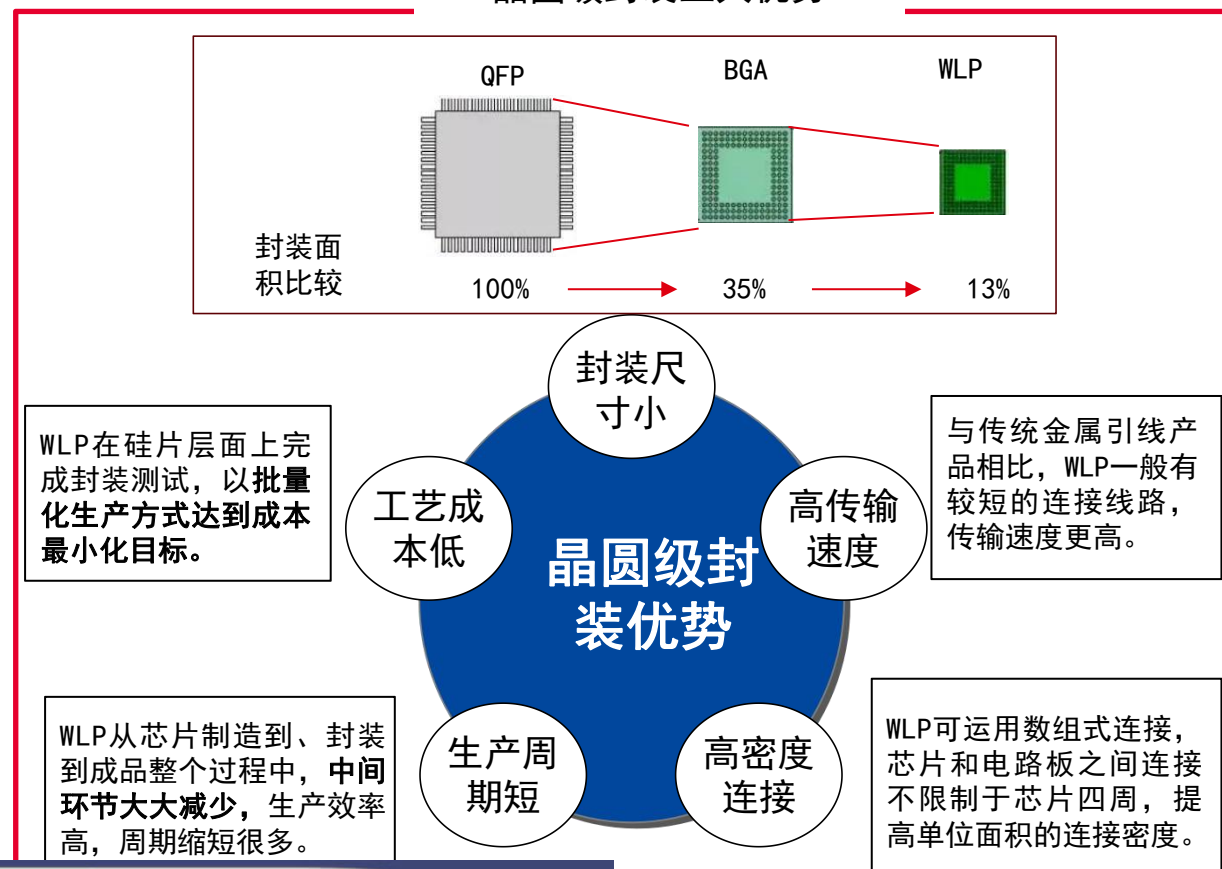
## 2.3 晶圆级封装（WLP）：在晶圆上对芯片进行操作

- ◆ 晶圆级封装是指先在整片晶圆上同时对众多芯片进行封装、测试，最后切割成单个器件，并直接贴装到基板或PCB上，生产成本大幅降低。
- ◆ 由于没有引线、键合和塑胶工艺，封装无需向芯片外扩展，使得WLP的封装尺寸几乎等于芯片尺寸。

晶圆级封装流程图

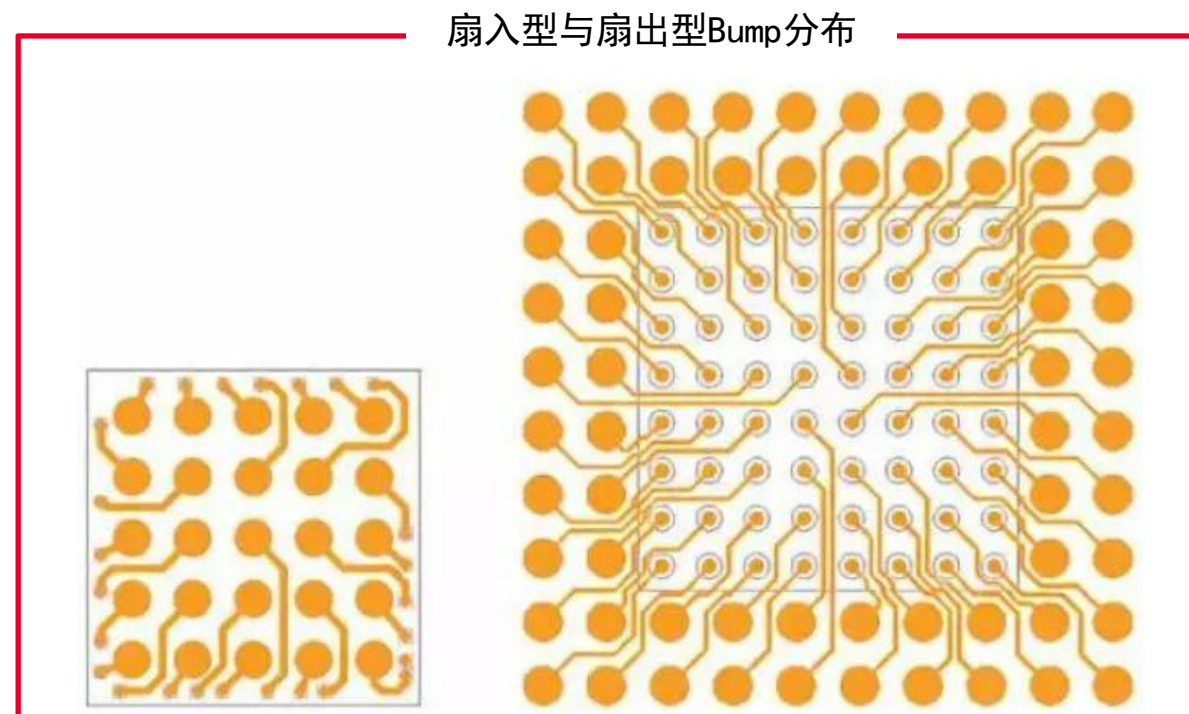
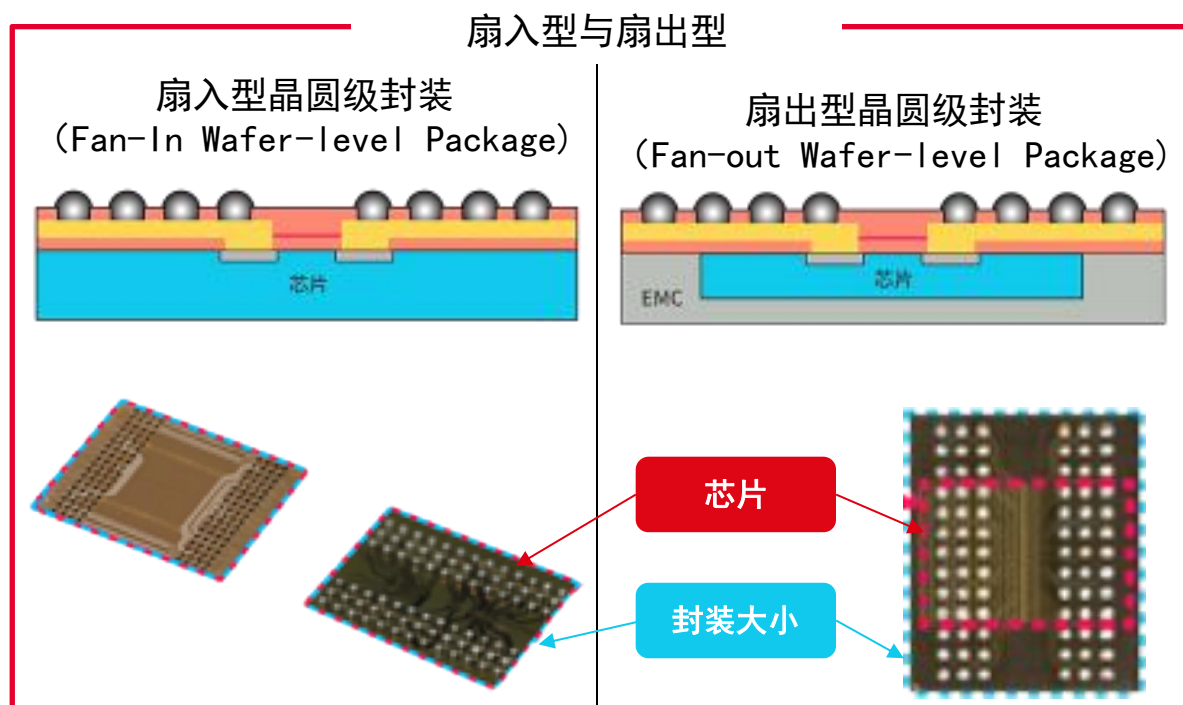


晶圆级封装五大优势



## 2.3 晶圆级封装（WLP）：WLP依据芯片/封装大小划分扇入/出

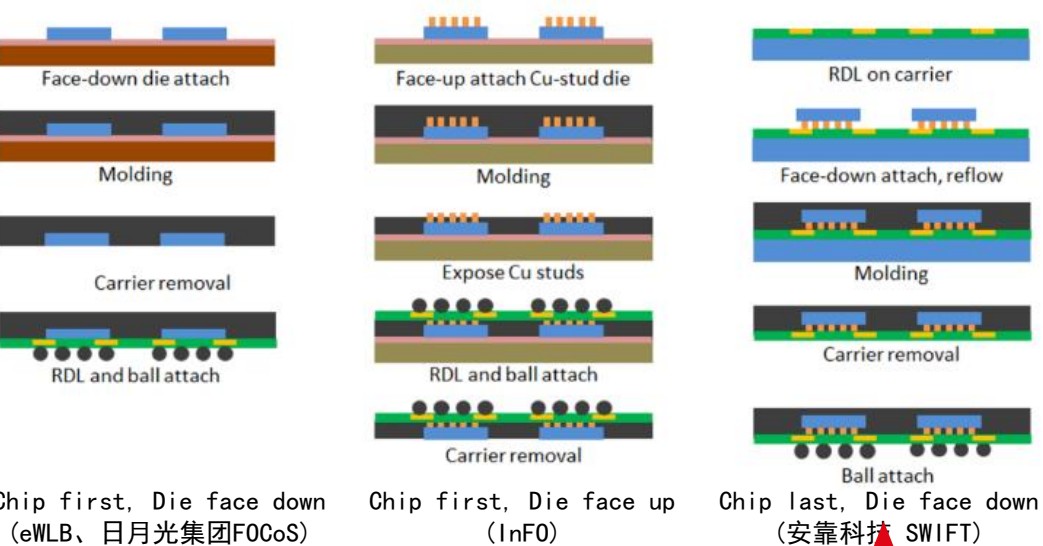
- ◆ “扇（Fan）”指芯片大小。扇入型晶圆级封装（FI-WLP）：芯片大小与封装大小相同，且封装用锡球在芯片大小内；扇出型晶圆级封装（FO-WLP）：封装尺寸大于芯片尺寸且部分锡球在芯片之外。
- ◆ FI-WLP具有真正裸片尺寸的显著特点，通常用于低输入/输出（I/O）数量（一般小于400）和较小裸片尺寸工艺当中；FO-WLP初始用于将独立的裸片重新组装或重新配置到晶圆工艺中，并以此为基础，通过批量处理、构建和金属化结构，Fan-Out的Bump可以长到Die外部，封装后IC也较Die面积大（1.2倍最大）。



## 2.3 晶圆级封装（WLP）：WLP依据Chip/RDL工艺先后类别进一步划分

◆ FOWLP封装技术主要分为Chip first以及Chip last（RDL first），而Chip first可再分为Die face 及Die face down。Chip-first是在生成RDL之前，先将Die附着在一个临时或者永久材料架构上的工艺、而Chip-last则是先生成RDL，再导入Die。封装厂商若要做出精良扇出型封装，只能采用Chip last技术路线。

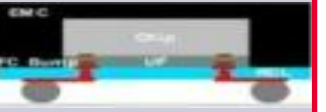
FOWLP三大子类封装流程



精良  
扇出封装  
首选

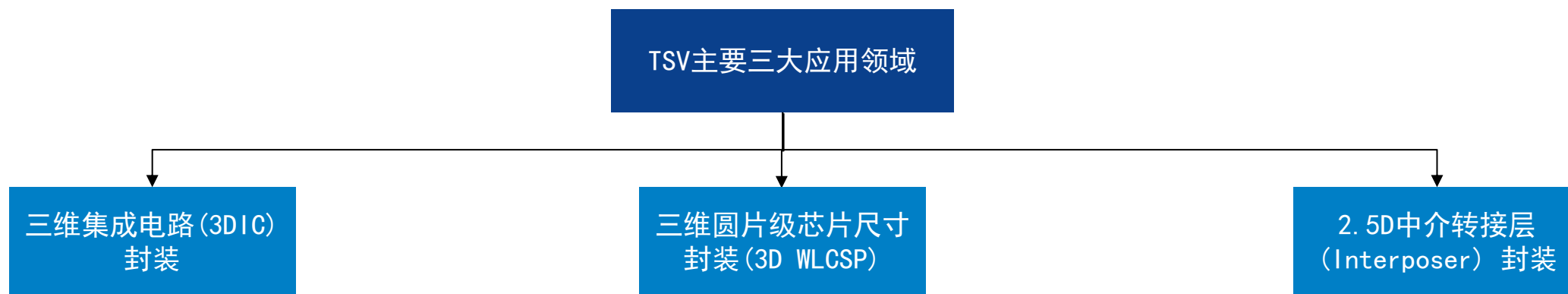
- (1) 芯片只会在合格的RDL上倒装芯片，可避免芯片损失，适用于高价格的高端芯片。
- (2) 芯片通过倒装方式直接与RDL连接，消除了芯片偏移问题。
- (3) 超细RDL线宽线距实现HDF0，RDL线宽线距能力<2um。

FOWLP三大子类对比

|        | Chip first, Die face down                                                           | Chip first, Die face up                                                             | Chip last, Die face up                                                              |
|--------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------|
| 示意图    |  |  |  |
| 翘曲控制   | Good                                                                                | Better                                                                              | Best                                                                                |
| 晶片偏移控制 | Good                                                                                | Better                                                                              | Best                                                                                |
| 铜凸块    | No                                                                                  | Yes                                                                                 | Yes                                                                                 |
| 回流焊    | No                                                                                  | No                                                                                  | Yes                                                                                 |
| 底部填充   | No                                                                                  | No                                                                                  | Yes                                                                                 |
| 晶片表面保护 | No                                                                                  | Yes                                                                                 | Yes                                                                                 |
| 成本     | High                                                                                | Higher                                                                              | Highest                                                                             |

## 2.4 硅通孔（TSV）：TSV贯穿2.5D/3D封装

- ◆ 目前，TSV主要有三大应用领域，分别是三维集成电路(3DIC)封装、三维圆片级芯片尺寸封装(3DWLCSP)和2.5D中介转接层(Interposer)封装。



3DIC封装:目前,3D IC应用方向主要是存储类产品,其原因是存储类产品引脚密度小,版图布局规律,芯片功率密度小等。通过TSV通孔实现三维集成,可以增加存储容量,降低功耗,增加带宽,减小延迟,实现小型化。

3DWLCSP:主要应用于图像、指纹、滤波器、加速度计等传感器封装领域。其特点是采用 Via Last 工艺,TSV 深宽比较小(1:1-3:1),孔径较大出于对成本的考虑,目前图像传感器封装大多采取低深宽比的TSV结构。

2.5D中介转接层封装:细线条布线中介转接层针对的是FPGA、CPU等高性能的应用,其特征是正面有多层细节距再布线层和细节距微凸点,主流TSV深宽比达到10:1,厚度约为100 μm。

## 2.4 通孔（TSV）：TSV贯穿2.5D/3D封装

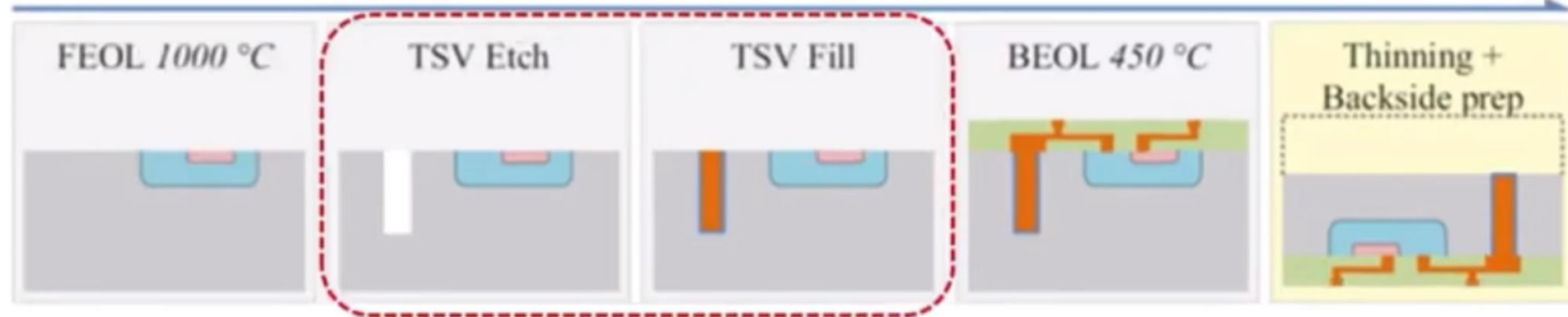
### Via First

填充材料必须要能经受住高于1000℃全部热加工工艺，故常用填充材料是多晶硅，不需要种子层，且绝缘层可以采用传统氧化工艺制作。



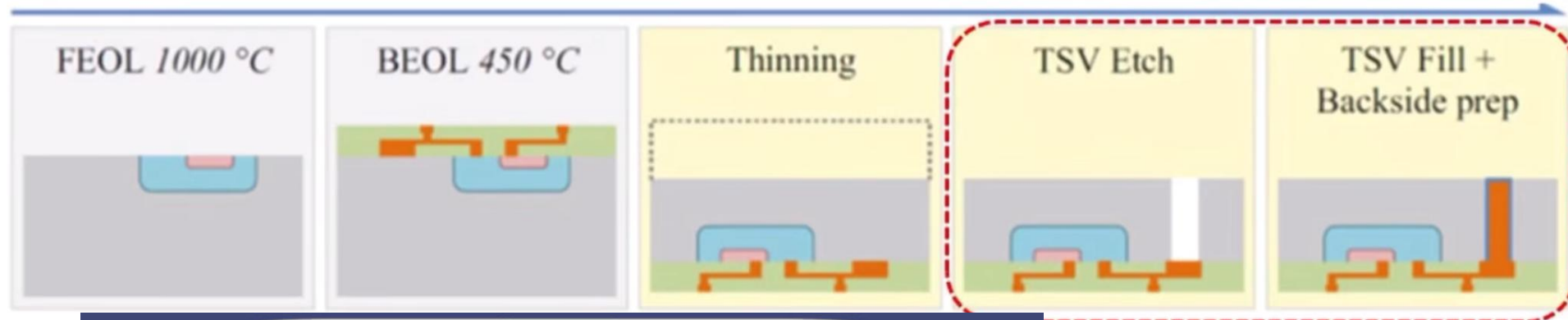
### Via Middle（最普遍）

制作通孔时，CMOS结构已经完成并钝化，不会再经历高温工艺，因此可以使用电性能和热性能比多晶硅更优良的Cu作为通孔填充材料。



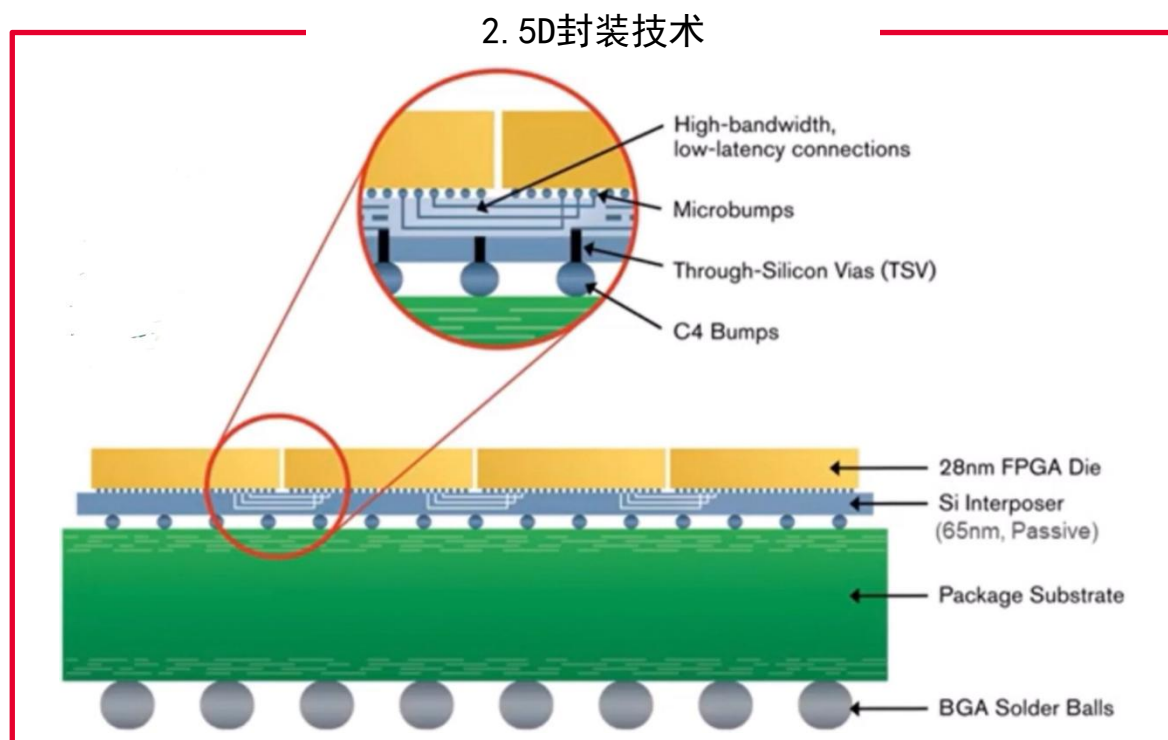
### Via Last

晶圆在通孔形成前已经减薄到其最终厚度，刻蚀TSV后不便进行Cu填充（铜膨胀系数大），采用将Si片固定在载片或者底部晶圆上，进行减薄后，再进行TSV刻蚀和填充。



## 2.4 硅通孔（TSV）：2.5D封装TSV充当多颗裸片和电路板之间桥梁

- ◆ 中介层是一种由硅及有机材料制成硅基板，是先进封装中多芯片模块传递电信号的管道，可以实现芯片间的互连，也可以实现与封装基板的互连，充当多颗裸片和电路板之间的桥梁。硅中介层是一种经过验证的技术，具有较高的细间距布线能力和可靠的TSV能力，可以实现高密度I/O需求，在2.5D封装中扮演着关键角色。
- ◆ 2.5D集成关键在于中介层Interposer：1）中介层是否采用硅转接板；2）中介层是否采用TSV，在硅转接板上穿越中介层（TSV），在玻璃转接板上穿越中介层（TGV）。



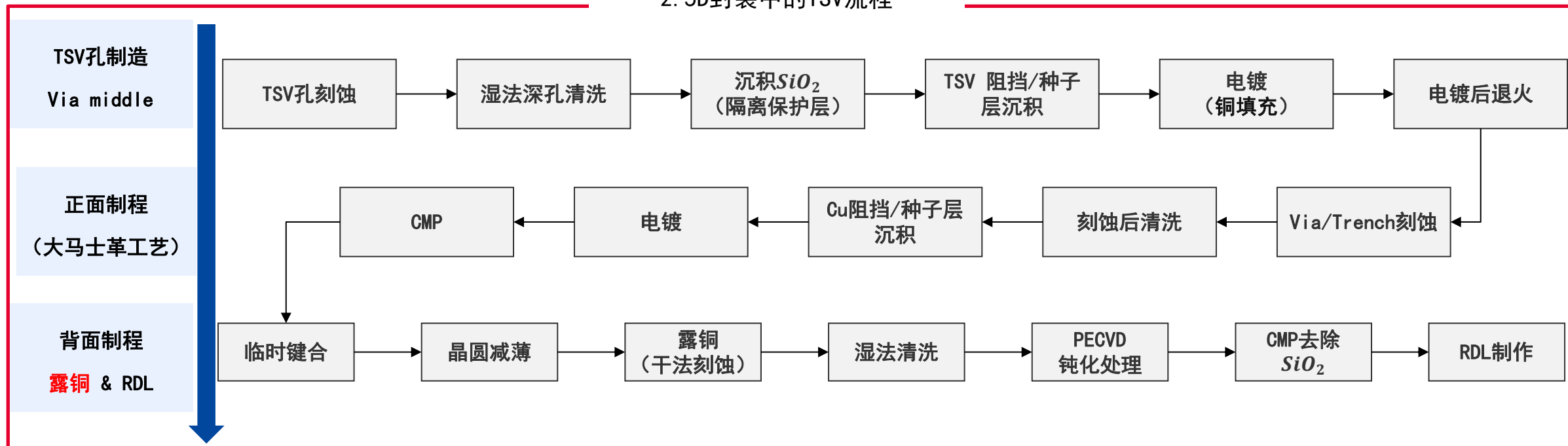
### 与TSV相比TGV六大优势



## 2.4 硅通孔（TSV）：2.5D封装TSV充当多颗裸片和电路板之间桥梁

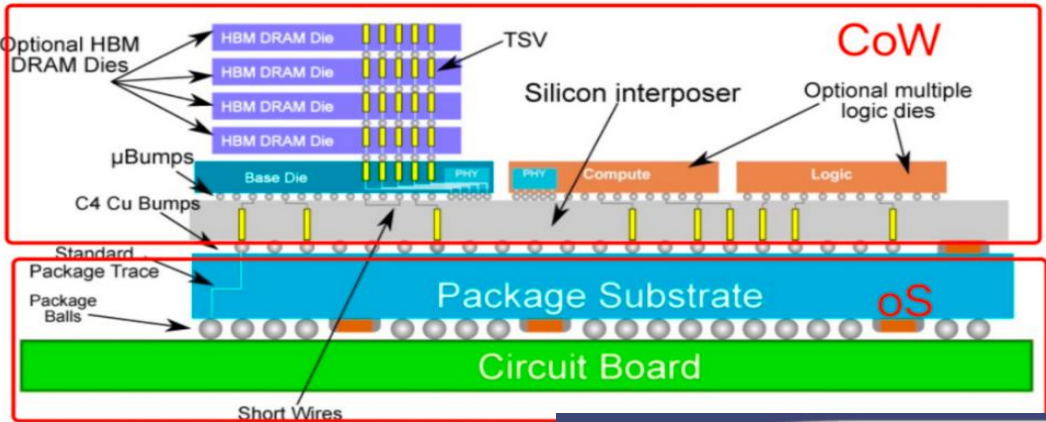
- ◆ TSV生产流程涉及到深孔刻蚀、PVD、CVD、铜填充、微凸点及电镀、清洗、减薄、键合等二十余种设备，其中深孔刻蚀、气相沉积、铜填充、CMP去除多余金属、晶圆减薄、晶圆键合等工序涉及的设备最为关键。
- ◆ TSV工艺流程：深反应离子刻蚀（DRIE）法行成通孔；使用化学沉积方法沉积制作绝缘层、使用物理气相沉积方法沉积制作阻挡层及种子层；选择一种电镀方法在盲孔中进行铜填充；使用化学和机械抛光（CMP）法去除多余铜，完成铜填充后，则需要对晶圆进行减薄，最后是进行晶圆键合。

2. 5D封装中的TSV流程



## 2.4 硅通孔（TSV）：TSV在2.5D封装中应用实例——CoWoS

- ◆ CoWoS单颗芯片收入预计约723美元/颗。台积电制造H100、A100、Epic Genoa及MI300四颗，且使用CoWoS封装，四颗芯片尺寸平均值为980mm<sup>2</sup>。基于300mm晶圆70,695mm<sup>2</sup>及台积电每月8,500片晶圆CoWoS产能，可得，台积电每月消耗613,171个CoWoS封装。按台积电CoWoS收入占总收入7%计算，每颗芯片产生CoWoS收入为722.85美元。
- ◆ CoWoS由CoW和oS组合而来：CoW表示Chip on Wafer，指裸片在晶圆上被拼装的过程，oS表示on Substrate。



| Chip                                | Chip Size(mm <sup>2</sup> ) | Chips/wafer |
|-------------------------------------|-----------------------------|-------------|
| H100 (Nvidia)                       | 814                         | 87          |
| A100 (Nvidia)                       | 826                         | 86          |
| Epic Genoa (AMD)                    | 1,263                       | 56          |
| MI300 (AMD)                         | 1,017                       | 70          |
| Average Chip                        | 980                         | 72          |
| TSMC capacity (wpm)                 | 8,500                       |             |
| CoWoS Packages per month            | 613,171                     |             |
| TSMC Total Revenues (\$B) 2022      | \$75.98                     |             |
| TSMC Total Revenues (\$B) per month | \$6.33                      |             |
| CoWoS Revenues (\$B) 2022           | \$5.32                      |             |
| CoWoS Revenues (\$B) per month      | \$443.23                    |             |
| CoWoS Revenues per chip (\$)        | \$722.85                    |             |

## 2.4 硅通孔（TSV）：TSV在2.5D封装中应用实例——CoWoS

- ◆ CoWoS实质为2.5D封装，依据中介层采用不同技术划分为CoWoS-S、CoWoS-L及CoWoS-R三大技术。CoWoS-S采用硅中介层，为高性能计算应用提供最佳性能及最高晶体管密度；CoWoS-R类似InFO技术，利用RDL中介层进行互连，更强调小芯片间互连；CoWoS-L结合CoWoS-S及InFO技术优点，使用夹层与LSI（局部硅互连）芯片进行互连，使用RDL层进行电源与信号传输，提供最灵活集成。

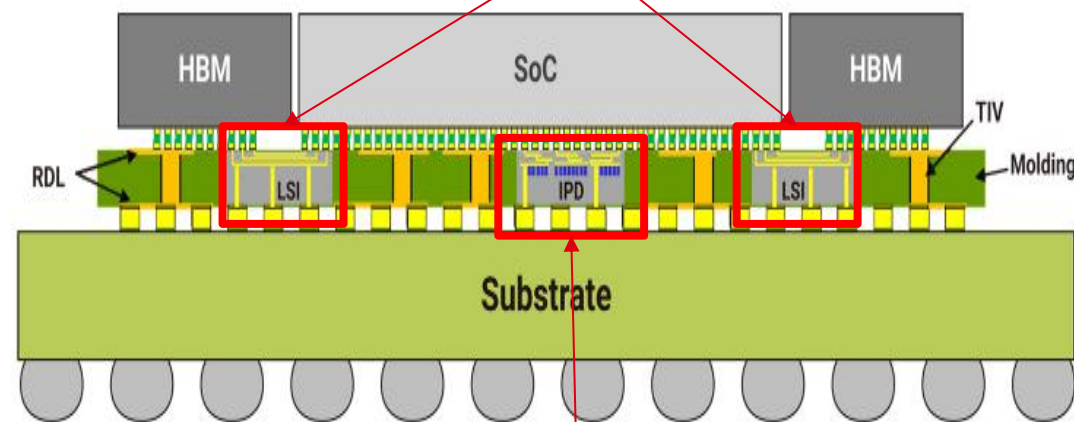
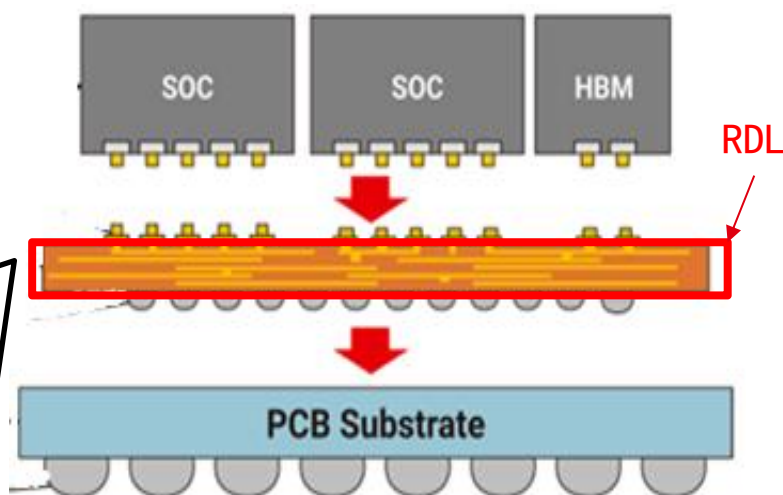
CoWoS-L及CoWoS-R特点示意图

CoWoS-R

CoWoS-L

使用局部硅中介连接HBM及SoC

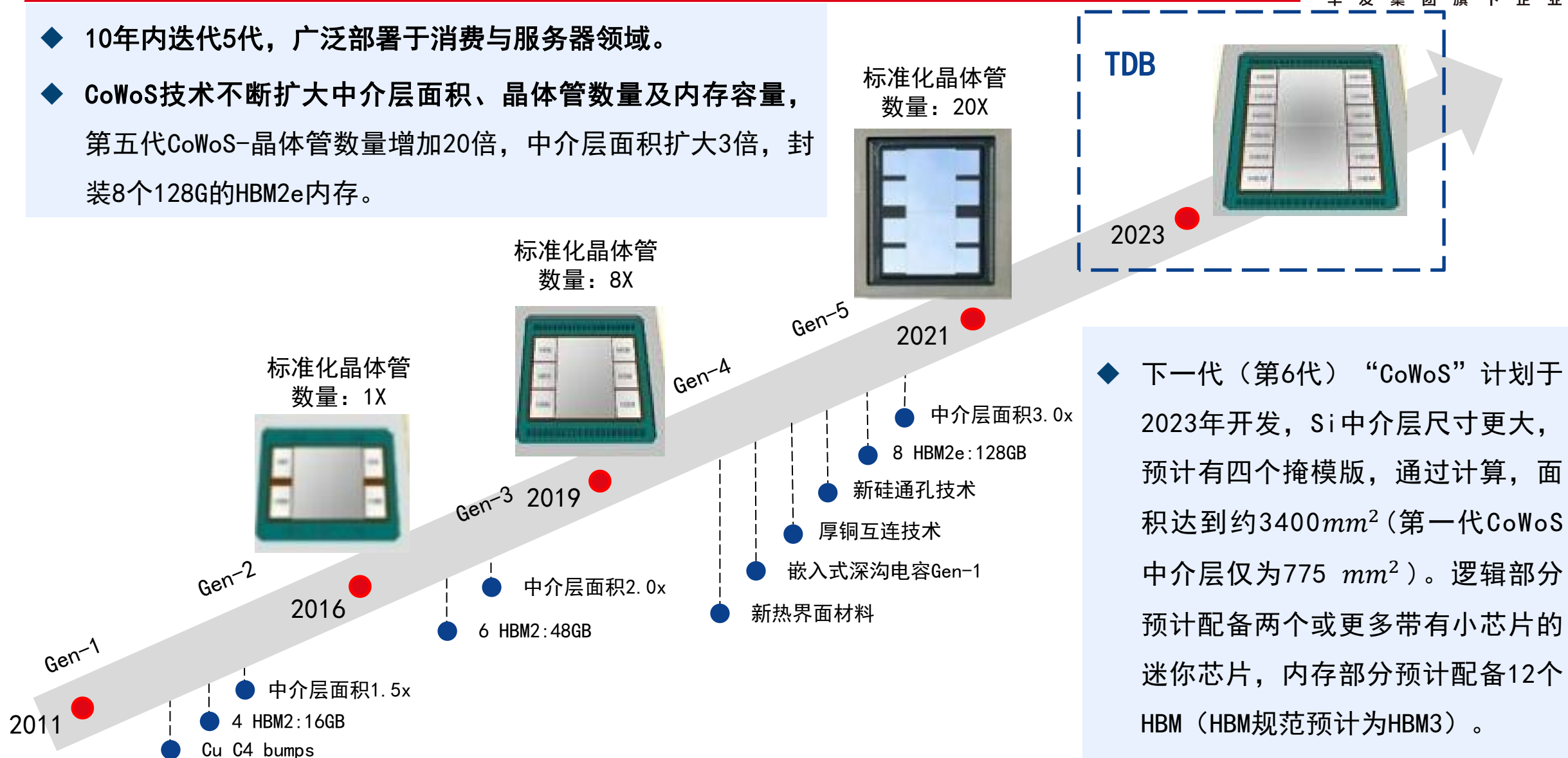
1. RDL内插器最多由6L铜层组成，用于最小布线。间距为4微米（2微米线宽/间距）。
2. RDL互连提供良好信号及电源完整性性能，以实现高传输数据速率。
3. RDL层和C4/UF层提供良好缓冲效果，减少SoC与衬底间热膨胀系数失配问题。



可在SoC正下方集成额外元件，以更好支持其信号通信

## 2.4 硅通孔（TSV）：TSV在2.5D封装中应用实例——CoWoS

- ◆ 10年内迭代5代，广泛部署于消费与服务器领域。
- ◆ CoWoS技术不断扩大中介层面积、晶体管数量及内存容量，第五代CoWoS-晶体管数量增加20倍，中介层面积扩大3倍，封装8个128G的HBM2e内存。

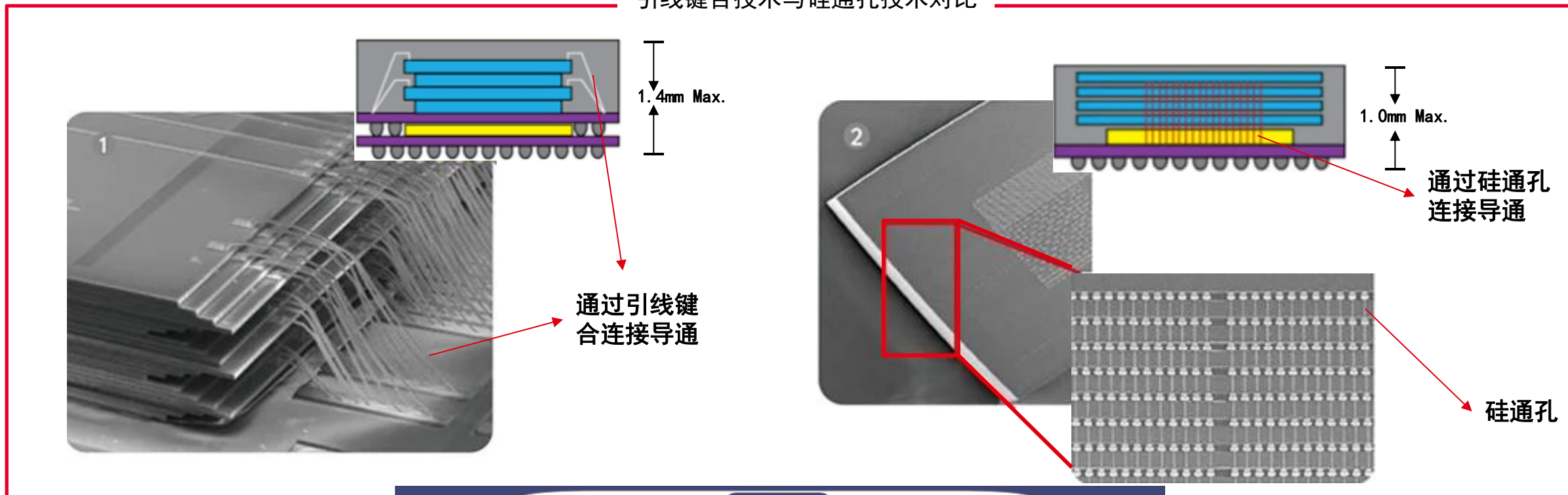


- ◆ 下一代（第6代）“CoWoS”计划于2023年开发，Si中介层尺寸更大，预计有四个掩模版，通过计算，面积达到约 $3400\text{mm}^2$ （第一代CoWoS中介层仅为 $775\text{mm}^2$ ）。逻辑部分预计配备两个或更多带有小芯片的迷你芯片，内存部分预计配备12个HBM（HBM规范预计为HBM3）。

## 2.4 硅通孔（TSV）：3D封装中TSV用于堆叠

- ◆ 硅通孔是一种通过在硅片上钻孔来容纳电极芯片堆叠技术。相比采用传统引线方法实现芯片与芯片（Chip-to-Chip）互连或芯片与基板（Chip-to-Substrate）互连，硅通孔通过在芯片上钻孔并填充金属等导电材料来实现芯片垂直互连。
- ◆ 硅通孔封装主要优势在于性能优越且封装尺寸较小。使用引线键合芯片堆叠封装利用引线连接至各个堆叠芯片侧面，随着堆叠芯片以及连接引脚（Pin）数量增加，引线变得更加复杂，且需更多空间来容纳引线。相比之下，硅通孔芯片堆叠则不需要复杂布线，因而封装尺寸更小。

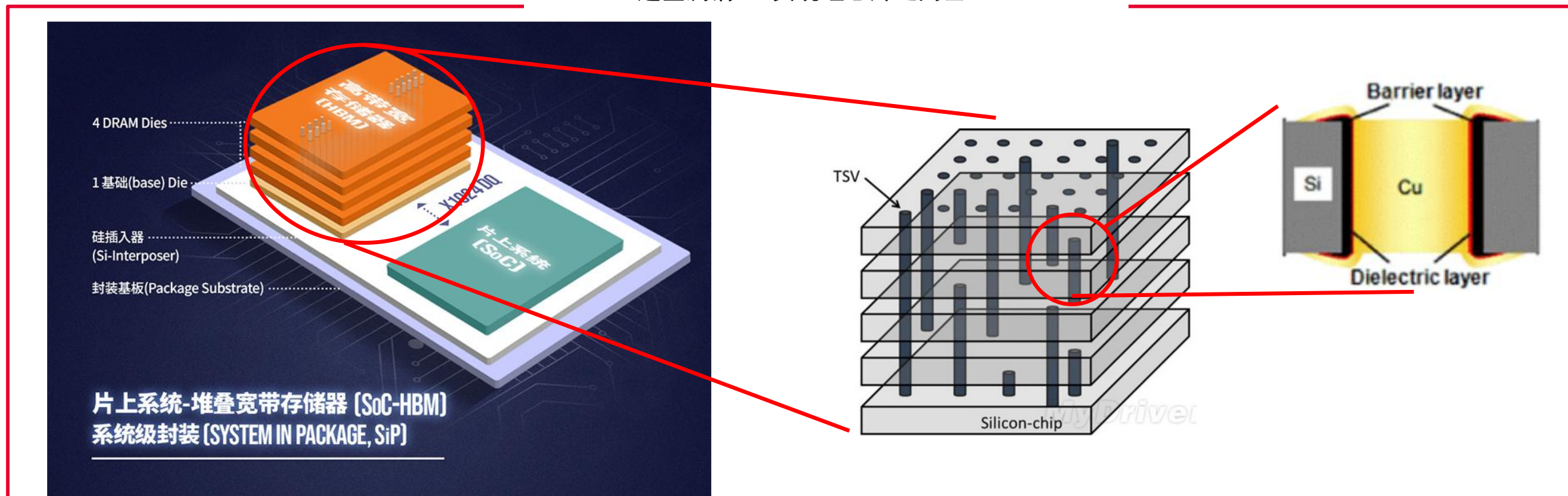
引线键合技术与硅通孔技术对比



## 2.4 硅通孔（TSV）：TSV在3D封装中应用实例——HBM

- ◆ HBM是一种封装存储器，可通过同一封装内的硅中介层与SoC集成在一起。通过这种方法，便可以克服传统片外封装存在的数据I/O封装引脚限制的最大数量。DRAM通过堆叠的方式，叠在一起，Die之间用TVS方式连接；DRAM下面是DRAM逻辑控制单元，对DRAM进行控制；GPU和DRAM通过uBump和Interposer（起互联功能的硅片）连通Interposer再通过Bump和Substrate（封装基板）连通到BALL；最后BGA BALL 连接到PCB上。

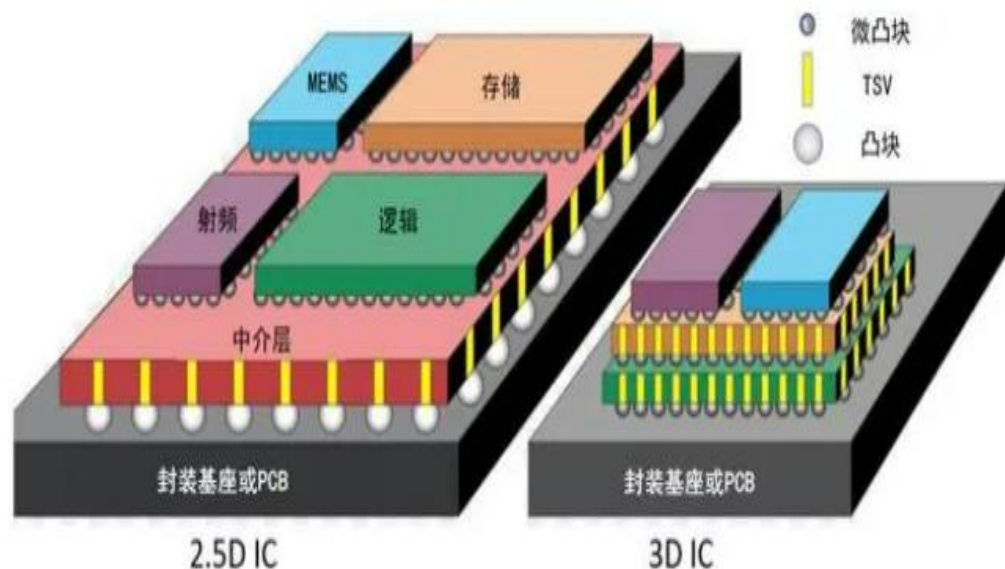
过金属铜TSV实现硅芯片之间垂直互



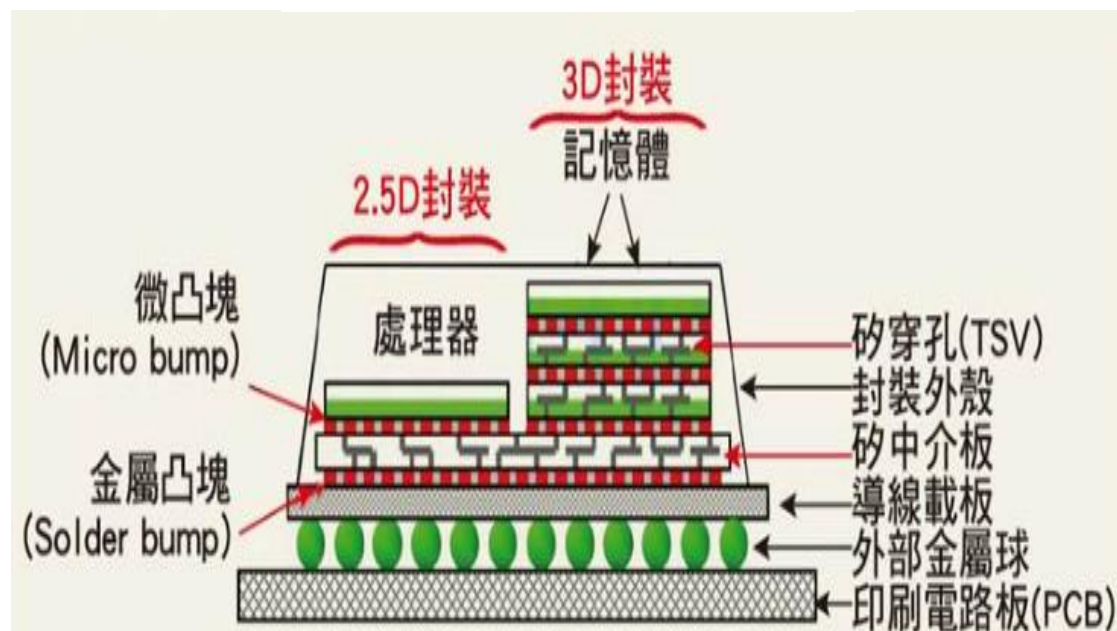
## 2.4 硅通孔（TSV）：2.5D封装 Vs. 3D封装

- ◆ 2.5D封装：将处理器、记忆体或是其他芯片，并列排在硅中介板上，经由微凸块连结，让硅中介板之内金属线可连接不同芯片电子讯号；再透过硅穿孔（TSV）来连结下方金属凸块，再经由导线载板连结外部金属球，实现芯片、芯片与封装基板之间互连。
- ◆ 3D集成和2.5D集成的主要区别在于：2.5D封装是在中介层Interposer上进行布线和打孔，而3D封装是直接芯片上打孔和布线，连接上下层芯片。

2.5D与3D封装示意图



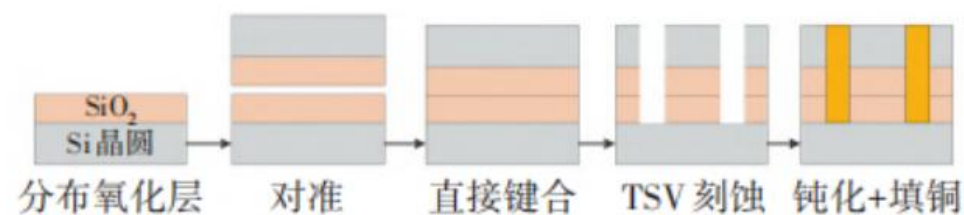
2.5D与3D封装内部结构图



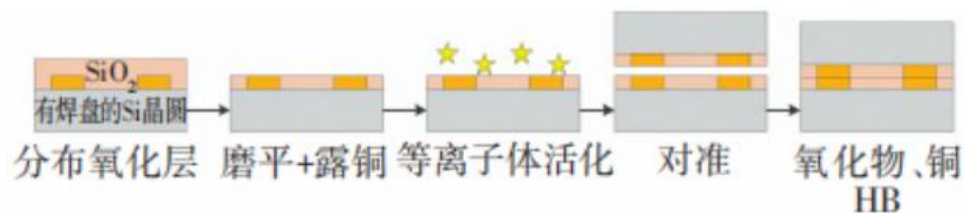
## 2.5 混合键合（HB）：混合键合利用范德华力实现

- ◆ 混合键合是通过分子间作用力（范德华力）实现，使用化学机械抛光对大马士革布线层进行表面处理，CMP过程还可以减少Cu线路腐蚀和Cu凹陷。当Cu和SiO<sub>2</sub>的光滑界面相互接触时形成范德华力。为增强表面结合力，通常需要增加等离子体活化工序，然后再通过高精度倒装热压工序，实现多界面之间混合键合。
- ◆ HB技术简化3D堆叠布线层，与含有TSV的3D堆叠技术相比，HB工艺中铜触点pitch size少于10微米，可实现更高互联密度HB技术，且可直接省略再布线，使设计难度降低，避免再布线及倒装回流焊可提高可靠性。

TSV通孔与混合键合工艺流程图

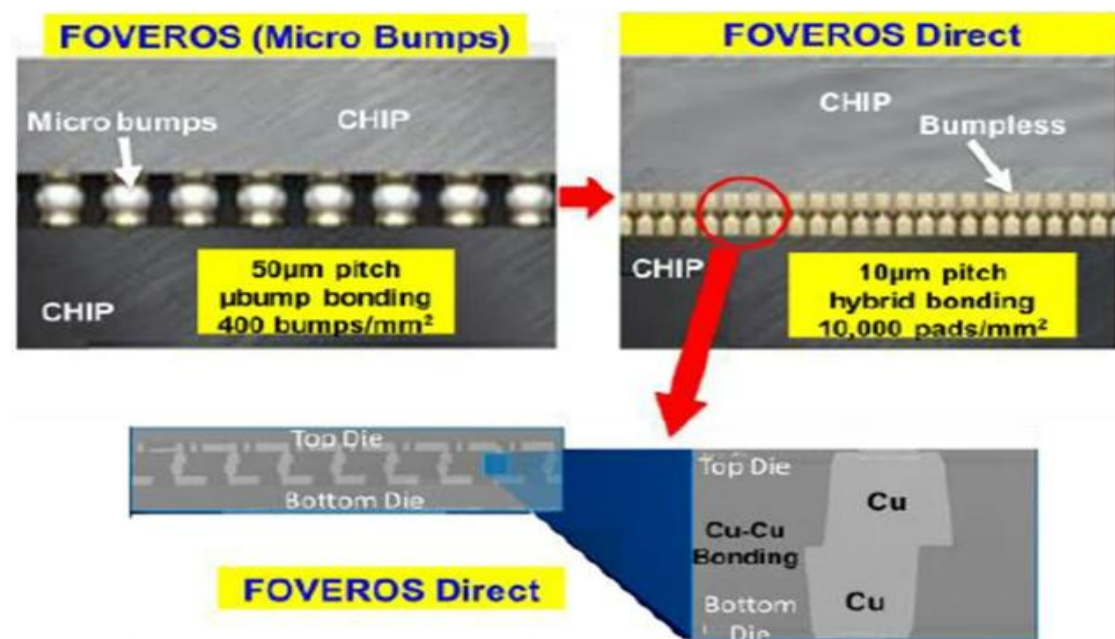


(a) 先通孔工艺流程图



(b) HB工艺流程图

Intel 混合键合接点与微凸块焊锡接点横截面比较图



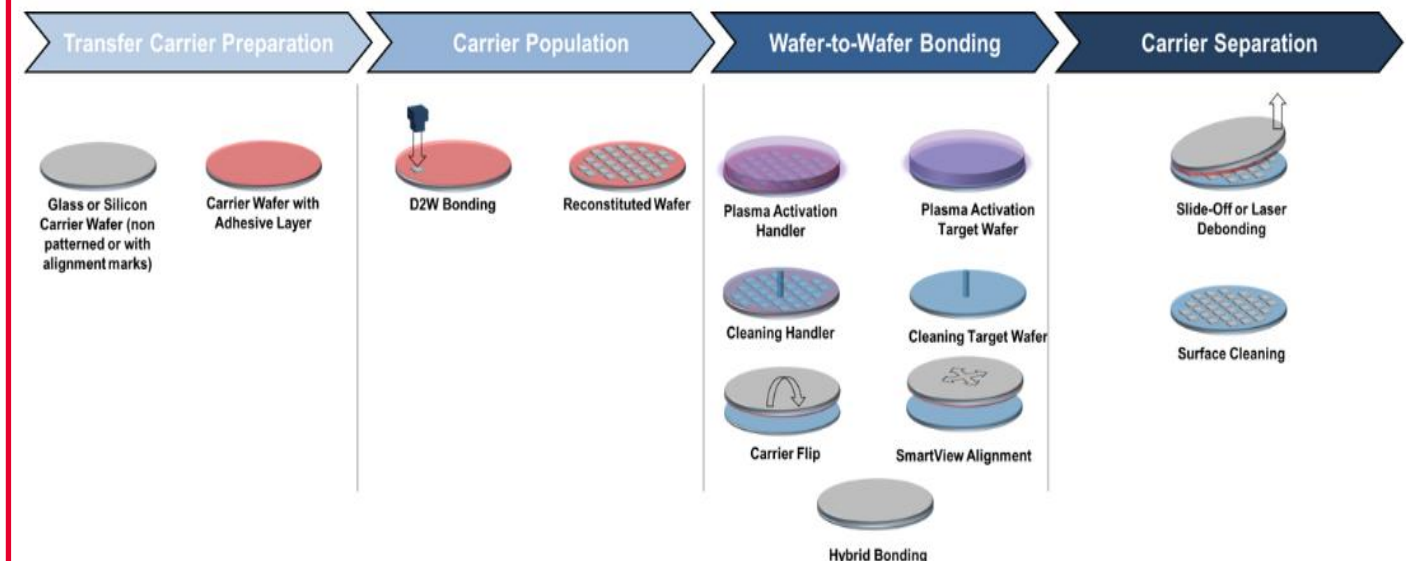
## 2.5 混合键合（HB）：混合键合应用于D2W

◆ Hybrid Bonding技术最早实际应用于SONY公司高端CMOS Image Sensor产品。通过把图像传感器晶圆、数据存储及处理芯片的晶圆直接键合，实现大规模图像数据高效并行传输，后来该技术被广泛应用于逻辑芯片及存储芯3D互连。由于需要解决不同裸片尺寸芯片间直接键合，混合键合应用从Wafer to Wafer（W2W）基础上发展出Die to Wafer（D2W），即将切割好裸片一个个贴到另一个完整晶圆上，和晶圆上的裸片实现键合。

◆ Co-D2W：将切割好Die用临时键合方式粘到Carrier晶圆上，随后整片和另一片产品晶圆整片键合再解键。该技术类似于W2W，相对成熟，但一次D2W叠加一次W2W方式容易累计误差，Carrier晶圆处理成本高，且对Die厚度变化范围有较高要求。

◆ DP-D2W：将切好Die一颗颗放置于另一片产品晶圆对应位置。该路线位置精度将会提高且对Die厚度变化容忍度高，但有颗粒控制等问题。

晶圆混合键合技术两种技术路径

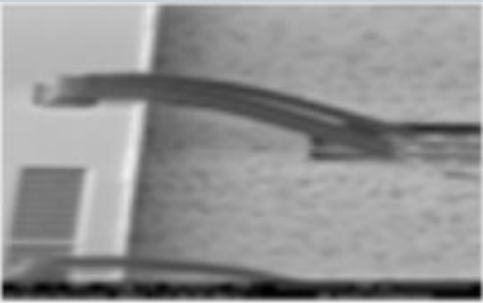
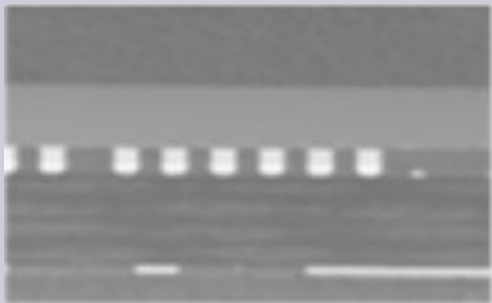
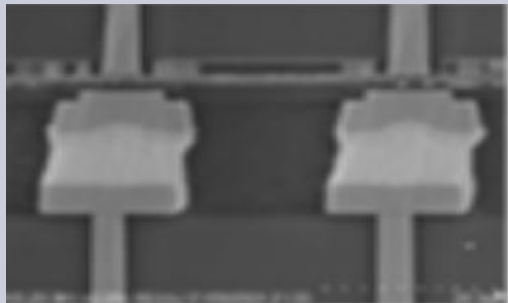
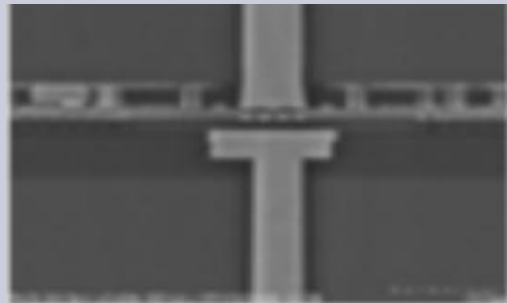


Co-D2W: Collective Die-to-Wafer Bonding



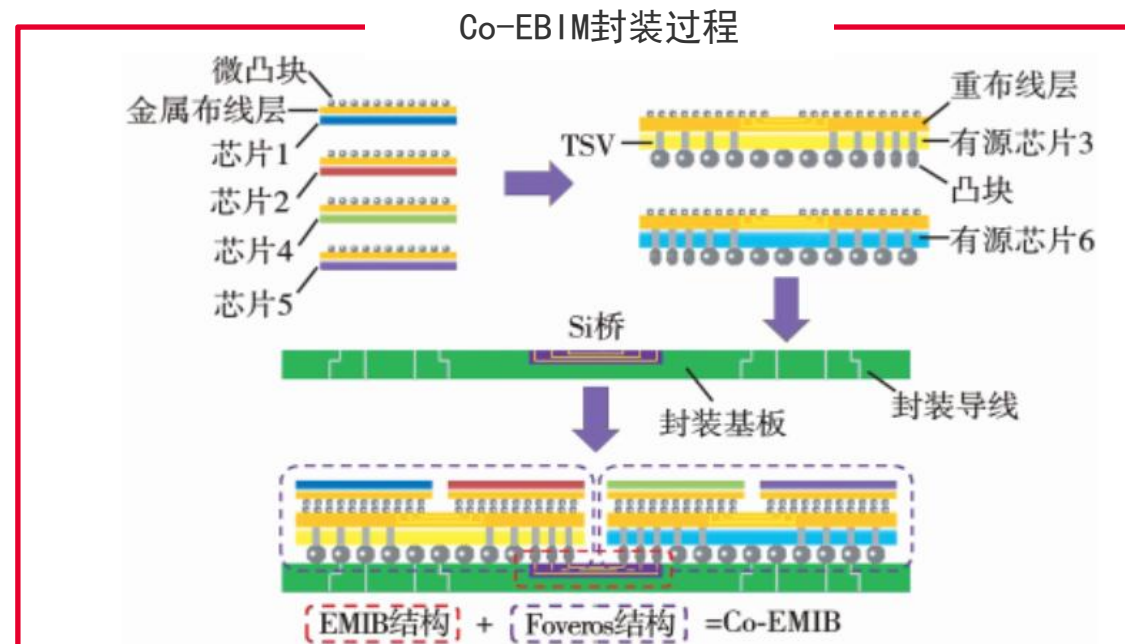
DP-D2W: Direct Placement Die-to-Wafer Bonding

# 2.6 四大连接技术对比

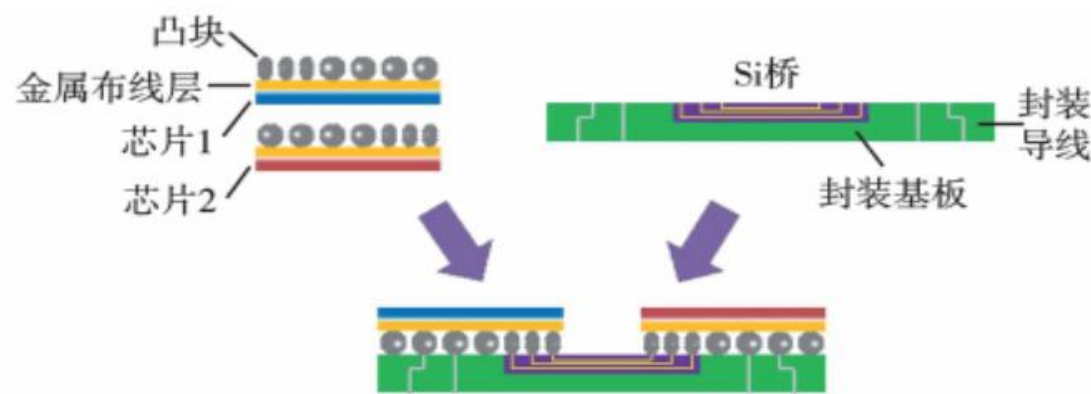
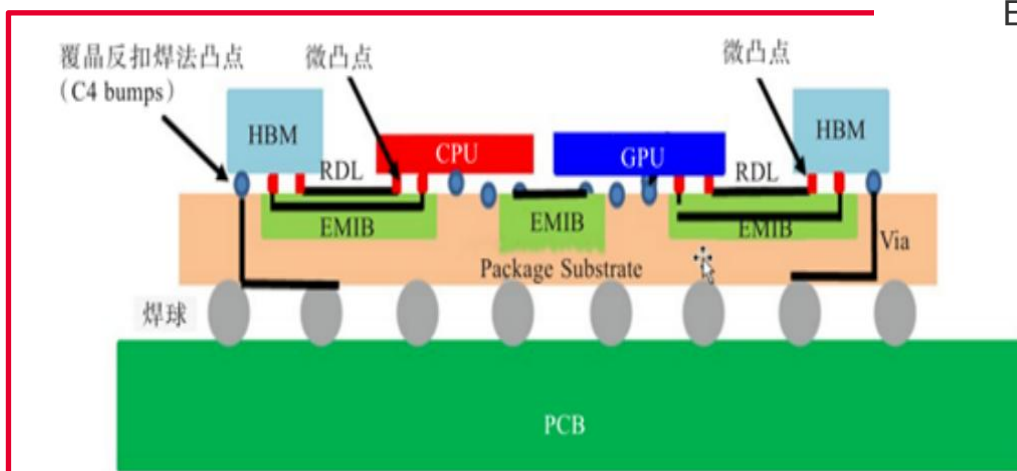
| 连接方式   | 打线键合                                                                              | 倒装                                                                                 | TSV                                                                                  | 混合键合                                                                                 |
|--------|-----------------------------------------------------------------------------------|------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------|
| 图例     |  |  |   |   |
| 存储应用   | DRAM (Mobile)<br>NAND                                                             | DRAM<br>(Computing, Graphics)                                                      | DRAM<br>(HPC/Server, Graphics)                                                       | DRAM<br>(HPC/Server, Graphics)                                                       |
| I/O数目  | x4, x8, x16                                                                       | x4, x8, x16                                                                        | x1, 024                                                                              | x1, 024                                                                              |
| 物理互连数量 | 50-150 ea.                                                                        | 150-200 ea.                                                                        | Bottom Die:5-8 K ea.<br>Upper Die:3.5-10 K ea.<br>(Up to 200 K ea. With dummy bumps) | Bottom Die:5-8 K ea.<br>Upper Die:3.5-10 K ea.<br>(Up to 200 K ea. With dummy bumps) |
| 互连长度   | 200 μm - 2,000 μm                                                                 | 50 μm                                                                              | 20 μm                                                                                | 5 μm                                                                                 |
| 堆叠层数   | 2/4/6/8 (DRAM)                                                                    | 1/2 (Planar)                                                                       | 4/8/12                                                                               | 4/8/12/16                                                                            |
| 最大容量   | 16 GB                                                                             | 4 GB                                                                               | 24 GB                                                                                | 32 GB                                                                                |

## 2.7 板级埋入式封装：无需Si中介层及TSV工艺

- ◆ EMIB是将带有多层导电金属（back end of line, BEOL）互连的超薄硅片埋入有机封装基板的最上层，通过焊球与倒装芯片的连接，以实现两个或多个芯片之间的局部高密度互连。与传统封装中在基板表面贴装芯片或元件不同，板级埋入式封装直接将芯片或元件嵌入基板中间，因此它具有更短的互连路径、更小的体积、更优的电热性能及更高的集成度。
- ◆ 与台积电的CoWoS-S封装相比，EMIB封装既不需要TSV工也不需要Si中介层，因此其具有封装良率高、设计简单、成本更低等优点。



EBIM封装过程拆解



01

先进封装：打破IC发展限制，向高密度封装时代迈进

02

技术分析：横向连接/纵向堆叠奠定先进封装技术基石

03

产业链：材料与设备任重道远，先进封装粲然可观

- 3.1 封装材料：各类半导体封装材料集中度较高，国产替代呈现两极分化
  - 3.1.1 高端基板：先进封装带动高端基板需求，国产化亟待突破
  - 3.1.2 环氧塑封料：传统封装国产化较高，先进封装中外资厂商仍处垄断地位
- 3.2 封装设备
  - 3.2.1 封装设备：封测设备占比有望提升至19%，贴片机为核心设备
  - 3.2.2 先进封装设备：晶圆划片前融入封装工艺步骤，前道设备需求加剧
- 3.3 先进封装
  - 3.3.1 封装市场有望超1,300亿美元，先进封装占比超50%
  - 3.3.2 2027年先进封装市场规模有望达650亿美元
  - 3.3.3 代工厂抢占先进封装市场份额，6大厂商加工先进封装晶圆超80%
  - 3.3.4 OSAT竞争格局稳定，日月光集团、安靠科技、长电稳居前三甲

04

行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

05

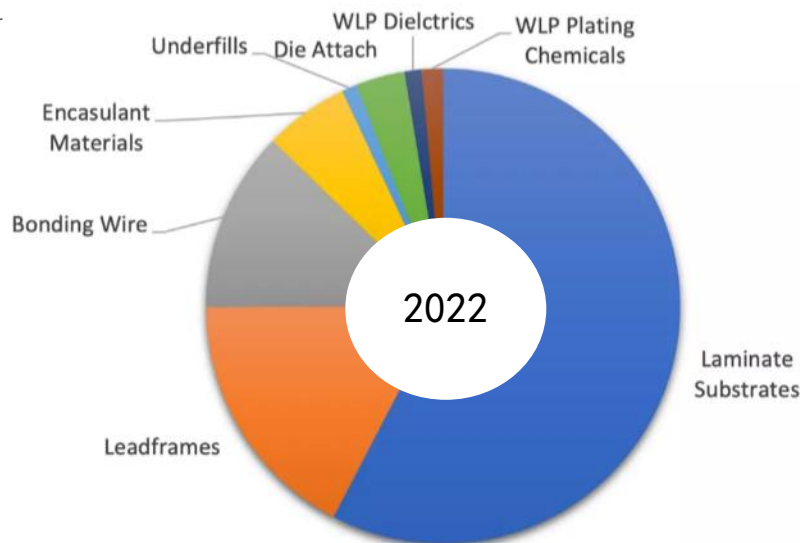
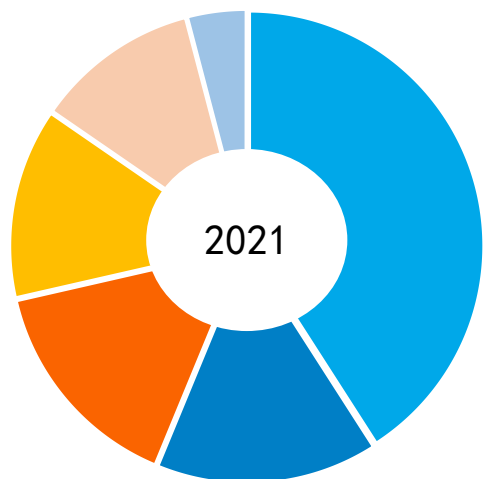
应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

### 3.1 封装材料：各类半导体材料集中度较低，国产替代呈现两极分化

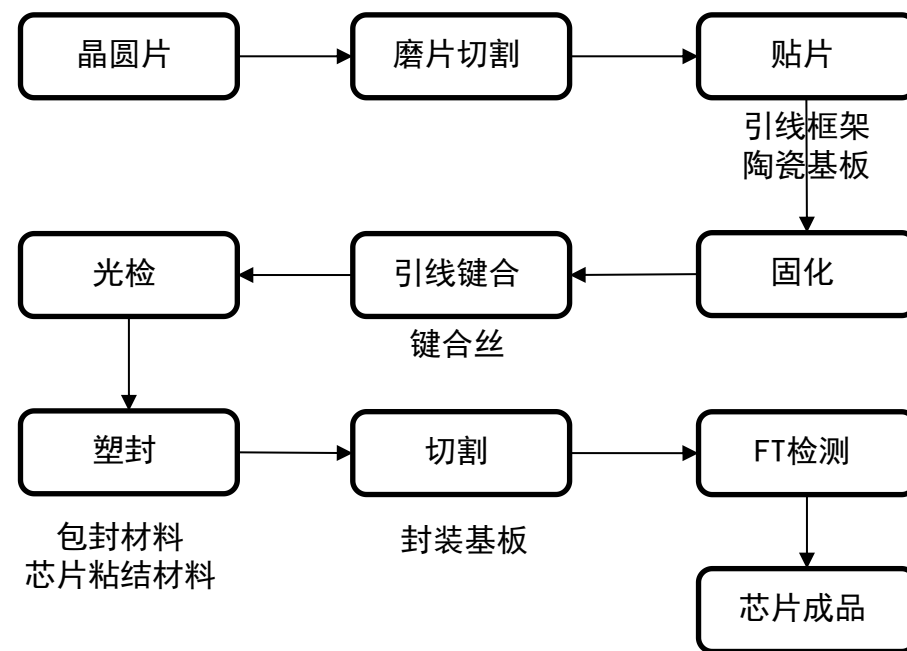
- ◆ 先进封装发展拉动封装材料需求，2027年市场规模有望达300美元。根据SEMI数据，2022年全球半导体材料市场收入增长8.9%达727亿美元，其中封装材料市场规模为280亿美元，同比增长6.3%，其中有机基板领域增长积极推动封装材料市场；介电材料和底部填充的发展推动对扇入和扇出晶圆级封装（FOWLP）、倒装芯片和2.5D/3D封装的强劲需求。使用RDL（重新分布层）硅中介层和有机中介层等新型基板技术也是封装解决方案关键增长动力，2027年全球半导体封装材料市场预计达到298亿美元。

2021-2022全球半导体封装材料细分领域占比（%）

■ 封装基板 ■ 键合丝 ■ 引线框架  
■ 封装材料 ■ 陶瓷基板 ■ 芯片粘结材料



半导体封装材料应用与产业环节对应图



3. 1封装材料： 各类半导体封装材料集中度较高， 国产替代呈现两极分化

◆ 各类半导体封装材料集中度较高，日本企业占主导地位，部分领域中国厂商跻身前列。从竞争格局来看，各类半导体封装材料市场集中度较高。日本厂商在各类封装材料领域占据主导地位，部分中国大陆厂商已跻身前列（引线框架、包封材料），成功占据一定市场份额。在国产替代方面，根据头豹研究院数据，中国半导体封装材料整体国产化率约30%，其中引线框架、键合金属丝的国产替代率最高，分别达到40%和30%，而陶瓷封装材料、芯片粘结材料与封装基板等材料国产化率仅5%–10%。

全球半导体封装材料竞争格局

| 封装材料       | 封装基板                               | 引线框架                                | 键合丝                                | 包封材料                               | 陶瓷基板                      | 芯片粘结材料                  |
|------------|------------------------------------|-------------------------------------|------------------------------------|------------------------------------|---------------------------|-------------------------|
| 头部厂商市占率    | 欣兴电子（15%）<br>揖斐电（11%）<br>三星电机（10%） | 日本三井高（12%）<br>台湾长华（11%）<br>日本新光（9%） | 贺利氏（21%）<br>新日铁（13%）<br>田中贵金属（10%） | 住友电木（21%）<br>日立化成（11%）<br>长春集团（4%） | 京瓷（68%）<br>住友化学<br>特殊陶瓷公司 | 汉高<br>Capling<br>Indium |
| 集中度CR3     | 36%                                | 32%                                 | 44%                                | 36%                                | -                         | -                       |
| 中国大陆厂商自给能力 | ★                                  | ★★                                  | ★★                                 | ★★                                 | ★★                        | ★                       |
| 中国大陆典型企业   | 深南电路<br>兴森科技                       | 康强电子<br>华天科技                        | 康强电子<br>一诺电子                       | 华海诚科<br>德高化成                       | 三环集团<br>中瓷电子              | 宏昌电子<br>本诺电子            |

### 3.1.1 高端基板：先进封装带动高端基板需求，国产化亟待突破

◆ **先进封装技术带动ABF载板需求。**先进封装能协助芯片整合在面积不变下，促成更高效率，透过芯片间互联封装技术，完成来自不同制程、不同材料各个芯片置于中介层基板之上进行整合，要将这些芯片整合在一起，就是需要更大ABF载板来放置。FCBGA凭借内部采FC、外部采BGA的封装方式，成为目前主流的封装技术，作为ABF载板应用较多的封装技术，FCBGA I/O数量达到32-48，因而拥有非常优异的性能与成本优势。此外，2.5D封装I/O数量是2D FC封装数倍以上，在显著提升高阶芯片效能同时，所需的ABF载板也变得更为复杂。Intel嵌入式封装技术，I/O数高达250-1000，提高芯片互连密度，并且将硅中介层内嵌于ABF，增加ABF面积、层数与制作难度，将消耗更多ABF产能。

按基材分类IC载板

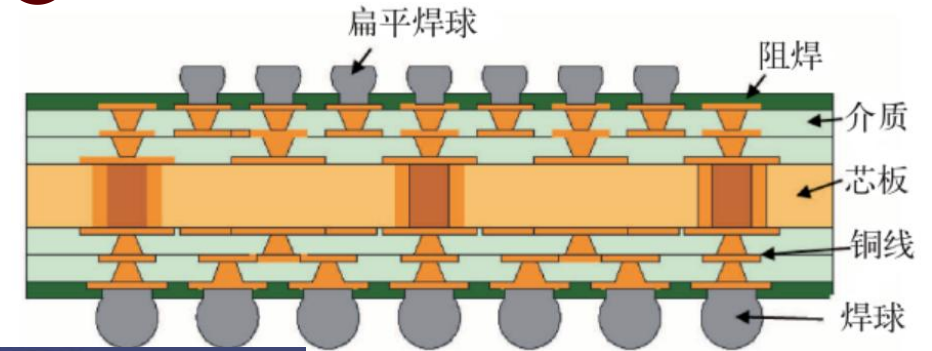
| 基板分类 | 基板材料 | 特点                                     | 主要应用领域                   |
|------|------|----------------------------------------|--------------------------|
| 硬质基板 | BT   | 高耐热、抗热震性，较低的介电常数和损耗因数、高抗铜，离子迁移、耐化性，耐磨性 | 手机MEMS、通信、内存和LED 等       |
|      | ABF  | 体积小，高附着力，高频传输性能好                       | CPU、GPU和晶片组等大型高端晶片       |
|      | MIS  | 布线精密，传输能力强，体积小                         | 模拟、功率IC，数字货币             |
| 柔性基板 | PI   | 热稳定性好，良好的耐化学性、优异的机械性能，密度高，体积小，可折叠      | 消费电子、智能显示、高端装备等微电子领域     |
|      | PE   |                                        |                          |
| 陶瓷基板 | 氧化铝  | 优良电绝缘性能，高导热特性，优异的软针焊性和较高的附着强度          | 薄膜电路、厚膜电路、汽车电子、航空航天及军用电子 |
|      | 氮化铝  |                                        |                          |
|      | 碳化硅  |                                        |                          |

FC BGA基板结构

1 超大尺寸：110 mm×110 mm

2 高叠层：基板增层数量将从10层增加到18层及以上

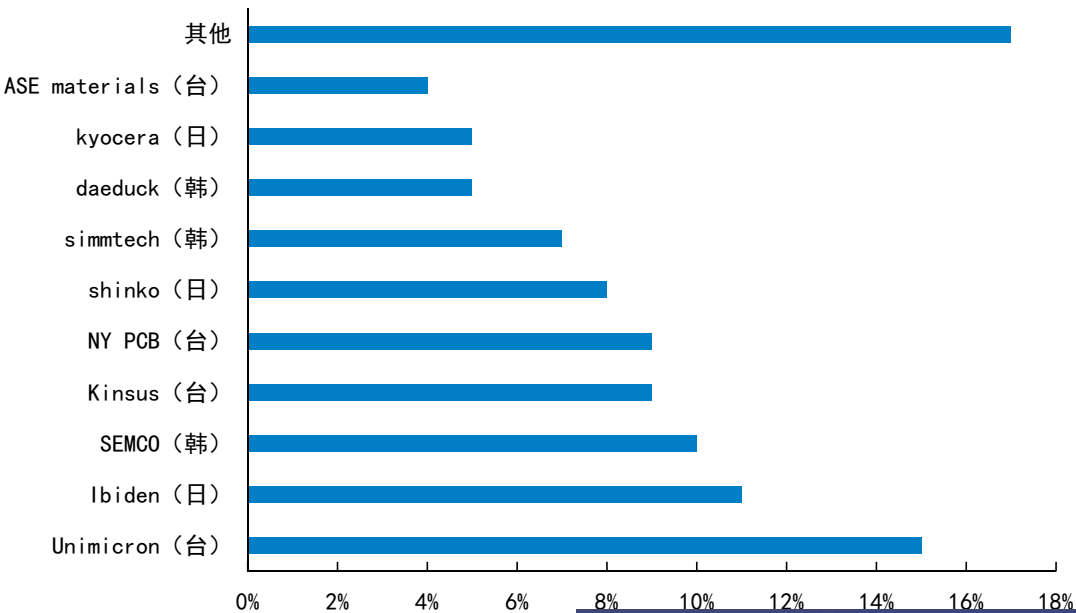
3 精细线路：线宽/线间距将减小到5 μm/5 μm以下



### 3.1.1 高端基板：先进封装带动高端基板需求，国产化亟待突破

- ◆ 日本、韩国及中国台湾省封装基板供应量占80%以上。根据Prismark数据，2020年IC载板市场前10大厂商合计占比83%（均来自中国台湾省、日本及韩国），前三家厂商Unimicron（中国台湾省）、Ibiden（日本）、SEMCO（韩国）分别占据15%、11%和10%，合计市占率达36%；深南电路、安捷利美维、珠海越亚、兴森科技等中国大陆基板厂商市场占比合计约为6%。
- ◆ 高端FC BGA基板领域国内量产能力较弱，国产化亟待突破。其中，深南电路FCBGA封装基板已具备中阶产品样品制造能力，高阶产品技术研发按期顺利推进；兴森科技珠海FCBGA封装基板项目完成产线建设并试产成功，2023年将全力开拓市场、导入量产客户；广州FCBGA封装基板项目预计2023年第四季度完成产线建设，开始试产。

2020年全球IC封装基板竞争格局



入选2022年广东省重大/点项目清单的封装基板项目

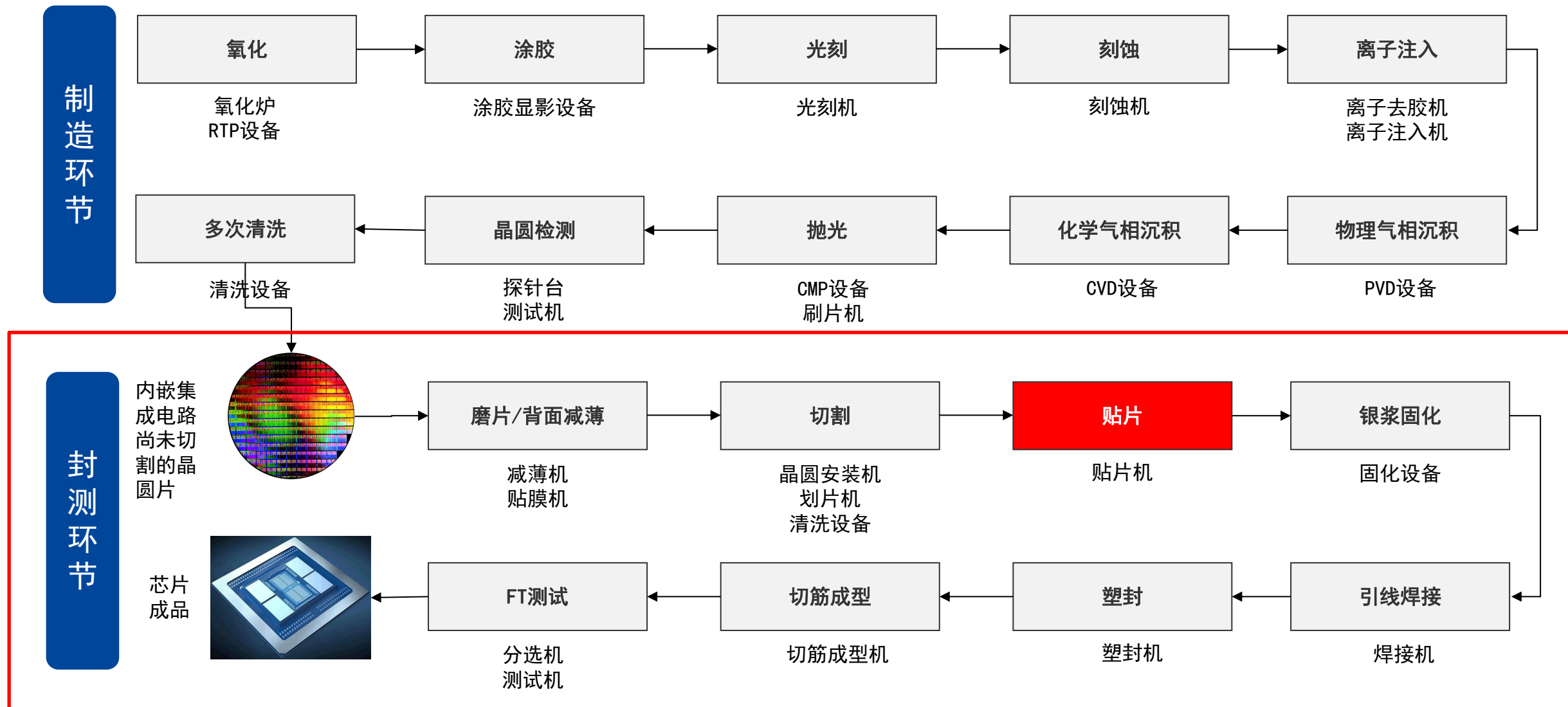
| 建设厂商  | 项目名称                              | 投资总额(亿元) | 规划产能                    | 项目主要产品            |
|-------|-----------------------------------|----------|-------------------------|-------------------|
| 礼鼎半导体 | 高端集成电路载板及先进封装基地(一期)               | 21.6     | /                       | /                 |
|       | 礼鼎科技高端集成电路封装载板智能制造基地生产线项目(秦皇岛经开区) | 18.0     | 约十亿个/年                  | FC-CSP            |
| 兴森科技  | 珠海兴森半导体有限公司封装基板项目                 | 12.0     | 7.2万平方米/年               | FC-BGA            |
| 越芯半导体 | 珠海高端射频及FC-BGA封装载板生产制造项目           | 17.8     | 200万颗/月<br>(约6.000平米/月) | FC-BGA            |
| 兴科半导体 | 珠海兴科半导体有限公司集成电路封装基板项目             | 16.0     | 54万平方米/年                | /                 |
| 深南电路  | 无锡深南电路高阶倒装芯片用IC载板产品制造项目           | 27.5     | 40万平方米/年                | 存储类封装基板<br>FC-CSP |
| 东山精密  | 盐城东山IC载板项目                        | 50.0     | 30万平方米/年                | /                 |
| 芯爱科技  | 南京芯爱集成电路封装用高端基板项目(一期)             | 45.0     | 145万片/年                 | FC-CSP、FC-BGA     |

- ◆ 环氧塑封料（EMC），主要成分为环氧树脂、酚醛固化剂、固化促进剂、填充剂及脱模剂等。根据《我国集成电路材料专题系列报告》，90%以上集成电路均采用环氧塑封料作为包封材料，故环氧塑封料已成为现代半导体封装中主导材料。
- ◆ 封装市场蓬勃发展有望带动环氧塑封料需求，预计2025年国内环氧塑封料需求量至少20万吨。根据粉体网数据，目前在全世界范围内需要塑料封装半导体元器件占市场总量98%以上，预计到2025年我国电子封装领域对环氧塑封料需求量将达到21-32万吨。目前我国环氧塑封料产能约占全球产能35%，现已为世界上最大环氧塑封材料及封装填料生产基地。

环氧塑封料行业的国产化与竞争格局

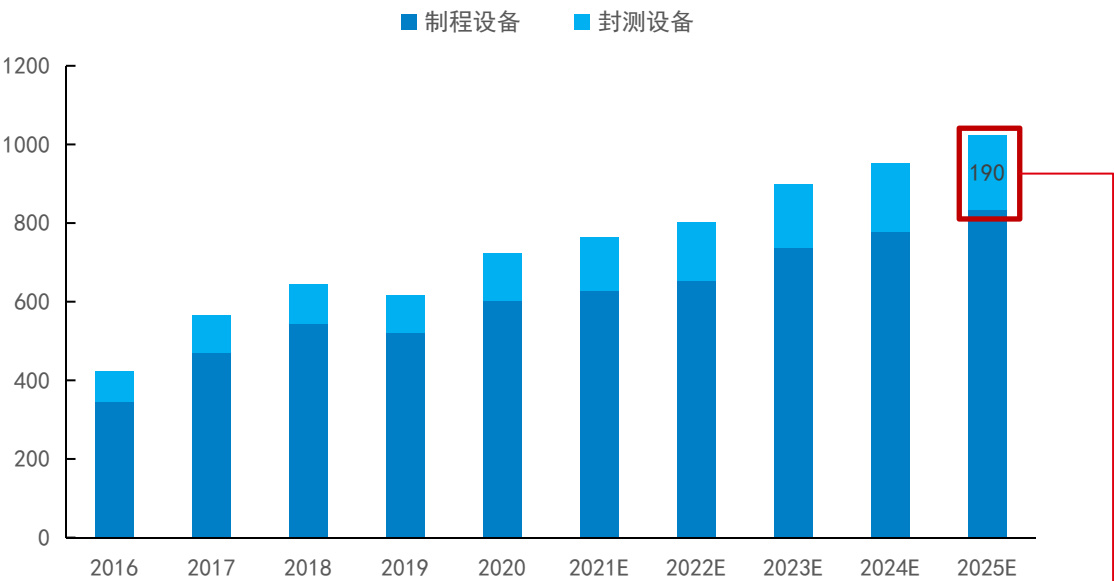
| 下游封装类型 | 下游封装技术           | 环氧塑封料国产化程度                                                | 环氧塑封料竞争格局                                                                                                    |
|--------|------------------|-----------------------------------------------------------|--------------------------------------------------------------------------------------------------------------|
| 传统封装   | DO、SMX、TO、DIP等   | 由内资厂商主导，但在应用于T0领域内外资整体相当。                                 | 市场主要由华海诚科、衡所华威、长春塑封料等塑封料厂商主导。                                                                                |
|        | SOD、SOT、SOP、QFP等 | 仍由外资厂商主导，但内资厂商的市场份额逐步提升，大部分产品性能已达到外资同类产品的水平，仍存在一定的替代空间。   | 市场份额主要被住友电木、蔼司蒂、华海诚科、衡所华威四家厂商占据。                                                                             |
| 先进封装   | QFN、BGA等         | 外资厂商基本处于垄断地位，内资厂商产品仍主要处于导入考核阶段，较少数内资厂商已实现小批量生产，存在较大的替代空间。 | 市场份额基本由住友电木、蔼司蒂等外资领先厂商占据，以华海诚科为代表的较少数内资厂商已陆续通过主流厂商的考核验证，并实现小批量生产。                                            |
|        | SiP、MUF、FOWLP等   | 外资厂商处于垄断地位，内资厂商尚处于产品开发或者客户考核阶段，产品类别相对单一。                  | 市场份额主要由住友电木、蔼司蒂、京瓷等外资领先厂商占据，内资厂商布局相对有限，华海诚科在该领域的技术与产品布局处于内资厂商中领先地位，应用于FC、SiP、FOWLP/FOPLP等领域的封装材料已陆续通过客户考核验证。 |

### 3.2封装设备：封测设备占比有望提升至19%，贴片机为先进封装核心



### 3.2封装设备：封测设备占比有望提升至19%，贴片机为先进封装核心

- ◆ 随着先进封装不断推进，SiP技术、3D封装等技术逐渐显露潜力，封测设备在半导体设备行业中占比逐渐提升，根据CIC灼识咨询预测，全球封测设备在半导体设备中占比将从2020年的16.7%提升到2025年的18.6%，市场体量将达到约190亿美金。在封装流程中，可将其按步骤分为贴片、引线、划片与测试、切筋与塑封。根据CIC灼识咨询预测2025年各类封测设备市场占比情况为：贴片机市场占31.6%，引线机市场约占22.2%，划片和检测设备占总市场份额的27.6%，切筋与塑封设备占比17.5%，电镀设备在封装设备行业中占比最小，在1.1%左右。
- ◆ 在先进封装过程中贴片机为核心设备。无论封装方式如何演变，封装过程都离不开贴装过程。随着芯片小型化的需求，要求贴片机精度范围在3-5微米之间。为达到精细化贴装，封装厂先进封装产线对贴片机的准确度、速度、良品率、稳定性要求更高。

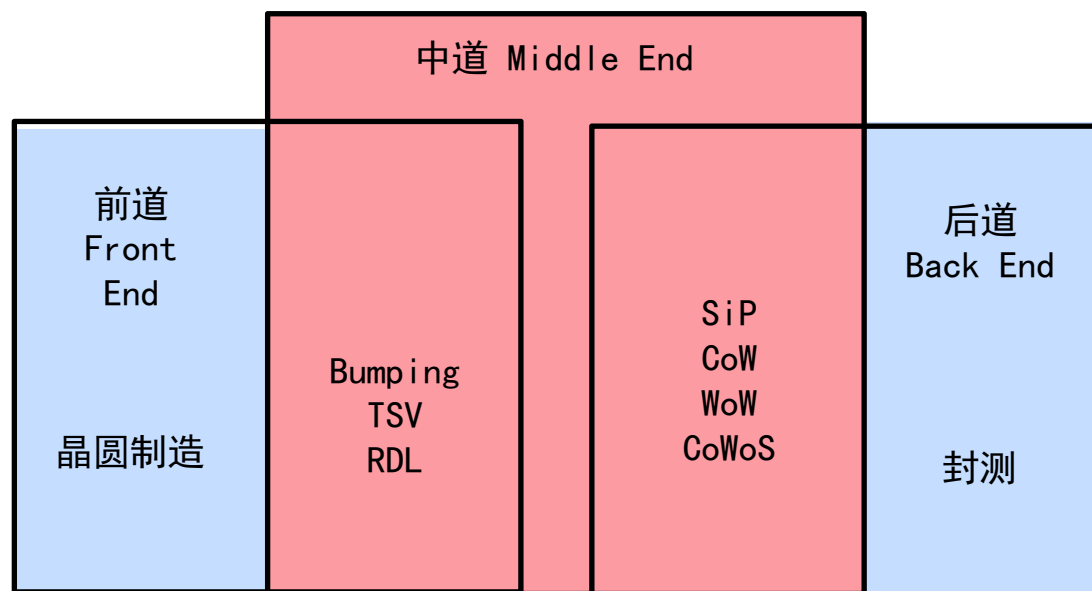


| 封装 |         |       | 测试 |     |       |
|----|---------|-------|----|-----|-------|
| 1  | 贴片机     | 31.6% | 1  | 测试机 | 63.1% |
| 2  | 划片机     | 27.6% | 2  | 分选机 | 17.4% |
| 3  | 引线焊接设备  | 22.2% | 3  | 探针台 | 15.2% |
| 4  | 塑封/切筋设备 | 17.5% | 4  | 其他  | 4.3%  |
| 5  | 电镀设备    | 1.1%  |    |     |       |

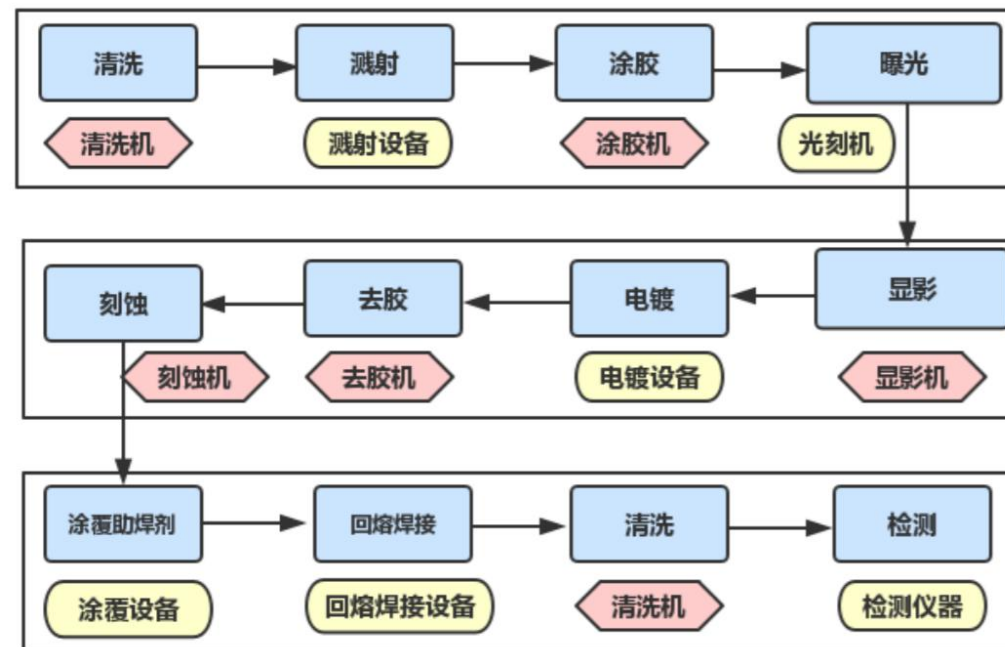
### 3.2先进封装设备：晶圆划片前融入封装工艺步骤，前道设备需求加剧

- ◆ 先进封装处于晶圆制造与封测中的交叉区域。先进封装要求在晶圆划片前融入封装工艺步骤，具体包括应用晶圆研磨薄化、线路重排（RDL）、凸块制作（Bumping）及三维硅通孔（TSV）等工艺技术。先进封装更多在晶圆层面上进行，采用前道制造方式来制作后道连接电路，工艺流程的相似性使得两者使用设备也大致相同，其中倒装就要采用植球、电镀、光刻、蚀刻等前道制造的工艺，2.5D/3D封装TSV技术就需要光刻机、涂胶显影设备、湿法刻蚀设备等，从而使得晶圆制造与封测前后道制程中出现中道交叉区域。

先进封装开辟“中道”工艺



先进封装中前道设备应用



### 3. 2先进封装设备：晶圆划片前融入封装工艺步骤，前道设备需求加剧

- ◆ TSV正在逐渐取代目前工艺比较成熟引线键合互联技术，可通过直互连减小互联长度，减小信号延迟，降低电容/电感，实现芯片间的低功耗，高速通讯，增加宽带和器件集成的小型化。
- ◆ TSV制作工艺流程复杂且良率较低，TSV填充难点在于避免在孔内形成空洞或者缝隙，并尽量让孔壁保持光滑，目前业界主要采用电镀法填孔。但随着通孔直径随着半导体制程工艺不断缩小，通孔深宽比不断提高，传统电镀法已经越来越难以满足TSV填孔需求。

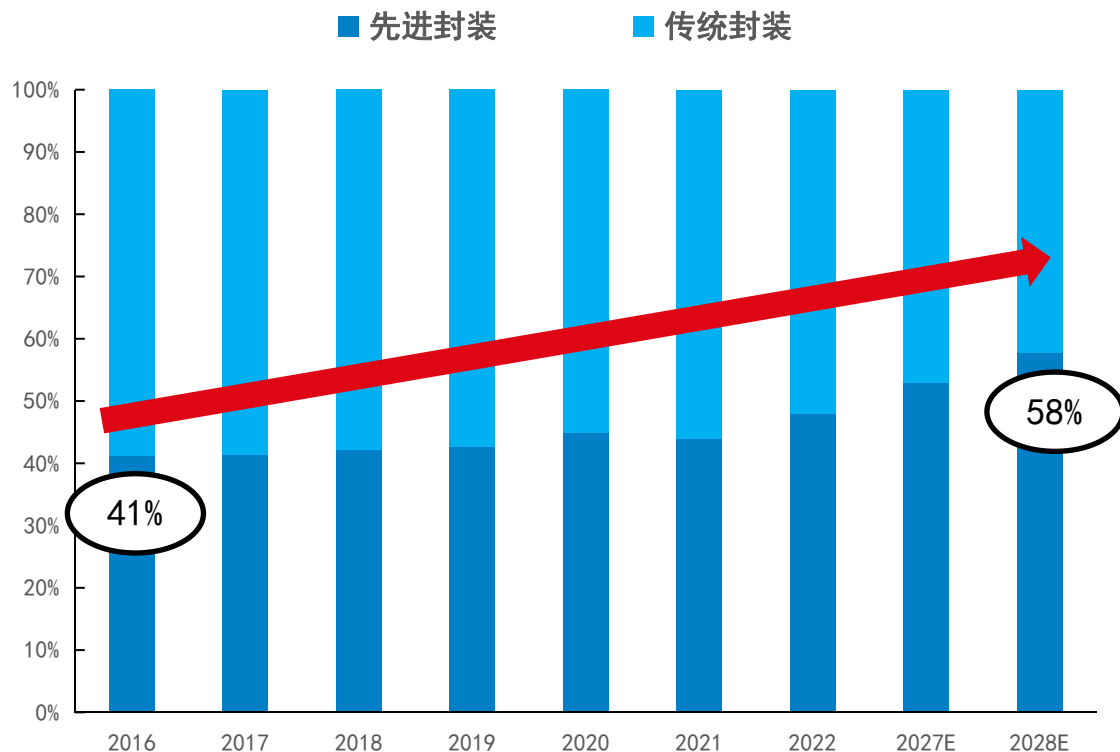
TSV工艺所需设备与材料

| TSV需要用到的工艺     | 说明                                                              | 材料与设备                 | 相关的材料与设备公司     |
|----------------|-----------------------------------------------------------------|-----------------------|----------------|
| 深硅刻蚀/钻孔        | 先使用光刻胶对待刻蚀区域进行标记，然后使用深反应离子刻蚀法在晶圆的一面刻蚀出孔                         | 光刻胶/光刻机/刻蚀机           | AMSL/中微公司      |
| 绝缘层/阻挡层/种子层的沉积 | 依次使用CVD/ALD的方法沉积二氧化硅（SiO2）绝缘层、使用物理气相沉积方法沉积钛（Ti）作为阻挡层、铜（Cu）作为种子层 | 靶材/ALD前驱体/PVD设备/CVD设备 | 江丰电子/应用材料/北方华创 |
| 深孔填充           | 用电镀方法在盲孔中进行填充电镀铜                                                | 电镀液及添加剂               | 上海新阳           |
| 化学机械抛光         | 通过化学机械抛光法将硅晶圆表面上多余的铜去除                                          | CMP抛光液/CMP机器          | 安集科技/盛美上海      |
| 晶圆减薄           | 使用化学机械抛光和背面磨削法打磨晶圆背部，让电镀铜柱的另一端暴露出来，形成通孔。                        | 晶圆减薄机                 | DISCO/OKAMOTO  |
| RDL与微凸点制作      | 在暴露出电镀铜后的硅晶圆的背面开始制作电路层和微凸点，用来实现与其余芯片或者基板的互联                     | 聚合物薄膜/锡球/电镀铜          | 日立化成/宏达纳米/上海新阳 |

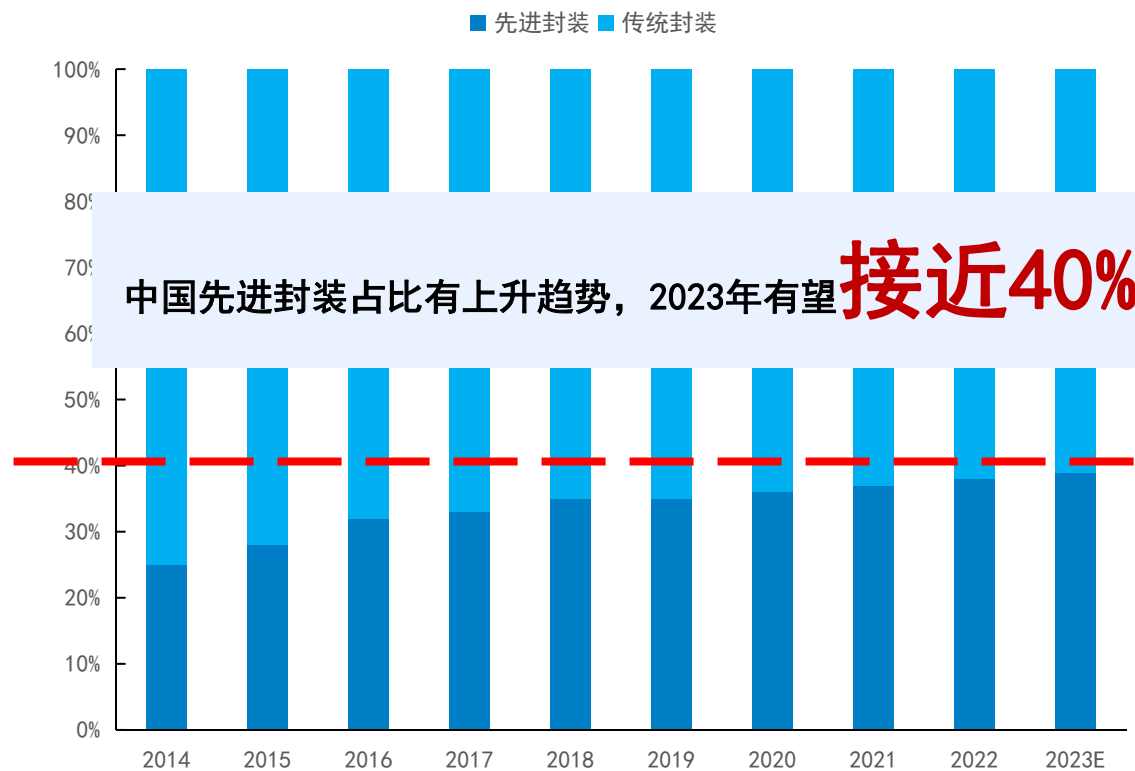
### 3.3先进封装：封装市场有望超1,300亿美元，先进封装占比超50%

- ◆ 2028年封装市场规模有望达1360亿美元，先进封装占比约为58%。根据Yole数据，预计2022年至2028年封装市场预计将以6.9%复合年增长率增长，2028年将达到1,360亿美元，其中传统封装市场年均复合增长率将放缓至3.2%，达到575亿美元，先进封装为786亿美元，占比为57.79%。

2016-2028全球先进封装占比预测 (%)



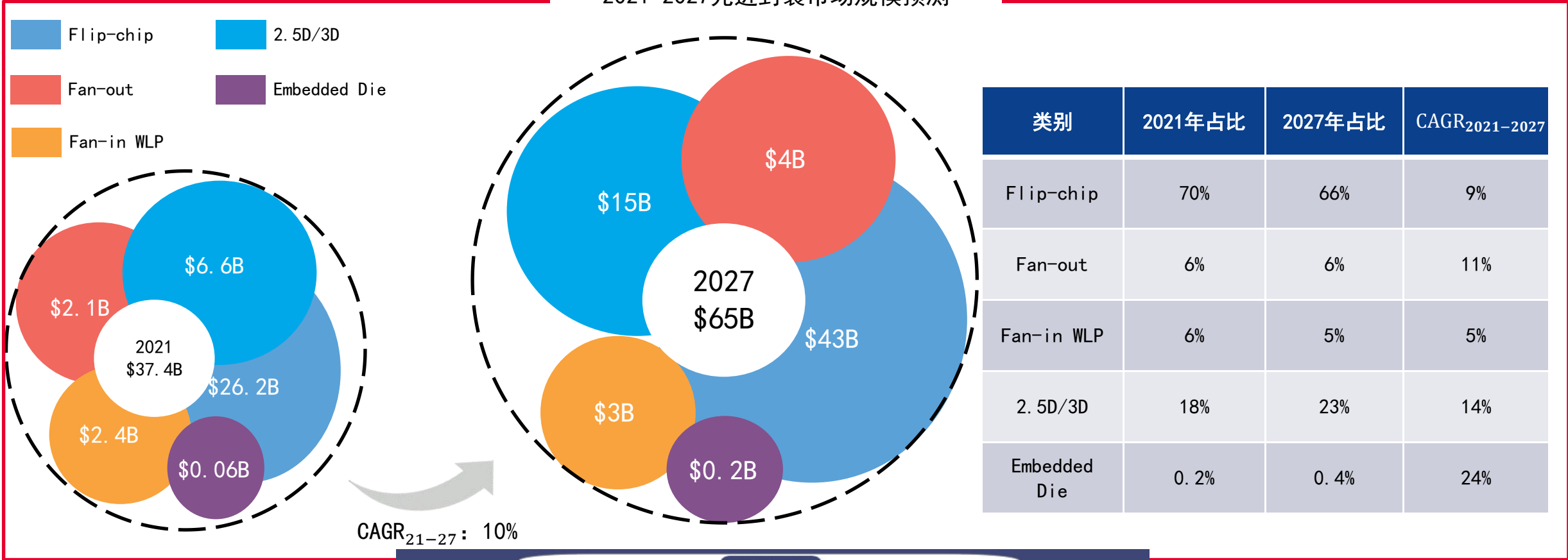
2016-2023E中国先进封装占比预测 (%)



3. 3先进封装：2027年先进封装市场规模有望达650亿美元

◆ 先进封装市场有望达650亿美元，芯片倒装占比最大，芯片嵌入式封装增速最快。根据Yole数据，2021年全球先进封装市场规模为374亿美元，其中芯片倒装占比最大为70%，2. 5D/3D封装次之；2027年全球先进封装市场规模预计为650亿美元，其中芯片倒装占比为66%（较2021年下滑4pcts），2. 5D/3D占23%，约150亿美元，芯片嵌入式封装增速最快，21-27年CAGR为24%。

2021-2027先进封装市场规模预测

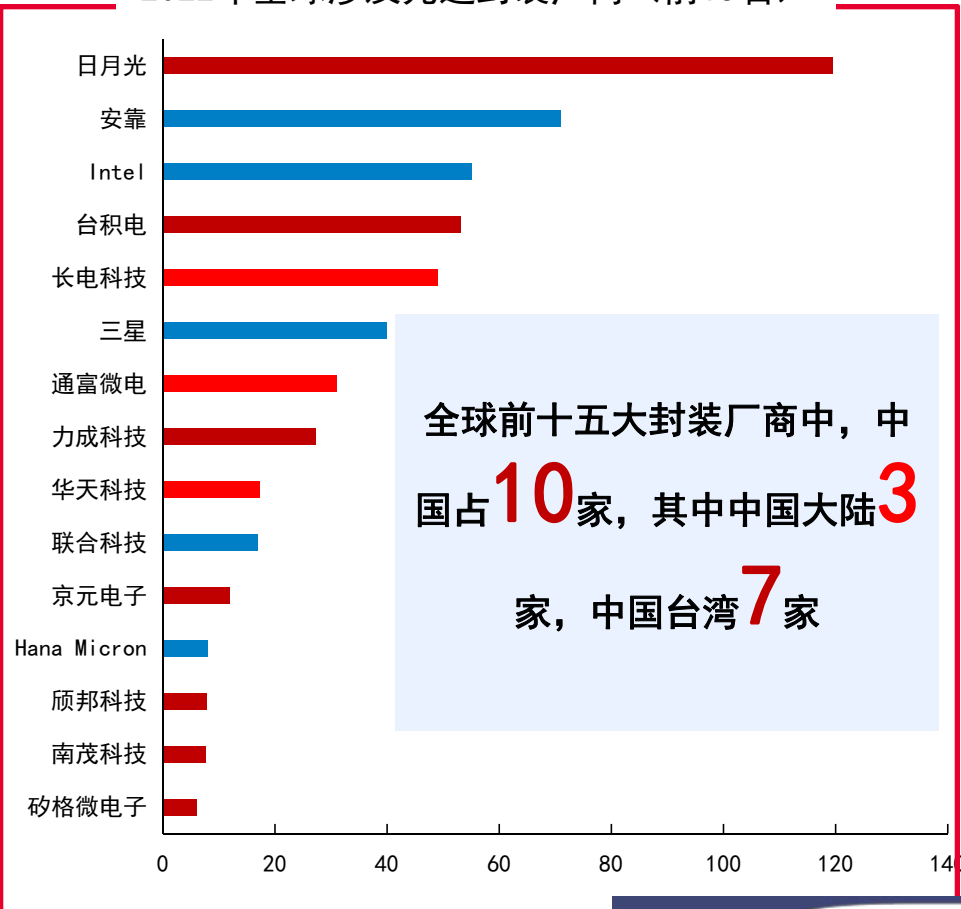


资料来源：Yole、华金证券研究所

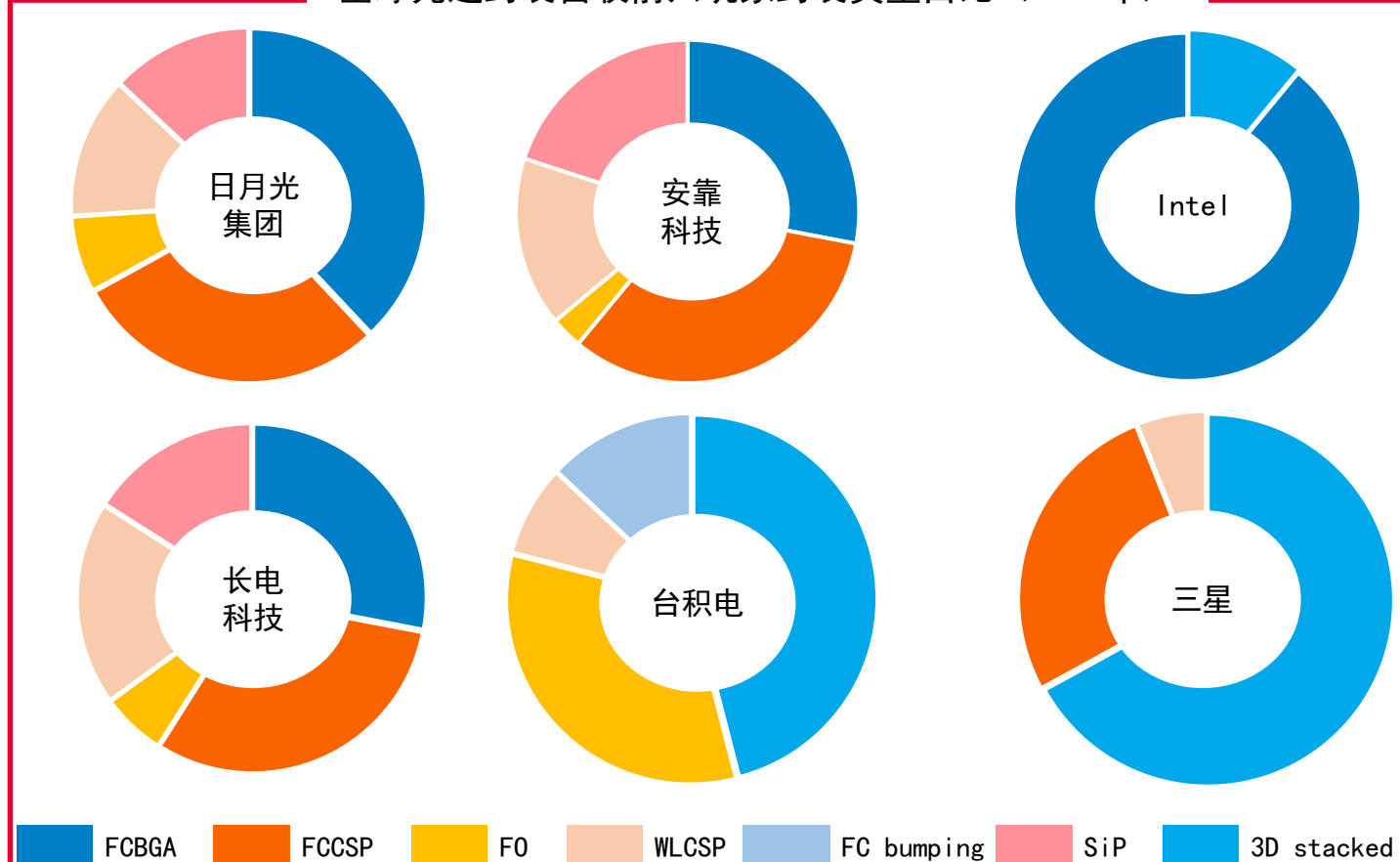
### 3. 3先进封装：代工厂抢占先进封装市场份额，6大厂商加工先进封装晶圆超80%

◆ 全球前十五大封装厂商中，中国占10家，台积电进军先进封装。根据Yole数据，外包半导体封装和测试（OSAT）公司占2022年先进封装市场65.1%；2021年两家IDM 企业（英特尔和三星）、一家代工厂（台积电）及全球三大OSAT企业（日月光集团、安靠科技及长电科技）在内六家企业加工超过80%先进封装晶圆。

2022年全球涉及先进封装厂商（前15名）



全球先进封装营收前六玩家封装类型占比（2021年）

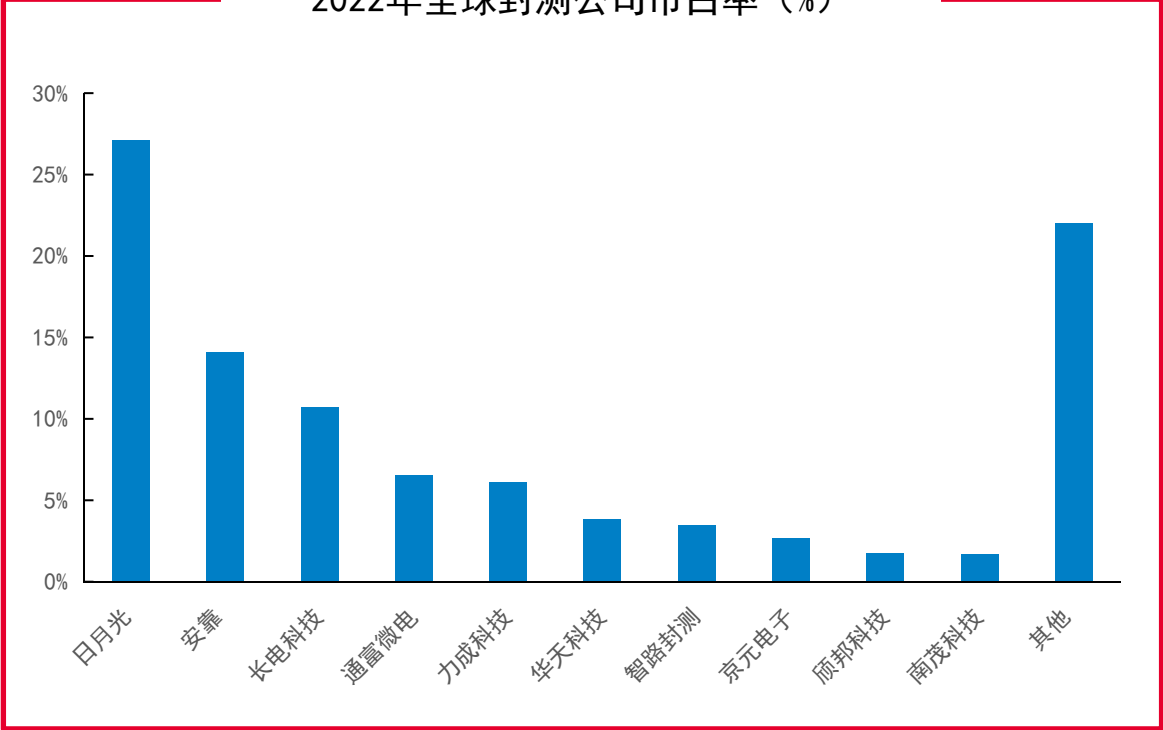


◆ 全球委外封装厂商竞争格局较为稳定且市场集中度较高，2022年中国厂商在市场占绝对优势。根据芯思想研究院数据，2017年-2022年全球委外封装厂商中，市占率前三常年保持稳定且集中度进一步加剧，分别为日月光集团、安靠科技、长电科技，2022年CR3为51.90%（2018年为47.67%）；2022年全球前十大委外封测厂商中，中国厂商占9家（中国大陆4家，中国台湾5家），中国大陆市占率合计24.55%，中国台湾市占率合计39.36%，国外仅安靠（美国）一家公司进入全球前十，市占率为14.08%。

2017-2022年全球封测公司竞争格局

| 排名  | 2017  | 2018   | 2019   | 2020   | 2021   | 2022   |
|-----|-------|--------|--------|--------|--------|--------|
| 1   | 日月光集团 | 日月光集团  | 日月光集团  | 日月光集团  | 日月光集团  | 日月光集团  |
| 2   | 安靠科技  | 安靠科技   | 安靠科技   | 安靠科技   | 安靠科技   | 安靠科技   |
| 3   | 长电科技  | 长电科技   | 长电科技   | 长电科技   | 长电科技   | 长电科技   |
| CR3 |       | 47.67% | 56.43% | 51.98% | 50.96% | 51.90% |
| 4   | 矽品精密  | 矽品精密   | 力成科技   | 力成科技   | 力成科技   | 通富微电   |
| 5   | 力成科技  | 力成科技   | 通富微电   | 通富微电   | 通富微电   | 力成科技   |
| 6   | 华天科技  | 通富微电   | 华天科技   | 华天科技   | 华天科技   | 华天科技   |
| 7   | 通富微电  | 华天科技   | 京元电子   | 京元电子   | 智路科技   | 智路科技   |
| 8   | 联合科技  | 联合科技   | 联合科技   | 智路科技   | 京元电子   | 京元电子   |
| 9   | 京元电子  | 京元电子   | 南茂科技   | 南茂科技   | 南茂科技   | 顾邦科技   |
| 10  | 顾邦科技  | 顾邦科技   | 顾邦科技   | 顾邦科技   | 顾邦科技   | 南茂科技   |

2022年全球封测公司市占率（%）



## 01 先进封装：打破IC发展限制，向高密度封装时代迈进

## 02 技术分析：横向连接/纵向堆叠奠定先进封装技术基石

## 03 产业链：材料与设备任重道远，先进封装粲然可观

## 04 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

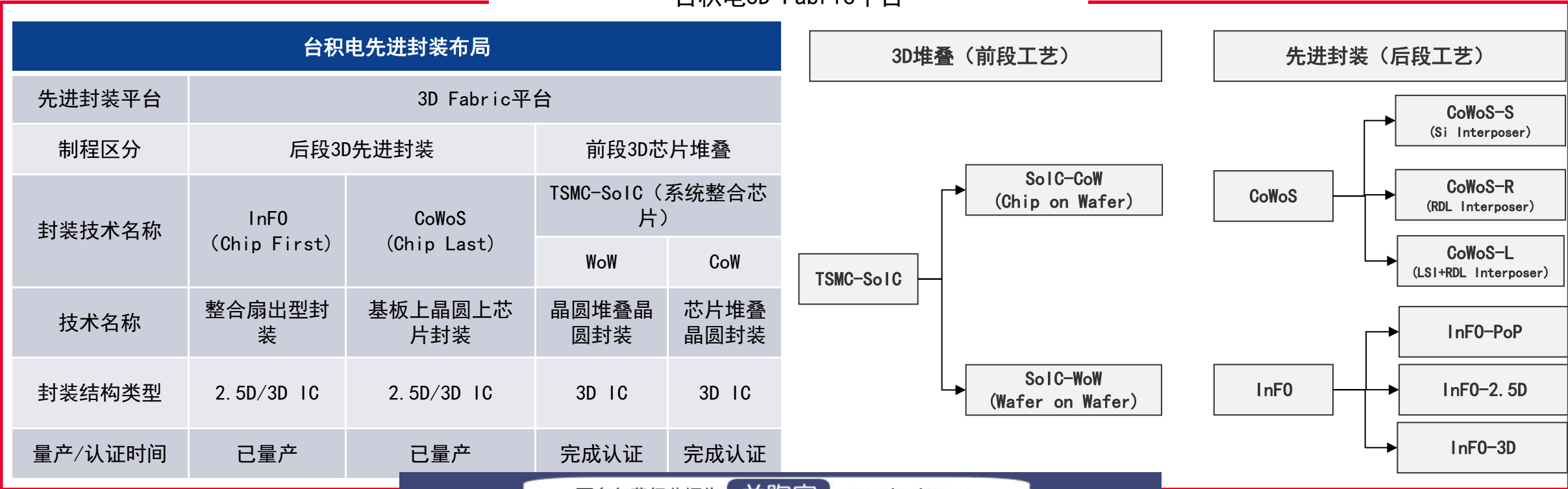
- 4.1 台积电
  - 4.1.1 前段 (CoW/WoW)+后段 (oS/InFO) = 3D Fabric
  - 4.1.2 SoIC为先进封装前段工序，由WoW及CoW技术构成
  - 4.1.3 InFO = 集成+扇出封装
- 4.2 三星
  - 4.2.1 I-Cube2.5D=I-Cube S + I-Cube E + H-Cube
  - 4.2.2 通过垂直堆叠方式大幅节省芯片上空间
- 4.3 Intel
  - 4.3.1 嵌入式多芯片互连桥为Intel2.5D封装亮点
  - 4.3.2 Foveros将不同工艺、结构、用途芯片整合
- 4.4 日月光集团：扇出型基板上晶片封装 (FOCoS)
- 4.5 安靠科技：深度布局TSV-less工艺 (FOWLP, Chip last, Die face down)
- 4.6 长电科技：TSV-less路线实现高性价比先进封装
- 4.7 对比：先进封装领域内国内技术与头部厂商差距较小

## 05 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

# 4.1台积电：前段（CoW/WoW）+后段（oS/InFO）= 3D Fabric

◆ 下游应用多点爆发挑战计算极限，更快，更节能芯片需求增加。随着云计算、大数据分析、人工智能、神经网络训练、人工智能推理、先进智能手机移动计算及自动驾驶等应用领域不断发展，需要更快、更节能的芯片来满足计算需求。在 3D 芯片堆叠方面，台积电在系统整合芯片（TSMC-SoIC）技术加入微凸块，以支持更具成本敏感度应用；CoWoS平台得以实现先进逻辑及高带宽存储器整合，适用于人工智能、机器学习及数据中心等HPC应用；整合型扇出层叠封装技术（InFO\_PoP）及InFO-3D支持移动应用，InFO-2.5D则支持HPC小芯片整合。

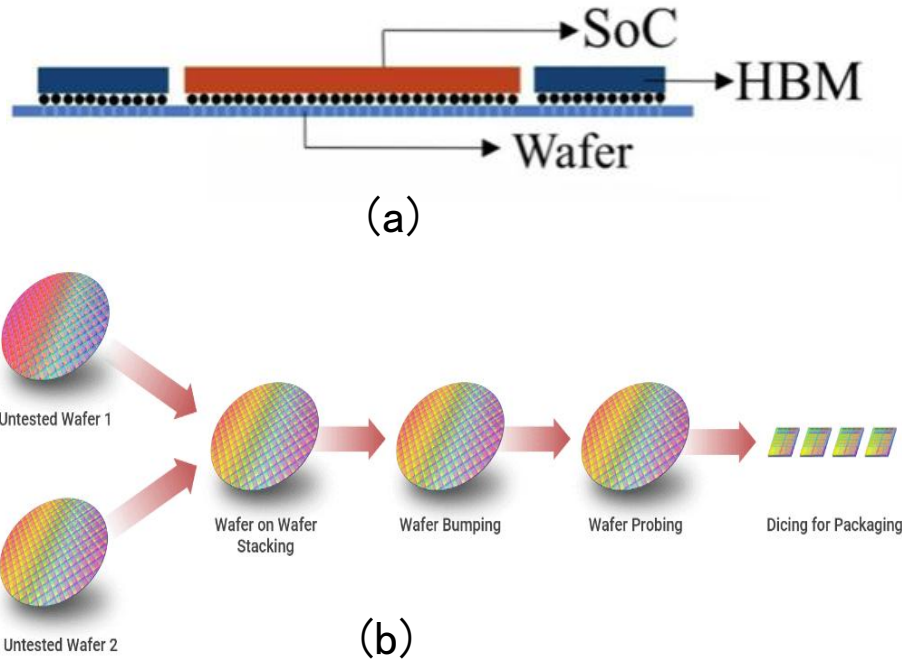
台积电3D Fabric平台



# 4.1台积电：SoIC为先进封装前段工序，由WoW及CoW技术构成

◆ SoIC技术将同构和异构小芯片集成到单个类似SoC芯片中，使芯片面积更小更薄，可整体集成到后端先进封装（CoWoS及InFO）中。台积电SoIC为垂直裸片堆叠3D拓扑封装，主要分为“Wafer-on-Wafer”（WOW）和“Chip-on-Wafer”（CoW）。其中，WOW拓扑在晶圆上集成了一个复杂的SoC裸片，并提供深沟槽电容器（DTC）结构以实现最佳去耦。更通用CoW拓扑堆叠多个 SoC裸片。

CoW (a) 及WoW (b) 结构示意图



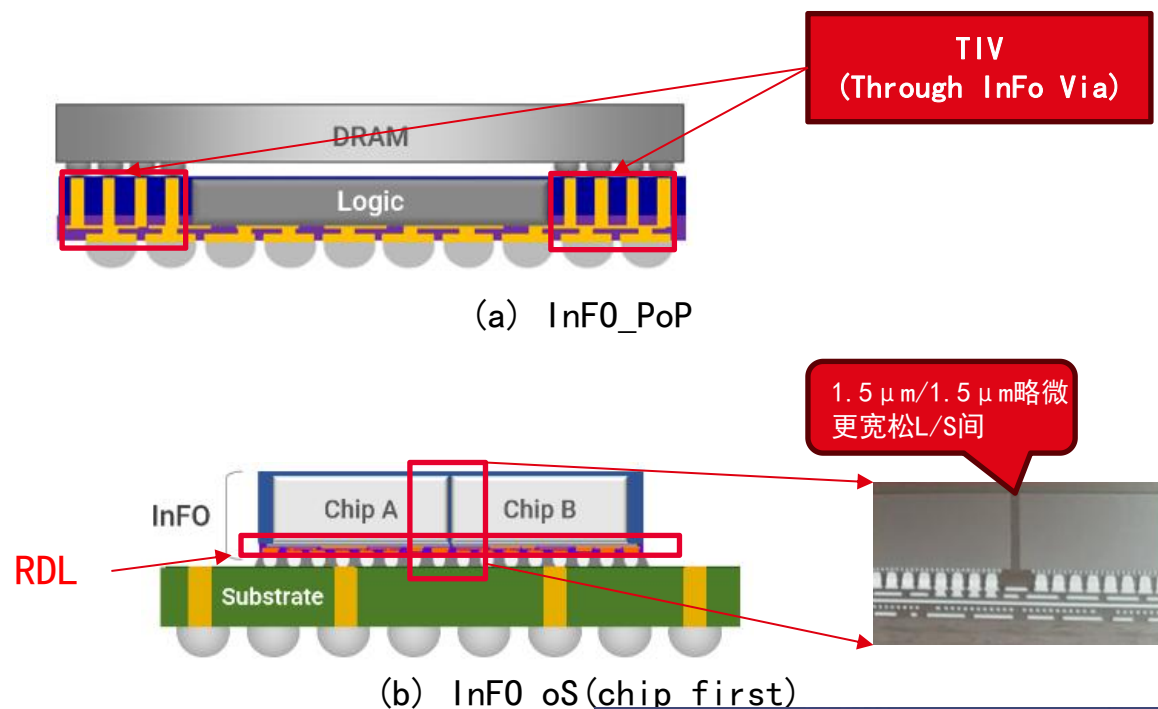
CoW及WoW工艺发展路线图

| Production       | 2018           | 2019 | 2020 | 2021 | 2022     | 2023     | 2024 |
|------------------|----------------|------|------|------|----------|----------|------|
| Logic Technology | N7             |      |      |      | N3       |          |      |
| SoIC-CoW         | Top Die        |      |      |      | N7       | N5       | N3   |
|                  | Bottom Die     |      |      |      | N7       | N5       | N5   |
|                  | Bond Pitch, μm |      |      |      | 9        | 6        |      |
| SoIC-WoW         | Top Die        |      |      |      | N7       | N5       |      |
|                  | Bottom Die     |      |      |      | 0.13 DTC | 0.13 DTC |      |
|                  | Bond Pitch, μm |      |      |      | <3       |          |      |

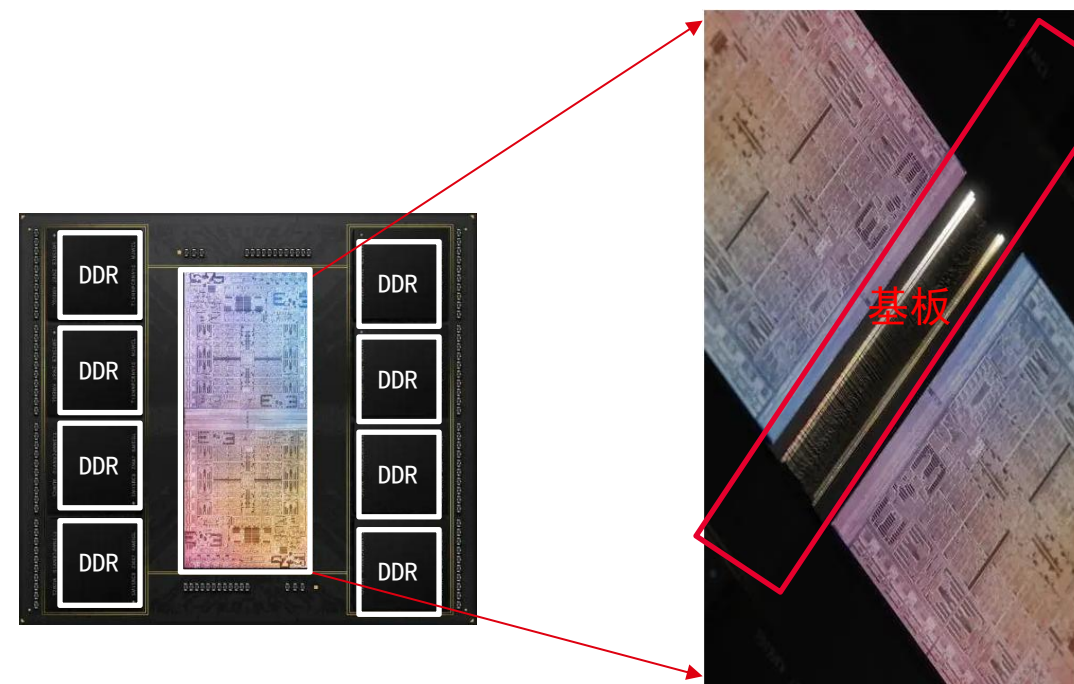
## 4.1 台积电：InFO = 集成+扇出封装

- ◆ InFO\_PoP是FOWLP与PoP封装的结合体, 将不同类型芯片在垂直方向上堆叠在一起, 下层为FOWLP封装芯片, 上层为DRAM等被动芯片, 封装之间通过TIV进行电气互联。InFO\_PoP主要用于移动平台, 自2016年以来, InFO\_PoP出货量超过12亿台。
- ◆ InFO\_oS (基板上) 可封装多个芯片, 由再分布层及其微凸起连接到带有TSV基板。InFO\_oS投产已5年以上, 专注于HPC客户。

InFO\_PoP (a) 及 InFO\_oS (b) 结构示意图



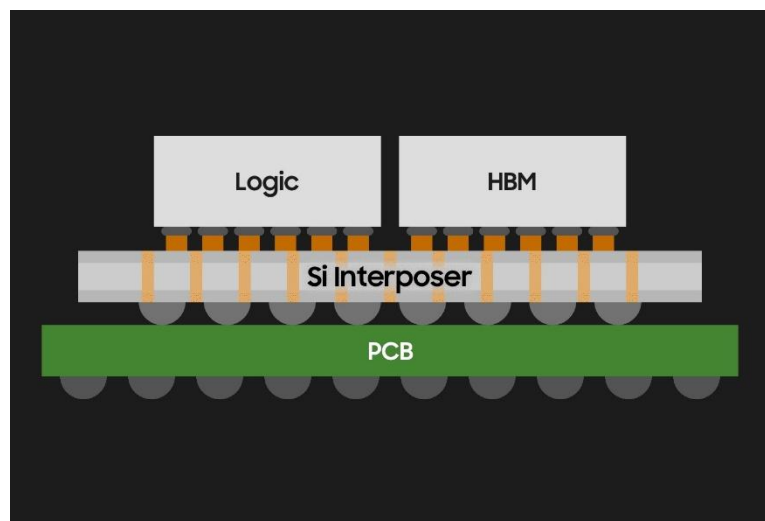
M1 Ultra使用InFO-LSI封装



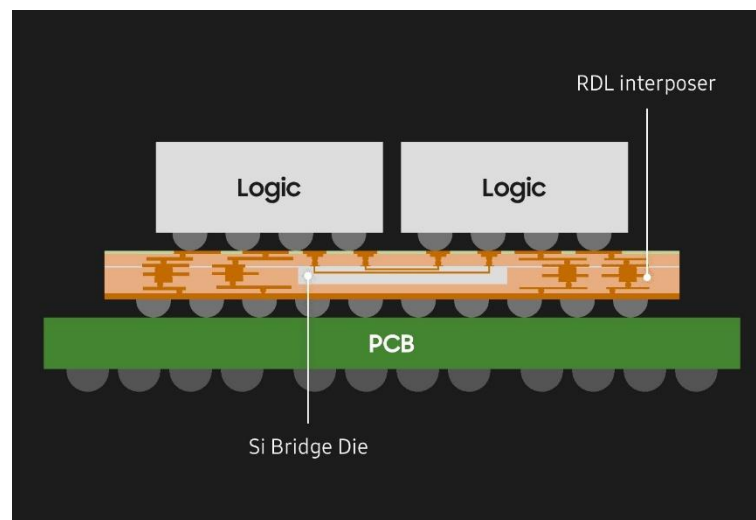
## 4. 2三星：I-Cube 2.5D=I-Cube S + I-Cube E + H-Cube

- ◆ I-CUBE S是一种异构技术，将一块逻辑芯片与一组高带宽存储器（HBM）裸片水平放置在一个硅中介层上，实现高算力、高带宽数据传输及低延迟等特点；I-Cube E技术采用硅嵌入结构，不仅具有硅桥精细成像优势，也同时拥有PLP（面板级封装技术）大尺寸、无硅通孔（TSV）结构的RDL中介层等特点；H-Cube是一种混合基底结构，将精细成像的ABF基底和 HDI（高密度互连）基底技术相结合，可在I-Cube 2.5D封装中实现较大封装尺寸。

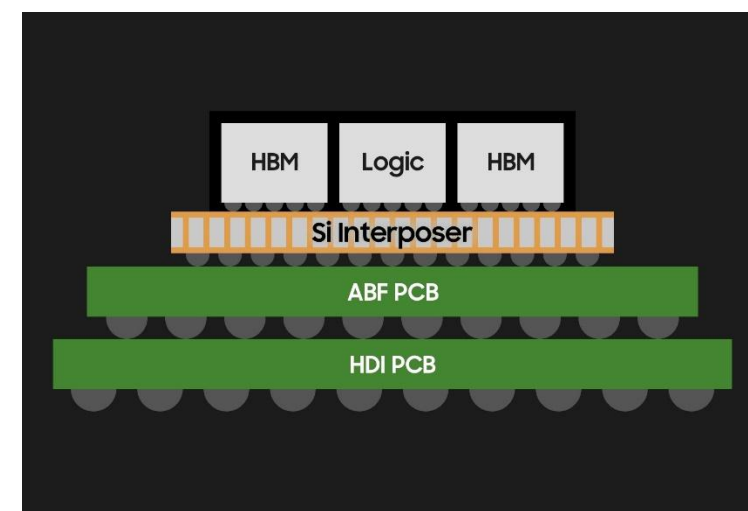
I-Cube (a)、I-Cube E (b)、H-Cube (c) 封装示意图



(a)



(b)

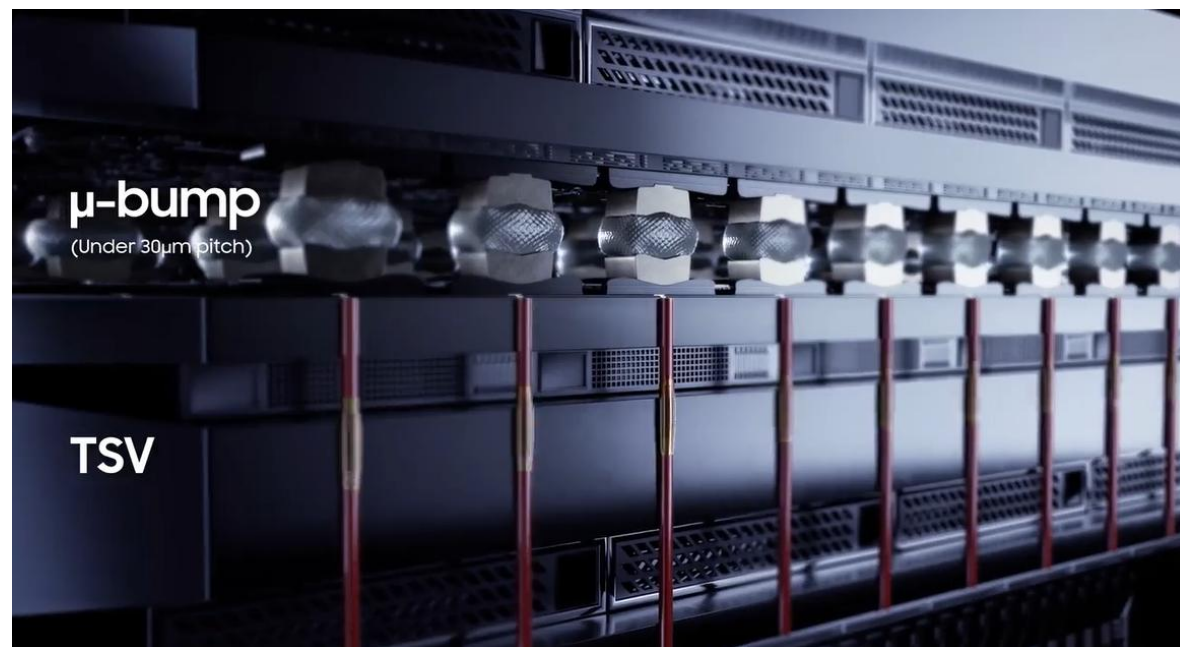


(c)

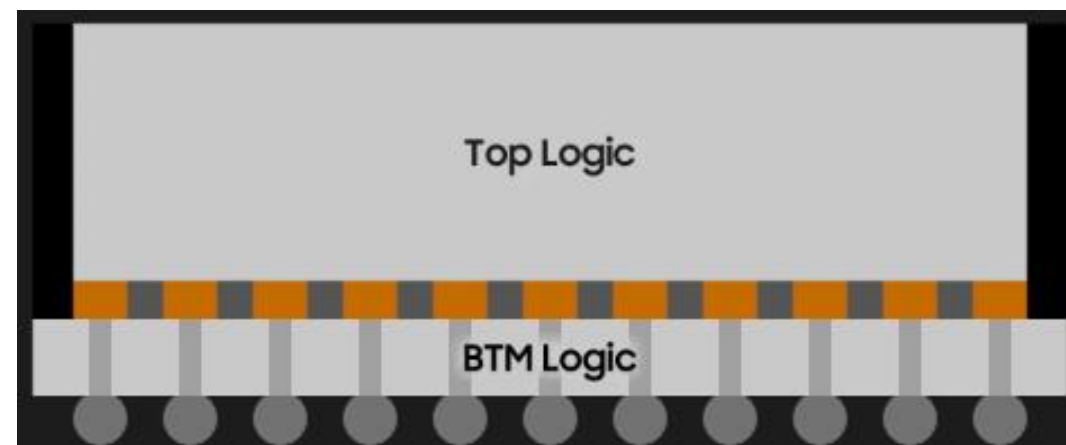
## 4.2三星：通过垂直堆叠方式大幅节省芯片上空间

- ◆ 三星X-Cube技术消除中间中介层或硅桥，直接将静态随机内存裸芯（SRAM Die）堆叠在逻辑裸芯（Logic Die）之上。三星已用7nm EUV工艺研制X-Cube样片，其TSV柱以仅30  $\mu$ m间距连接到微型凸点（u-bump），从而使SRAM无需中间介质即可直接连接到管芯。与传统PoP（Package On Package）封装相比，X-Cube提高了整体性能降低功耗。
- ◆ X-Cube先进封装技术采用在Z轴堆叠逻辑裸片方法，提高动态键合能力。利用Chip-on-Wafer及铜混合键合技术，通过增加单个堆栈芯片密度，进一步提升X-CUBE速度或性能。

X-Cube内部连接结构



X-Cube（铜混合键合）

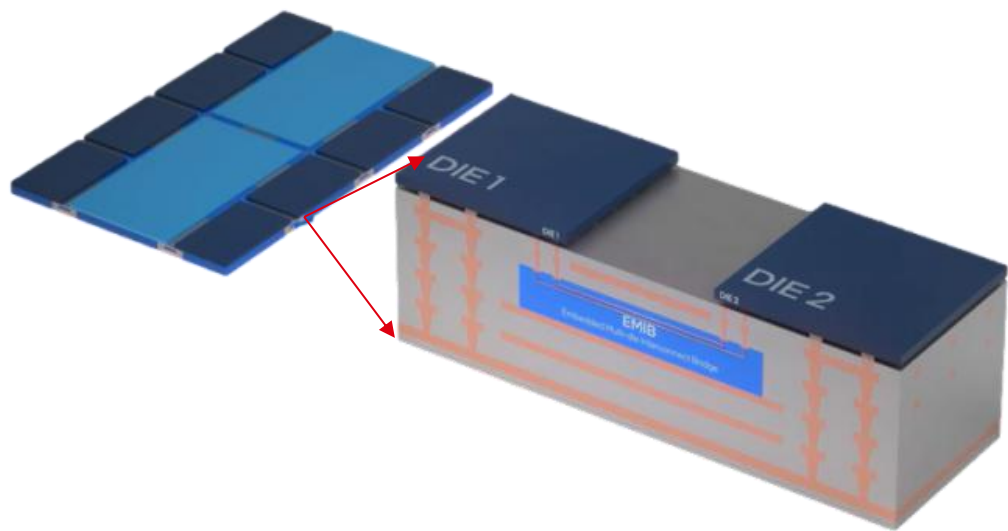


Samsung Foundry 正在开发超精细的铜混合键合技术（例如低于4微米的规格）

## 4.3 Intel: 嵌入式多芯片互连桥（EMIB）为Intel 2.5D封装亮点

- ◆ 结构简单及信号干扰低是英特尔主导开发EMIB路线主要优势，应用这一技术，封装过程中无需制造覆盖整个芯片硅中介层，以及遍布在硅中介层上大量硅通孔（TSV），而只需使用较小硅桥在裸片间进行互联即可。与普通封装技术相比，由芯片I/O至封装引脚连接并未发生变化，而无需再通过TSV或硅中介层进行走线。在降低不同裸片间传输延时同时也减少信号传输干扰。

英特尔EMIB技术结构图

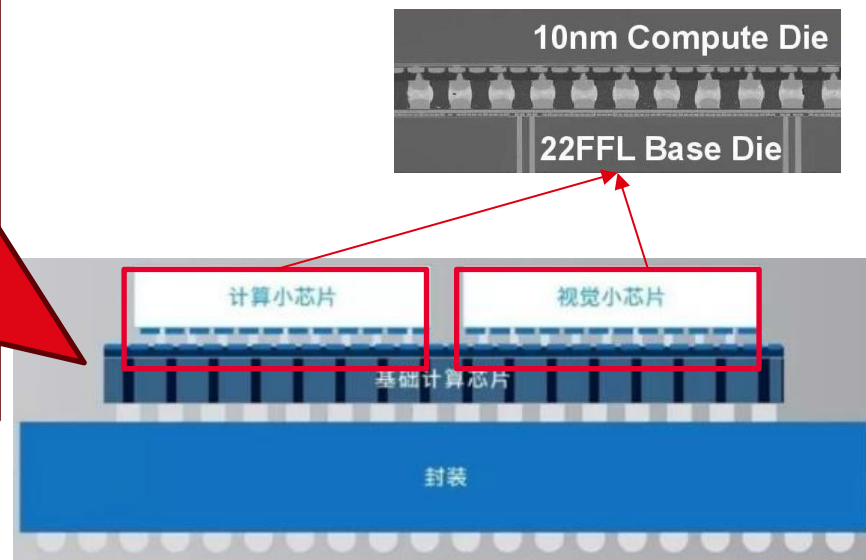


## 4.3 Intel: Foveros将不同工艺、结构、用途芯片整合

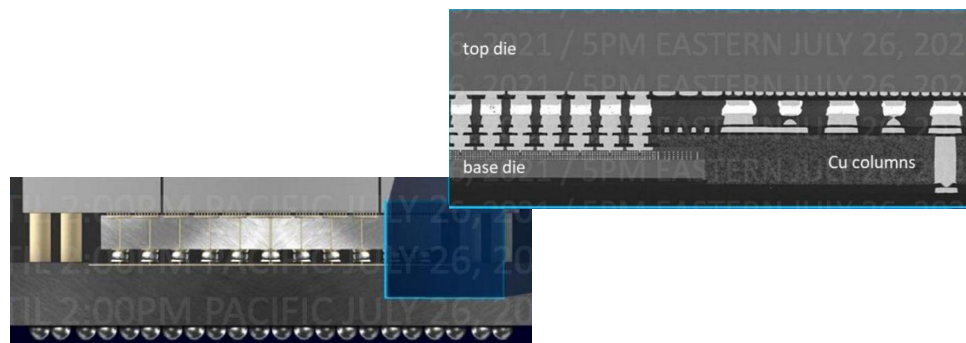
- ◆ Foveros技术是英特尔首次引入3D堆叠优势，可实现在逻辑芯片上堆叠逻辑芯片，进行横向及纵向之间互连，凸点间距进一步降低为50-25  $\mu\text{m}$ 。Foveros为整合高性能、高密度和低功耗硅工艺技术的器件和系统铺平道路。
- ◆ 第三代Foveros技术：消除第一代顶部芯片需比底部芯片更小的限制，允许顶部芯片悬垂，构建铜柱以连接基板，可从顶部芯片边缘引入电力。与第二代Foveros相比，凸块密度增加50%，预计Foveros Omni将于2023年量产。
- ◆ 第四代Foveros技术：采用混合键合方式，其芯片间连接的凸点间距降低至10  $\mu\text{m}$ ，密度比第三代提高6倍。

Foveros 3D堆叠侧视图

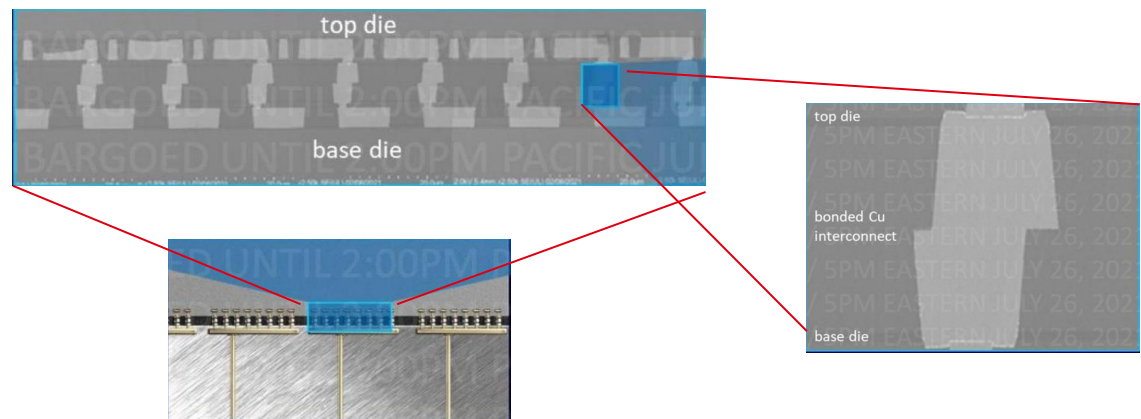
Foveros封装过程与CoWoS较为类似，不同之处在于CoWoS中介层是一片裸晶圆，是无源中介层，但Foveros中介层是具有功能芯片，属于有源Si中介层。



第三代 Foveros: Foveros Omni



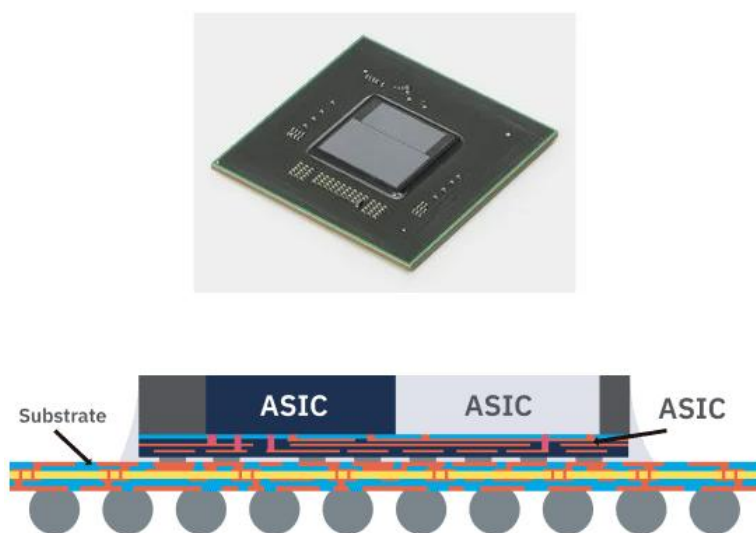
第四代 Foveros: Foveros Direct



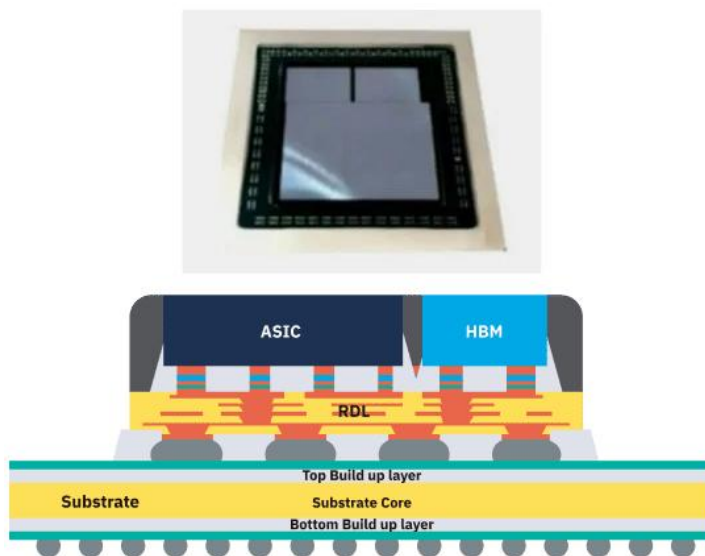
## 4.4 日月光集团：扇出型基板上晶片封装（FOCoS）

- ◆ FOCoS是一种安装在高引脚数球栅阵列（BGA）基板上扇出封装倒装芯技术。扇出封装具有重新分布层（RDL），允许在多个芯片之间构建更短芯片到芯片（D2D）互连。扇出封装被视为单个芯片，然后倒装芯片安装到BGA基板上。FOCoS-CF由两个面朝下ASIC小芯片组成，通过Cu通孔直接与RDL连接，并且Si裸片及扇出RDL（L/S 2/2  $\mu\text{m}$ ）之间没有微凸块。FOCoS-CL技术中ASIC芯片和2个HBM通过RDL（L/S 2/2  $\mu\text{m}$ ）和Cu微凸块连接。FOCoS-Bridge技术中使用Si桥芯片（L/S 0.6/0.6  $\mu\text{m}$ ）嵌入扇出RDL层（L/S 10/10  $\mu\text{m}$ ）连通ASIC及HBM。

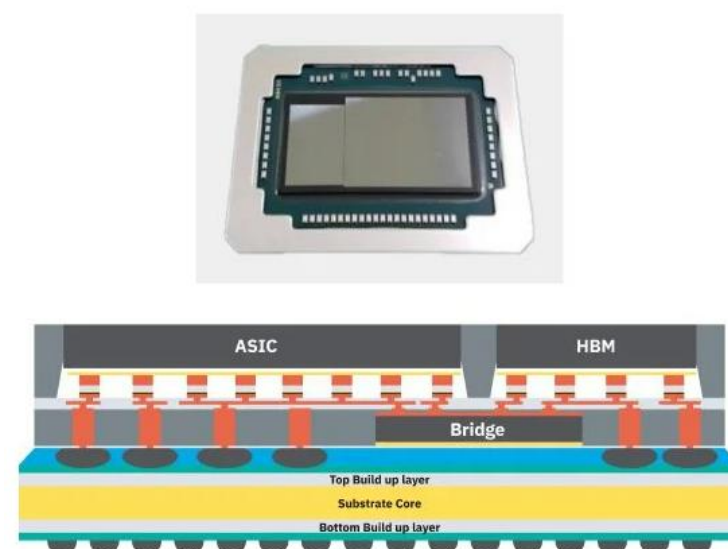
FOCoS-CF (a)、FOCoS-CL (b)、FOCoS-Bridge (c) 封装示意图



(a) FOCoS-CF (Chip First)



(b) FOCoS-CL (Chip Last)

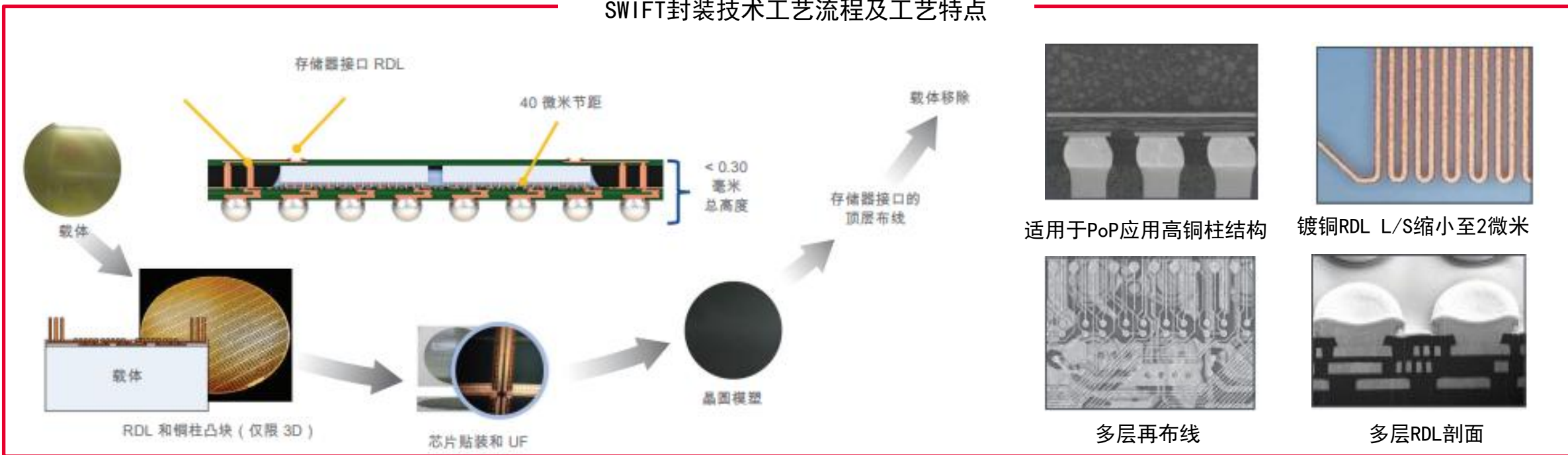


(c) FOCoS-Bridge

## 4.5 安靠科技：深度布局TSV-less工艺（FOWLP, Chip last, Die face down）

- ◆ SLIM及SWIFT方案均采用TSV-less工艺，简化2.5D TSV硅中介层运用时PECVD及CMP工序。SLIM利用前道代工，在硅片表面的无机介质层上制作1 $\mu$ m，甚至亚微米金属布线，再用有机介质层制作金属布线，通过倒装互连、芯片塑封后，刻蚀去掉硅片，再制作BGA，完成三维集成。SWITT特点是在Carrier基板上制作多层布线，与芯片通过微凸点倒装，然后塑封，通过穿透模塑料高铜柱实现三维垂直互连，进一步在背面再做一层布线，用于与上封装体进行高密度互连。

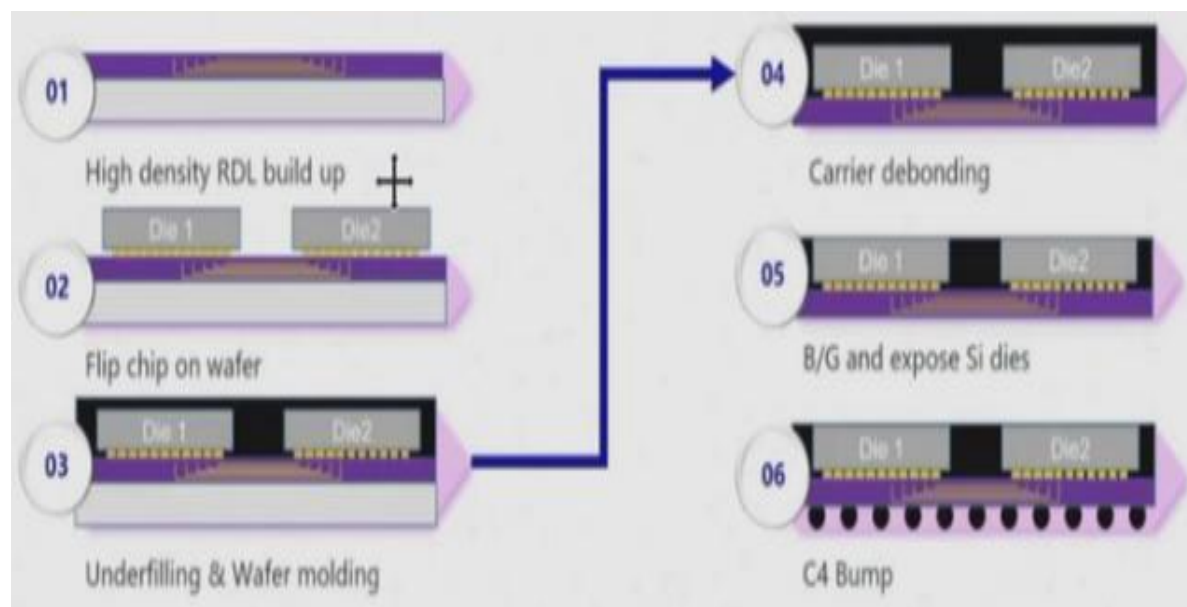
SWIFT封装技术工艺流程及工艺特点



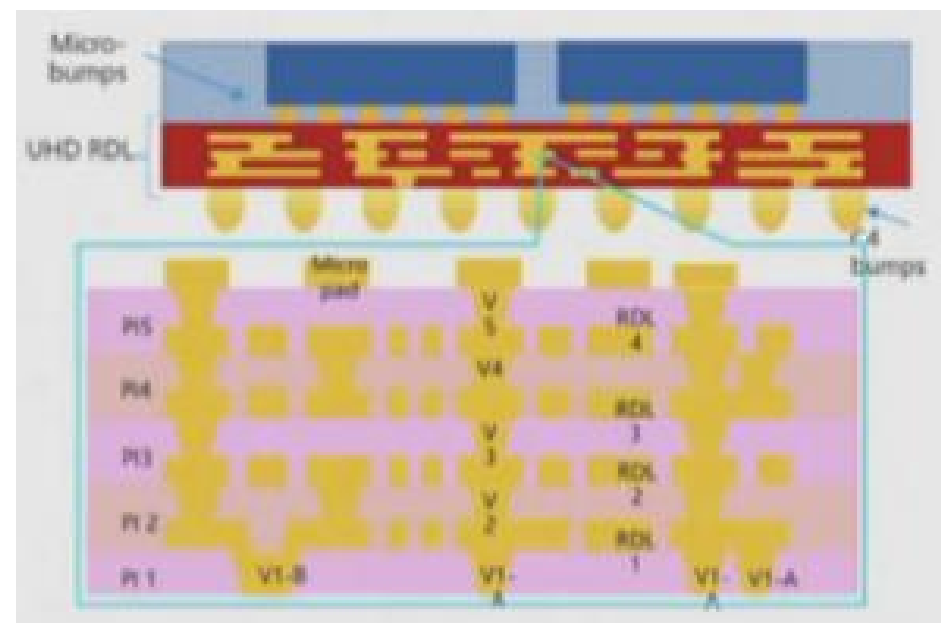
## 4. 6长电科技：TSV-less路线实现高性价比先进封装

- ◆ XDF01全系列极高密度扇外型封装解决方案是新型无硅通孔晶圆级极高密度封装技术。在有机重布线堆叠中介层（RDL Stack Interposer, RSI）上，放置一颗或多颗逻辑芯片（CPU/GPU等）或高带宽内存芯片（HBM）等，形成一颗高集成度的异构封装体，相较于2.5D硅通孔（TSV）封装技术，具备更高性能、更高可靠性及更低成本等特性。该解决方案在线宽或线距可达到 $2\mu\text{m}$ 的同时，可实现多层布线层，另外，采用了极窄节距凸块互联技术，封装尺寸大，可集成多颗芯片、高带宽内存和无源器件。

2.5D XDF01工艺流程



2.5D XDF01 RDL分解



# 4. 7对比：先进封装领域内国内技术与头部厂商差距较小

◆ 目前，全球半导体行业传统集成电路封测技术与先进集成电路封测技术并行，并通过Flip-Chip、QFN、BGA等主要集成电路封测技术进行大规模生产。先进封装领域，日月光集团、安靠科技、矽品均已掌握WLP、Fan-Out、Flip Chip、2.5D/3D封测技术并实现产品量产；中国大陆企业以传统集成电路封测技术为基础，纷纷加大对先进集成电路封测技术研发投资力度并加紧研发，先进集成电路封测市场渗透率逐步增加，并逐步进行全球布局。

| 企业    | FC | WLP | Fan-Out | 2.5D           | 3D | chiplet            | RDL                  |
|-------|----|-----|---------|----------------|----|--------------------|----------------------|
| 日月光集团 | √  | √   | √       | √              | √  | N. A.              | 5层RDL、L/S 1.2微米      |
| 安靠科技  | √  | √   | √       | √              | √  | N. A.              | N. A.                |
| 矽品    | √  | √   | √       | √              | √  | N. A.              | N. A.                |
| 台积电   | √  | √   | √       | √              | √  | 2nm(2025量产)        | 6层RDL、L/S 2微米        |
| 长电科技  | √  | √   | √       | √              | √  | 4nm节点多芯片系统集成封装产品出货 | 5层RDL、L/S 1.5微米      |
| 通富微电  | √  | √   | √       | 自建2.5D/3D线全线通线 |    | 7nm量产、5nm完成研发      | 5层RDL超大尺寸封装（65×65mm） |
| 华天科技  | √  | √   | √       | ○              | √  | N. A.              | N. A.                |

注：√代表已量产，○代表正在研发，N. A. 表示未披露

# 4. 7对比：先进封装领域内国内技术与头部厂商差距较小

| 公司  | 类型    | 封装名称    |                | Interconnect   |                |       |       |
|-----|-------|---------|----------------|----------------|----------------|-------|-------|
|     |       |         |                | RDL            | Interposer     | Stack | Bump  |
| 台积电 | 2D    | InFO    | InFO_B         | RDL            |                |       |       |
|     |       |         | InFO_PoP       | RDL            |                |       |       |
|     |       |         | InFO_SoIS      | RDL            |                |       | Cu/C4 |
|     |       |         | InFO_SoW       | RDL            |                |       | Cu/C4 |
|     |       |         | InFO_R/oS      | RDL            |                |       | Cu/C4 |
|     |       |         | InFO_L/LSI     | LSI (TSV) +RDL |                |       | Cu/C4 |
|     | 2. 5D | CoWoS   | CoWoS-S        |                | Si             |       | Cu/C4 |
|     |       |         | CoWoS-R        |                | RDL            |       | Cu/C4 |
|     |       |         | CoWoS-L        |                | LSI (TSV) +RDL |       | Cu/C4 |
|     | 3D    | SoIC    | SoIC-CoW       |                |                | CoW   | DCB   |
|     |       |         | SoIC-WoW       |                |                | WoW   | DCB   |
| 三星  | 2. 5D | I-Cube  | I-Cube S       |                | Si             |       | DCB   |
|     |       |         | I-Cube E       |                | Si Bridge+RDL  |       | Bump  |
|     |       | H-Cube  |                |                | Si+ABF         |       | Bump  |
|     | 3D    | X-Cube  | X-Cube Bump    |                |                | CoW   | Bump  |
|     |       |         | X-Cube HCB     |                |                | CoW   | DCB   |
|     |       |         |                |                |                |       |       |
| 英特尔 | 2. 5D | EMIB    |                |                | Si Bridge+RDL  |       | Bump  |
|     | 3D    | Foveros | Foveros        |                |                | CoC   | Cu    |
|     |       |         | Foveros Omni   |                |                | CoC   | Cu    |
|     |       |         | Foveros Direct |                |                | CoC   | DCB   |
|     |       | CO-EMIB |                |                |                |       |       |

4. 7对比：先进封装领域内国内技术与头部厂商差距较小

| 公司    | 类型    | 封装名称       |              | Interconnect  |                |       |       |
|-------|-------|------------|--------------|---------------|----------------|-------|-------|
|       |       |            |              | RDL           | Interposer     | Stack | Bump  |
| 安靠科技  | 2D    | SWIFT/HDF0 |              | RDL           |                |       | N. A. |
|       | 3D    | SLIM       | W-SLIM       |               | RDL+BEOL       |       | Cu    |
|       |       |            | S-SLIM       |               | RDL+BEOL       |       | Cu    |
| 日月光集团 | 2D    | FOCoS      | FOCoS-CF     | RDL           |                |       | C4    |
|       |       |            | FOCoS-CL     | RDL           |                |       | C4    |
|       |       |            | FOCoS-Bridge | Si Bridge+RDL |                |       | C4    |
|       | 2.5D  | FOEB       |              |               | Si Bridge+RDL  |       | N. A. |
| 长电科技  | 2D    | XDF0I      |              | RDL           |                |       |       |
|       | 2.5D  | XDF0I      |              |               | RDL (TSV-less) |       |       |
|       | 3D    | XDF0I      |              |               | RDL            |       |       |
| 华天科技  | 2D    | eSiFO      | S-eSiFO      |               | RDL            |       |       |
|       |       |            | M-eSiFO      |               | RDL            |       |       |
|       |       |            | XL-eSiFO     |               | RDL            |       |       |
|       |       |            | UT-eSiFO     |               | RDL            |       |       |
|       | 3D    | 3D SiFO-oS |              |               | RDL+TSV        |       | N. A. |
|       |       | eSinC      | eSinC-CoW    |               |                | CoW   | N. A. |
|       |       |            | eSinC-PoP    |               |                | PoP   |       |
| 通富微电  | 2.5D+ | ViSions    |              |               |                |       |       |

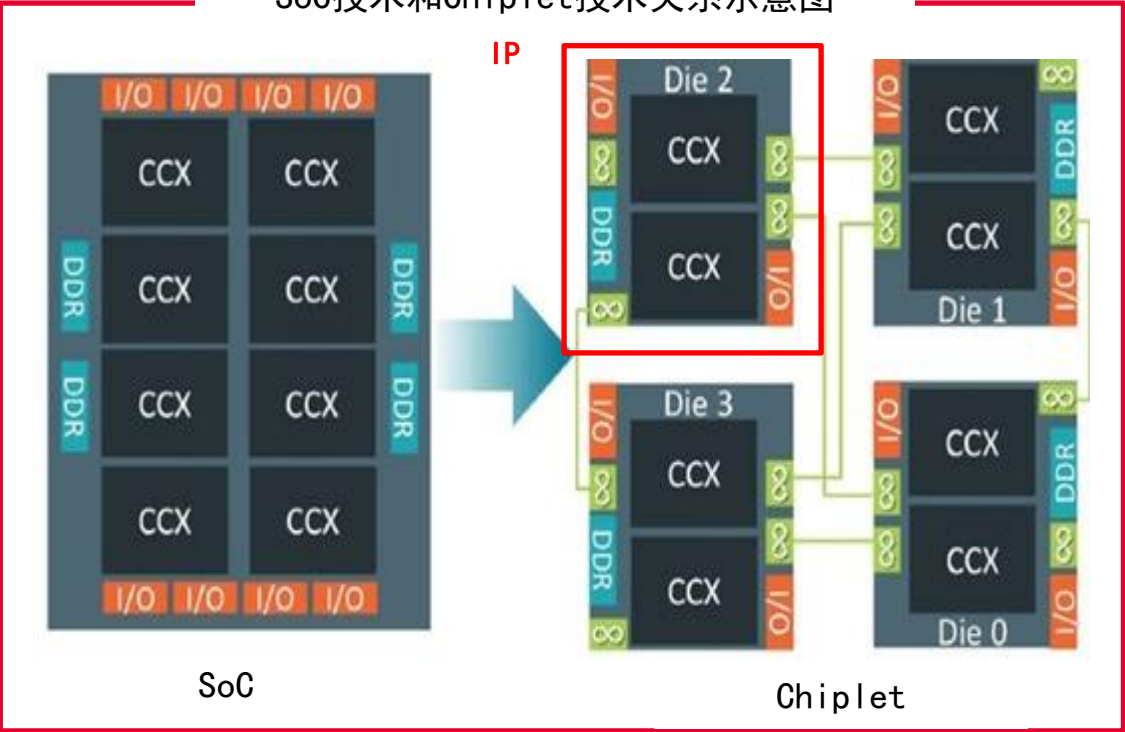
- 01 先进封装：打破IC发展限制，向高密度封装时代迈进
- 02 技术分析：横向连接/纵向堆叠奠定先进封装技术基石
- 03 产业链：材料与设备任重道远，先进封装粲然可观
- 04 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺
- 05 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

- 5.1 Chiplet概念
  - 5.1.1 大道至简，芯粒IP复用构建高集成度芯片
  - 5.1.2 为异构/异质集成实现夯实技术基础
- 5.2 发展：Chiplet进入成长期，标准逐渐统一
- 5.3 Chiplet优势
  - 5.3.1 接力摩尔定律，持续推进经济效应
  - 5.3.2 Chiplet助力良率及晶圆使用面积显著性提升
  - 5.3.3 较SoC综合成本下降
  - 5.3.4 芯粒IP化，设计周期及成本显著降低
- 5.4 应用
  - 5.4.1 5G/物联网/高性能运算/智能驾驶/XR等带动先进封装需求
  - 5.4.2 手机与消费领域为先进封装最大应用领域
  - 5.4.3 先进封装在智能手机多芯片/传感器得到应用
  - 5.4.4 智能驾驶级别上升将带动汽车领域先进封装需求
  - 5.4.5 高效节能芯片需求带动高性能计算领域先进封装加速渗透
  - 5.4.6 算力为实现AI产业化核心，高端芯片需求带动先进封装增长
  - 5.4.7 AIGC多行业渗透，间接提高先进封装市场增量
- 5.5 需求
  - 5.5.1 中国晶圆厂独占鳌头，预计至2024年底建立50座大型晶圆厂
  - 5.5.2 国内封测厂积极扩产，有望带动先进封装多元发展
  - 5.5.3 Fabless纵向拓展封测领域，有望带动先进封装多元发展
  - 5.5.4 各大封测厂积极扩产，为新一轮应用需求增长做好准备

# 5. 1Chiplet: 大道至简，芯粒IP复用构建高集成度芯片

- ◆ Chiplet（芯粒，也叫小芯片）将一类满足特定功能Die（裸片）通过Die-to-Die内部互联技术将多个模块芯片与底层基础芯片封装在一起，形成一个系统芯片（Soc芯片），从而实现一种新形式IP复用。
- ◆ Chiplet技术背景下，可将大型单片芯片划分为多个相同或者不同小芯片，这些小芯片可以使用相同或者不同工艺节点制造，再通过跨芯片互联及封装技术进行封装级别集成，降低成本的同时获得更高的集成度。

SoC技术和Chiplet技术关系示意图



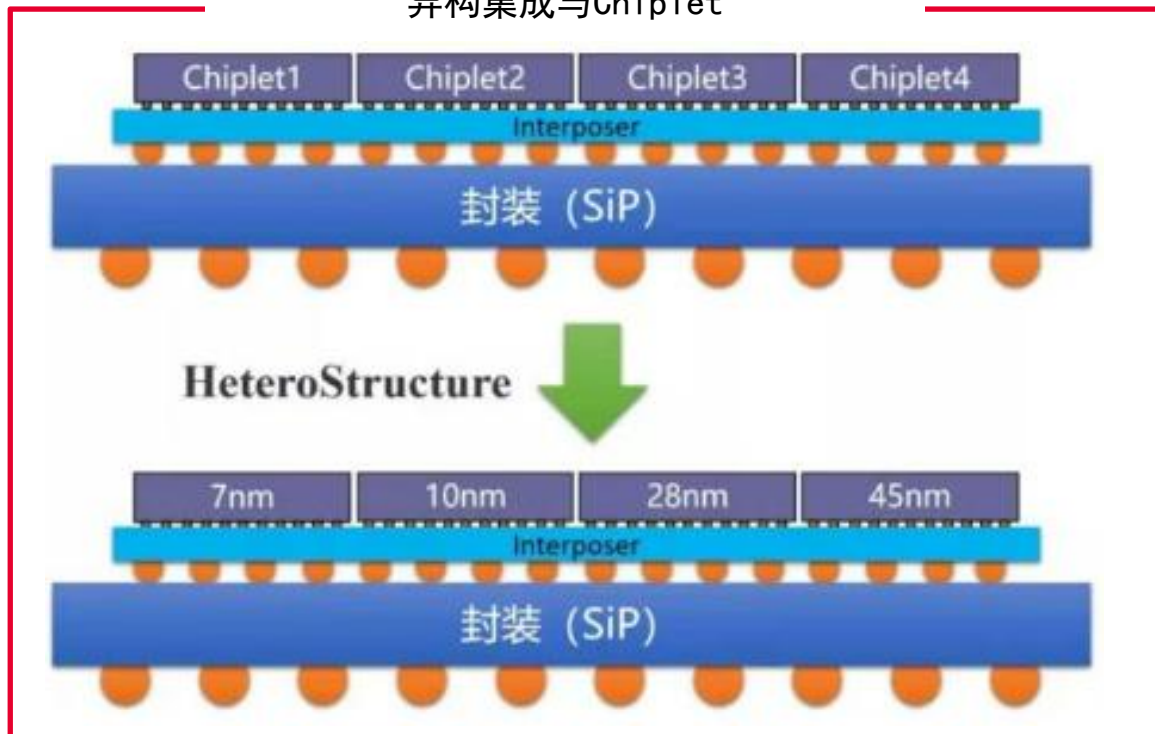
SoC技术和Chiplet技术对比

|      | 单片SoC                        | Chiplet芯片          |
|------|------------------------------|--------------------|
| 设计成本 | 最高，7nm芯片设计成本大于2亿美元           | 比单片SoC设计成本低        |
| 设计时间 | 最长，一般大于18个月                  | 较短，一般12个月，后续设计更快   |
| 设计风险 | 最高，遗漏功能需要重新设计                | 较低，重新设计容易，可以增减模块芯片 |
| 性能   | 最高性能，针对不能规模化功能的重新设计会造成资源低效使用 | 较高，可根据模块功能选择芯片制程   |
| 功耗   | 最低                           | 接近单片SoC功耗          |
| 上市时间 | 最慢                           | 较快                 |
| 产品尺寸 | 最小                           | 较小                 |

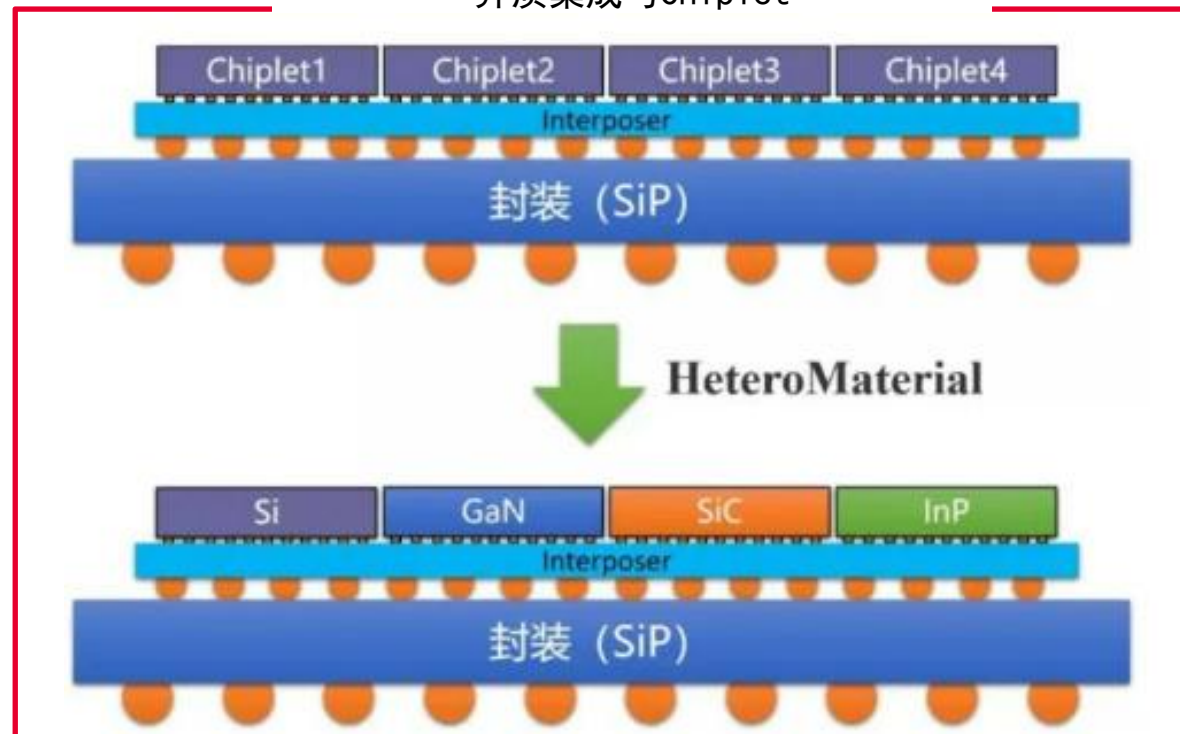
## 5. 1Chiplet: 为异构/异质集成实现夯实技术基础

- ◆ 异构集成主要指将多个不同工艺节点单独制造的芯片封装到一个封装内部，可以对采用不同工艺、不同功能不同制造商制造的组件进行封装。例如将不同厂商7nm、10nm、28nm、45nm小芯片通过异构集成技术封装在一起。
- ◆ 异质集成指将不同材料半导体器件集成到一个封装内，可产生尺寸小、经济性好、灵活性高、系统性能更佳的产品。如将Si、GaN、SiC、InP生产加工的芯片通过异质集成技术封装到一起，形成不同材料的半导体在同一款封装内协同工作场景。

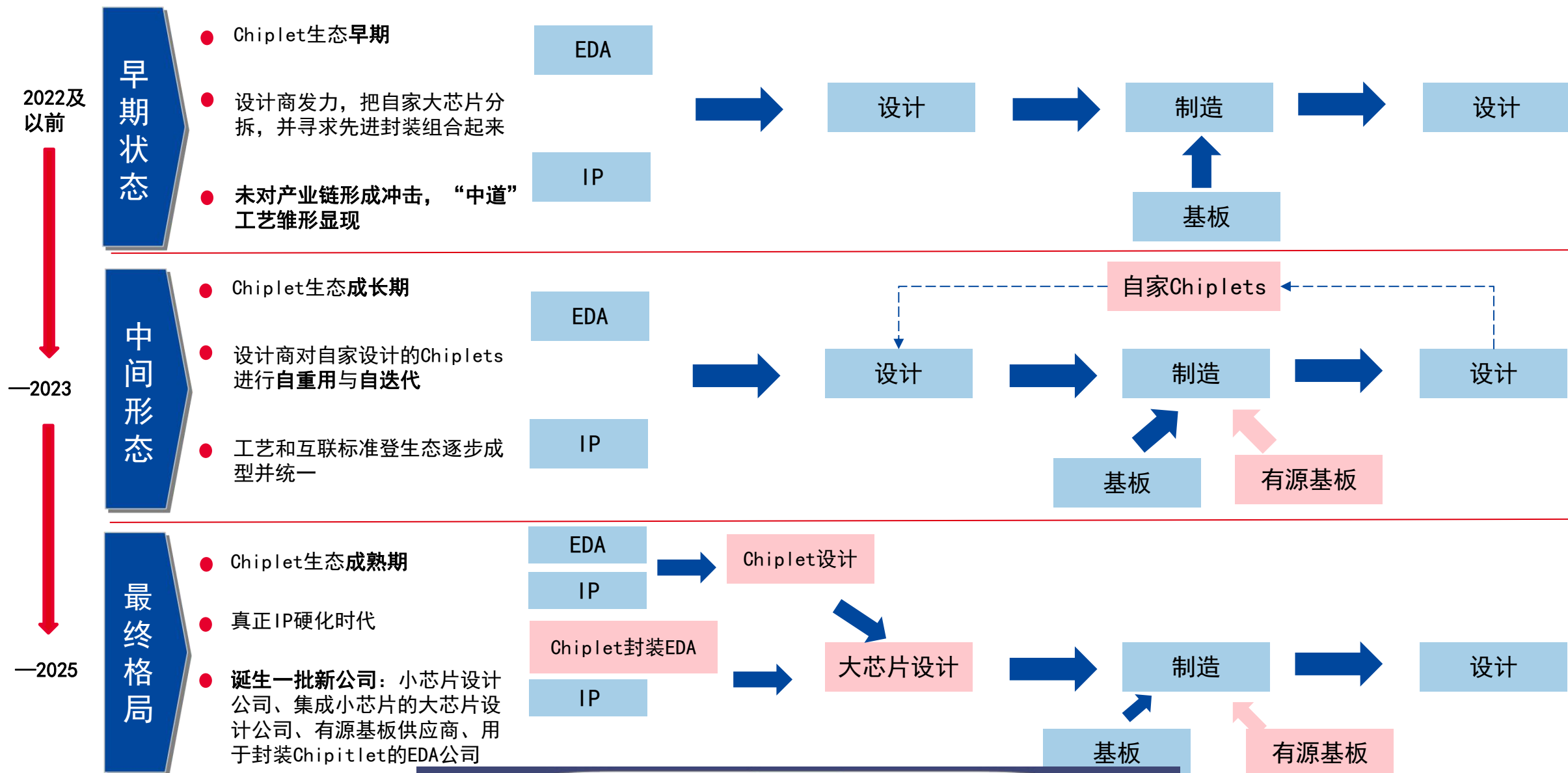
异构集成与Chiplet



异质集成与Chiplet



## 5.2发展：Chiplet进入成长期，标准逐渐统一



5. 3Chiplet优势（一）：接力摩尔定律，持续推进经济效应

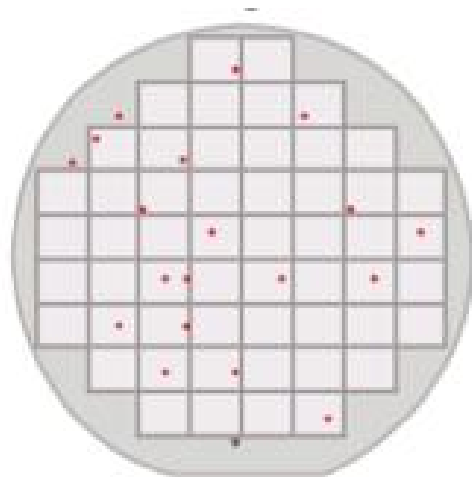
◆ 随着制程工艺推进，成本经济效益逐步降低。从成本方面来看，随着先进制程推进，芯片每平方毫米成本不断上升，但随着晶体管密度提升，同样数量晶体管所占芯片面积不断下降，故单位数量晶体管成本实际一直在下降。如英特尔14nm、10nm及7nm工艺晶体管成本有所下降，但下降幅度加速放缓。根据IBS数据，随着制程工艺推进，单位数量的晶体管成本的下降幅度在急剧降低，从16nm到10nm，每10亿颗晶体管的成本降低23.5%，而从5nm到3nm成本仅下降4%。

|                                         | 16nm     | 10nm     | 7nm      | 5nm       | 3nm       |
|-----------------------------------------|----------|----------|----------|-----------|-----------|
| Chip area (mm <sup>2</sup> )            | 125.00   | 87.66    | 83.27    | 85.00     | 85.00     |
| No. of transistors (BU)                 | 3.3      | 4.3      | 6.9      | 10.5      | 14.1      |
| Gross Die per wafer                     | 478      | 686      | 721      | 707       | 707       |
| Net Die per wafer                       | 359.74   | 512.44   | 545.65   | 530.25    | 509.04    |
| Wafer Price (\$)                        | 5,912.00 | 8,389.00 | 9,965.00 | 12,500.00 | 15,500.00 |
| Die cost (\$)                           | 16.43    | 16.37    | 18.26    | 23.57     | 30.45     |
| Transistor cost per 1B transistors (\$) | 4.98     | 3.81     | 2.65     | 2.25      | 2.16      |

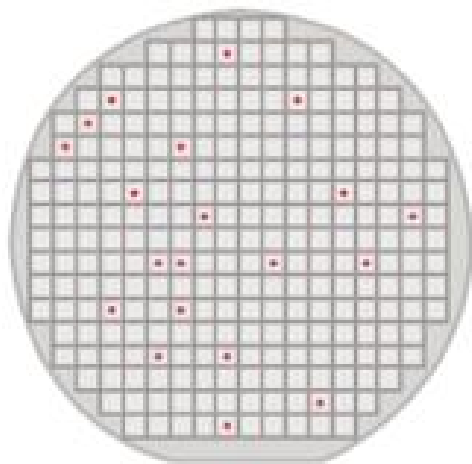
## 5. 3Chiplet优势（二）：Chiplet助力良率及晶圆使用面积显著性提升

- ◆ 小晶片模式可提高晶片良率及晶圆使用面积，同等尺寸晶圆下，小芯片良率更高。Chiplet方案将大芯片分为多个裸芯片，单位面积较小，相对而言良率会有所提升。同样大小晶圆上，大晶片只能切出54颗，小晶片可切出264颗，假设掉落20颗灰尘，在大芯片立可能有16颗芯片受损，良率为70%，小芯片良率为92%。对于12英寸晶圆，中等尺寸裸片18mmx20mm (360mm<sup>2</sup>)可切150颗，而其四分之一大小的裸片9.5mmx10.5mm (约99mm<sup>2</sup>)可切割622颗，晶圆利用面积可提升14%。

大芯片与小芯片良率示意图

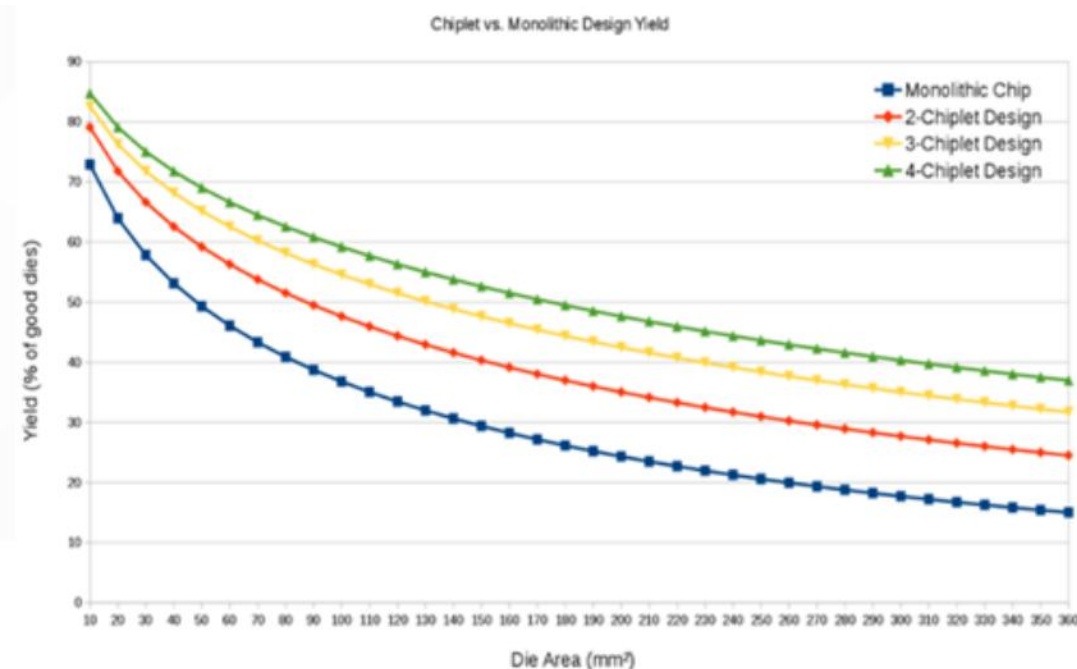


20 Defects  
16 Bad Die  
54 Gross Die  
70% Yield



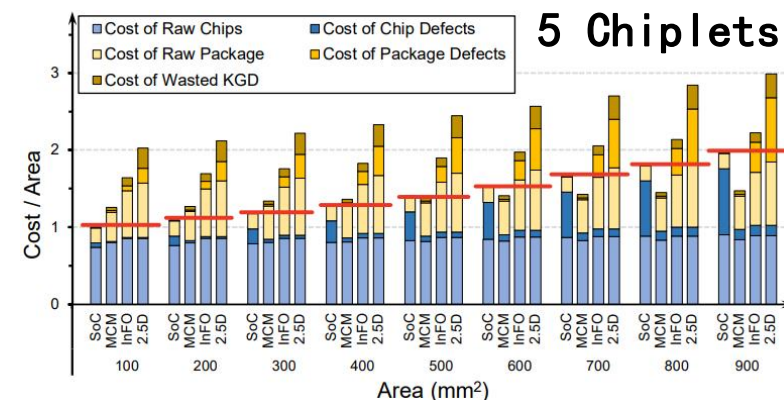
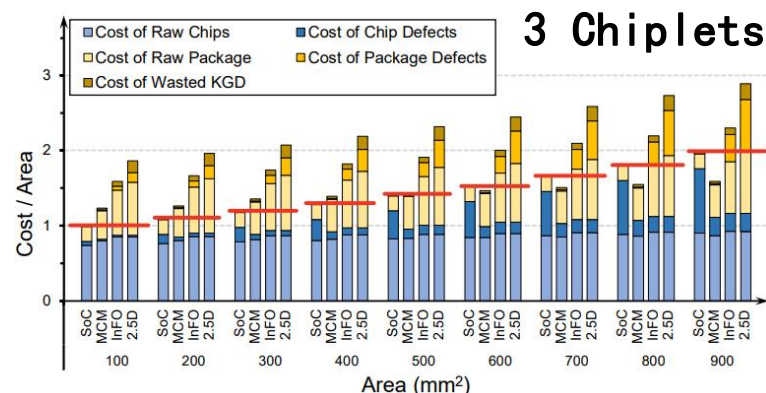
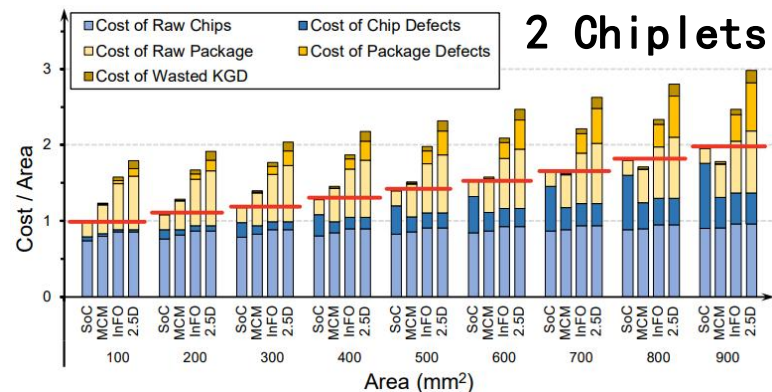
20 Defects  
20 Bad Die  
264 Gross Die  
92% Yield

Chiplet良率与Monolithic芯片设计良率对比

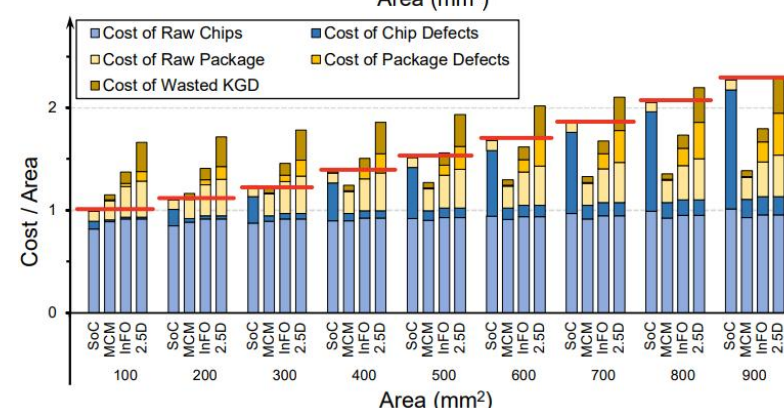
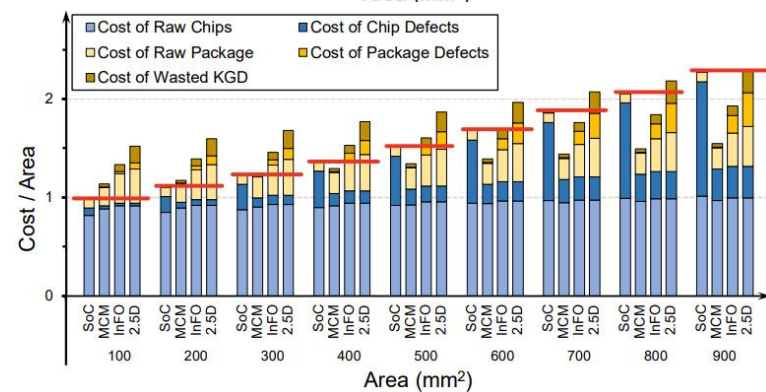
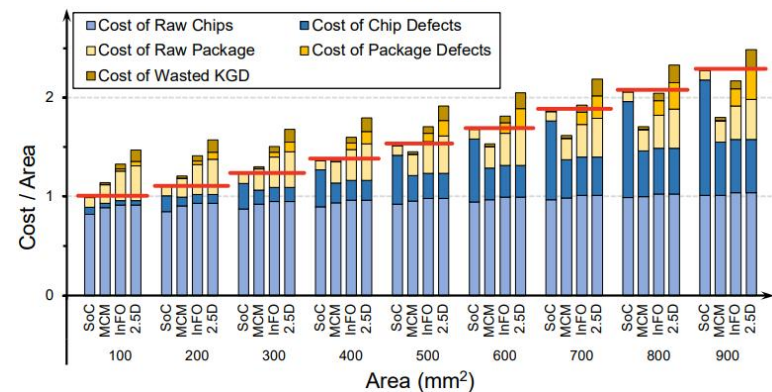


## 5.3 Chiplet优势（三）：较SoC综合成本下降

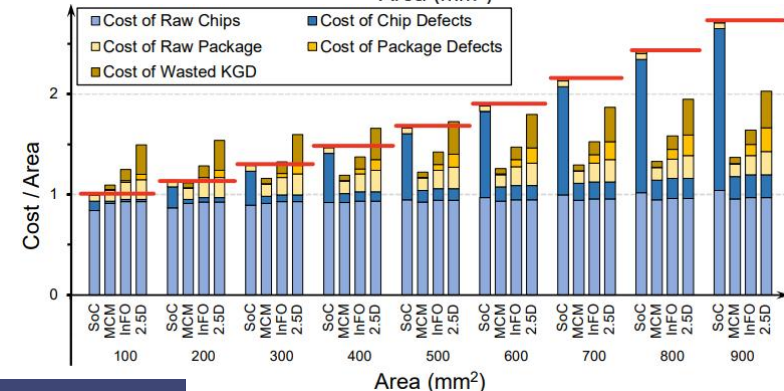
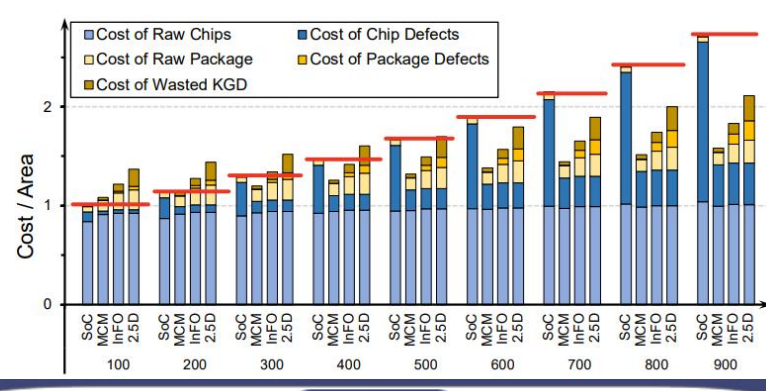
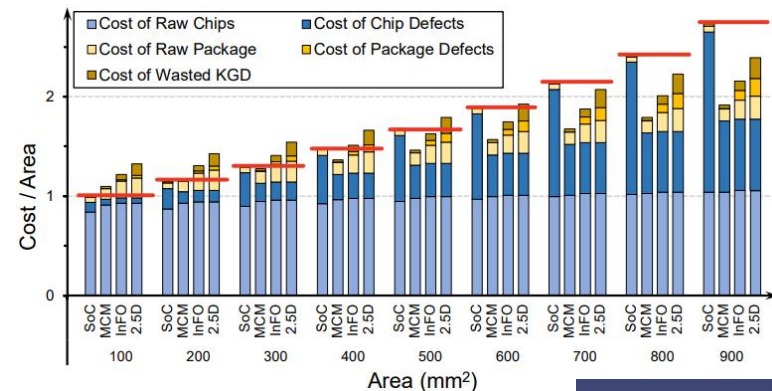
14nm



7nm

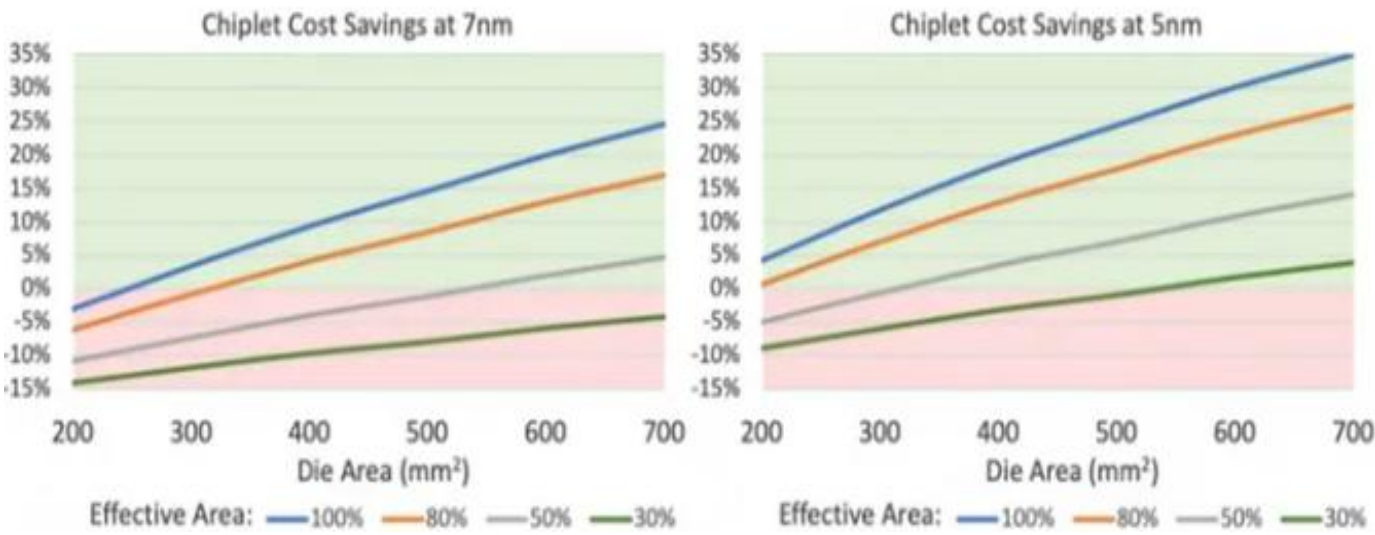


5nm



5.3 Chiplet优势（三）：较SoC综合成本下降

- ◆ Chiplet成本降幅高于其封测成本增幅。根据林利集团分析，Chiplet成本降幅主要来源于良率提升，较小芯片良率几乎是大型单片芯片两倍，从而节省100美元裸片总芯片成本；由于小芯片需要额外芯片到芯片连接区域，故多芯片封装组装成本与损耗更高，且测试环节多个芯片而不是一个芯片，测试总成本较高；封装成本抵消大约一半芯片成本节省，净收益为13%。
- ◆ 在更先进制造节点中，小芯片在更广泛设计中具有优势。根据林利集团数据，在5nm工艺中，晶圆成本达17,000美元，故转移到更小芯片所节省成本更大，更易抵消封装成本增加，5nm净成本节省比7nm高约10%。

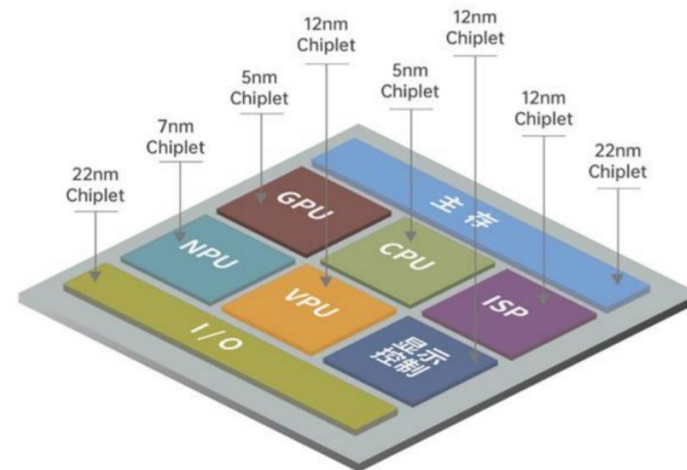


|                        | 整体式                | 差异    | 小芯片                |
|------------------------|--------------------|-------|--------------------|
| 晶圆成本（7nm）              | \$9,350            |       | \$9,350            |
| 总裸片尺寸                  | 600mm <sup>2</sup> | 1.1x  | 660mm <sup>2</sup> |
| 单裸片尺寸                  | 600mm <sup>2</sup> |       | 165mm <sup>2</sup> |
| 每个晶圆总裸片数               | 96                 |       | 387                |
| 缺陷率（/cm <sup>2</sup> ） | 0.2                |       | 0.2                |
| 有效面积                   | 80%                | 1x    | 80%                |
| 预计良率                   | 43%                |       | 78%                |
| 每个晶圆净裸片数               | 42                 |       | 300                |
| 单裸片成本                  | \$224              |       | \$31               |
| 裸片总成本                  | \$224              |       | \$124              |
| 测试总成本                  | \$10               | 1.2x  | \$12               |
| 封装                     | \$160              | 1.25x | \$200              |
| 封装损耗                   | 1%                 | 4x    | 4%                 |
| 总制造成本                  | \$398              |       | \$347              |

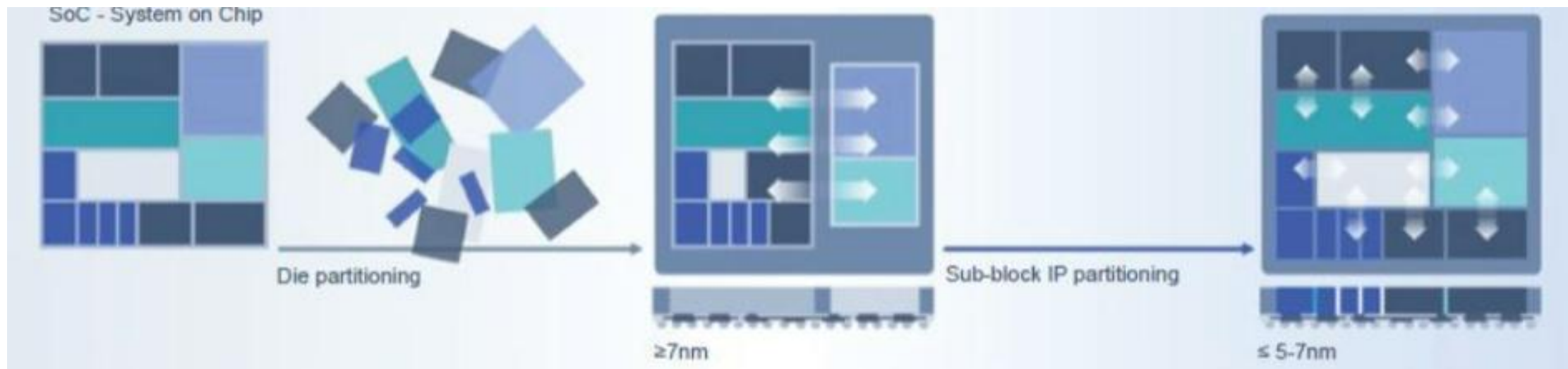
## 5.3Chiplet优势（四）：芯粒IP化，设计周期及成本显著降低

- ◆ Chiplet模式开发周期短、设计灵活性强、设计成本低。Chiplet将不同功能的IP，如 CPU、存储器、模拟接口等，可灵活选择不同工艺分别进行生产，从而可灵活平衡计算性能与成本，实现功能模块最优配置而不必受限于晶圆厂工艺。可将不同工艺节点、材质、功能、供应商的具有特定功能商业化裸片集中封装，以解决 7nm、5nm及以下工艺节点中性能与成本的平衡，并有效缩短芯片设计时间并降低风险。

基于 Chiplet的异构架构应用处理器的示意图



基于 Chiplet的异构架构应用处理器的示意图



5. 4应用：5G/物联网/高性能运算/智能驾驶/XR等带动先进封装需求

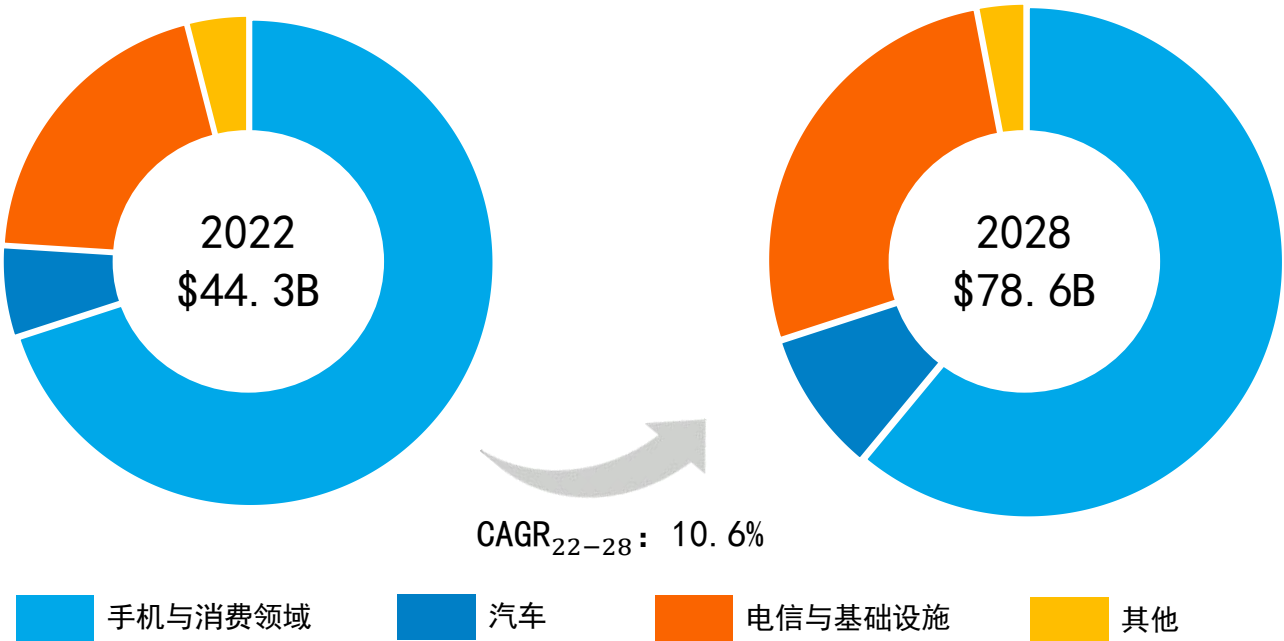
◆ 从长期来看，先进封装技术必将随着终端应用的升级和对芯片封装性能的提升而蓬勃发展。随着新技术演进，以2. 5D/3D为代表的先进封装工艺已深入大多数高端芯片生产。

| 应用领域  | CPU/GPU            | APU      | DPU      | MCU             | ASIC           | FPGA           | 存储                     | 传感器                    | 模拟                  | 光电子                |
|-------|--------------------|----------|----------|-----------------|----------------|----------------|------------------------|------------------------|---------------------|--------------------|
| 人工智能  | FC、2. 5D/3D、F0、SiP | FC、F0、ED |          | FC、WB、QFN、WLCSP | FC、F0          | FC、2. 5D/3D、F0 | FC、3D、WB、QFN、WLCSP、SiP |                        |                     |                    |
| 智能驾驶  |                    |          |          |                 |                |                |                        | FC、F0、WB、QFN、WLCSP、SiP | FC、F0、WB、QFN、ED、SiP |                    |
| AR/VR |                    |          |          |                 |                |                |                        |                        |                     |                    |
| HPC   |                    |          | FC、F0、ED |                 |                | FC、2. 5D/3D、F0 |                        |                        |                     | FC、2. 5D/3D、WB、SiP |
| IoT   |                    |          |          | FC、WB、QFN、WLCSP |                |                |                        | FC、F0、WB、QFN、WLCSP、SiP | FC、F0、WB、QFN、ED、SiP |                    |
| 5G    | FC、2. 5D/3D、F0、SiP | FC、F0、ED |          |                 |                |                |                        |                        |                     | FC、2. 5D/3D、WB、SiP |
| 手机通信  |                    |          |          |                 |                |                |                        | FC、F0、WB、QFN、WLCSP、SiP |                     |                    |
| 区块链   | FC、2. 5D/3D、F0     |          |          |                 | FC、2. 5D/3D、F0 |                |                        |                        |                     |                    |

5. 4应用：手机与消费领域为先进封装最大应用领域

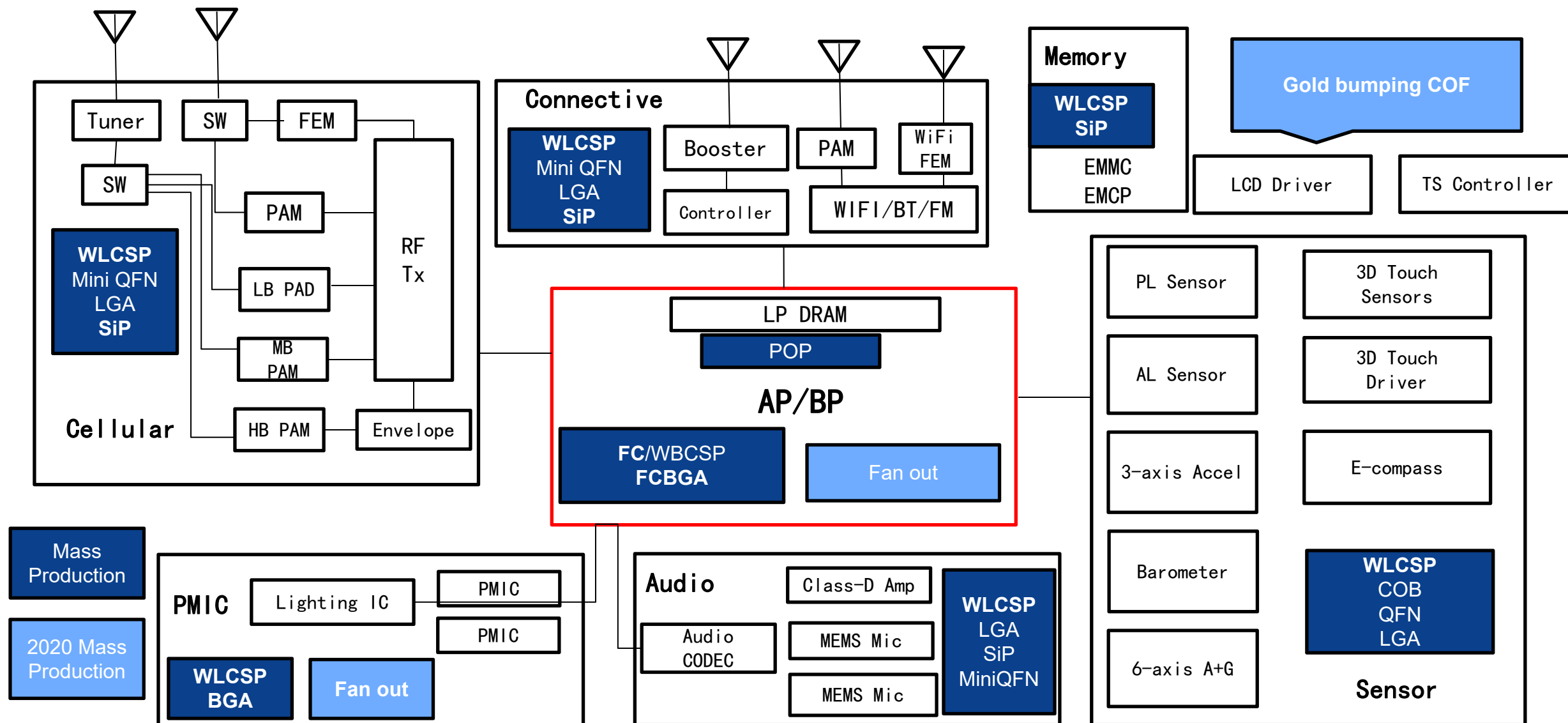
◆ 手机与消费领域仍为先进封装最大应用领域，电信与基础设施占比增速最快。根据Yole数据，2022年，移动和消费者占先进封装市场总量70%，预计2022年至2028年复合年增长率为7%，到2028年将占先进封装收入61%。电信和基础设施领域增长最快，预计2022年至2028年复合年增长率约为17%，预计到2028年将占先进封装市场27%；预计2028年汽车占市场9%，而其他（医疗、工业和航空航天/国防等领域）将占3%。

2022-2028F全球先进封装应用占比（%）



| 类别      | CAGR <sub>2022-2028</sub> |
|---------|---------------------------|
| 手机与消费领域 | 7%                        |
| 汽车      | 10%                       |
| 电信与基础设施 | 17%                       |
| 其他      | 10%                       |

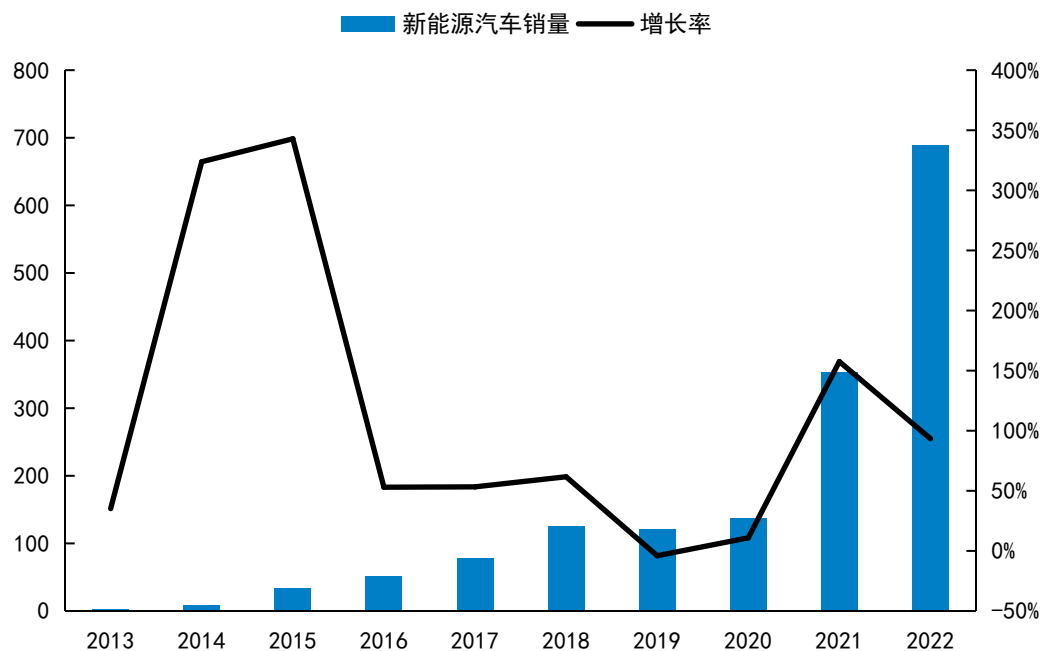
## 5.4应用：先进封装在智能手机多芯片/传感器得到应用



## 5.4应用：智能驾驶级别上升将带动汽车领域先进封装需求

- ◆ 在汽车领域，高级驾驶辅助系统（ADAS）、电气化，以及虚拟驾驶舱等概念深入，为先进封装在汽车领域深入发展提供机遇。智能驾驶级别上升将带动传感器数量需求，且需要更高水平车内计算能力提供支撑。以L3升级为L4为例，所需激光雷达、CMOS图像传感器、毫米波雷达等传感器，总数量预计将为前一级8-10倍，数量众多传感器，则需系统拥有更大带宽及存储容量。先进封装将为汽车客户提供平台，集成先进CPU芯片及互补功能，如串行/解串器、电源管理集成电路及存储器。

2013-2022年中国新能源汽车销量（万辆/%）



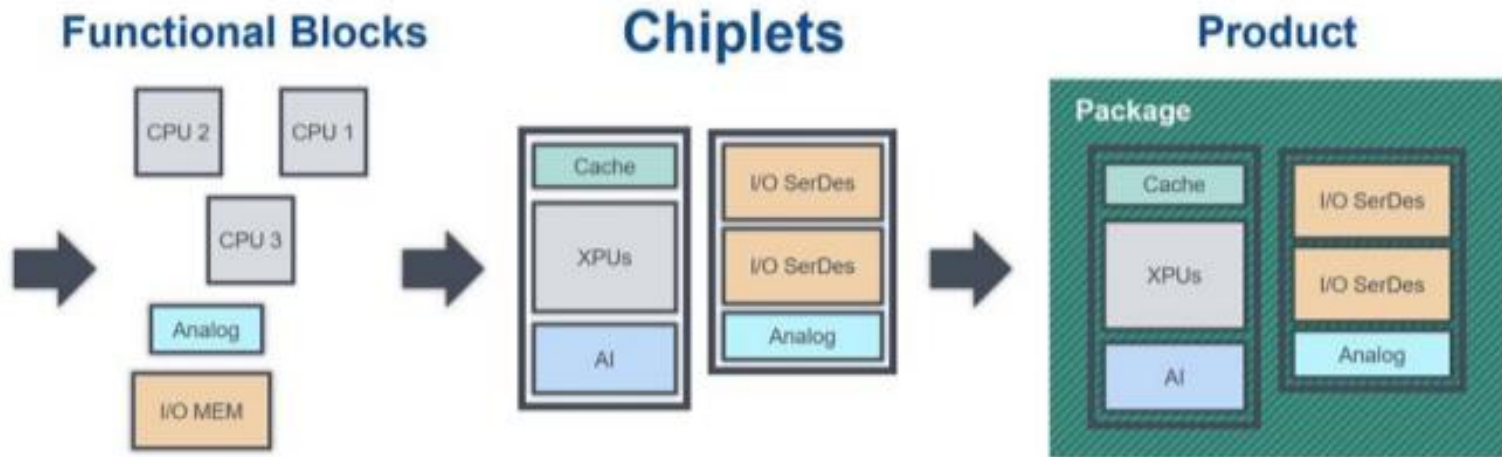
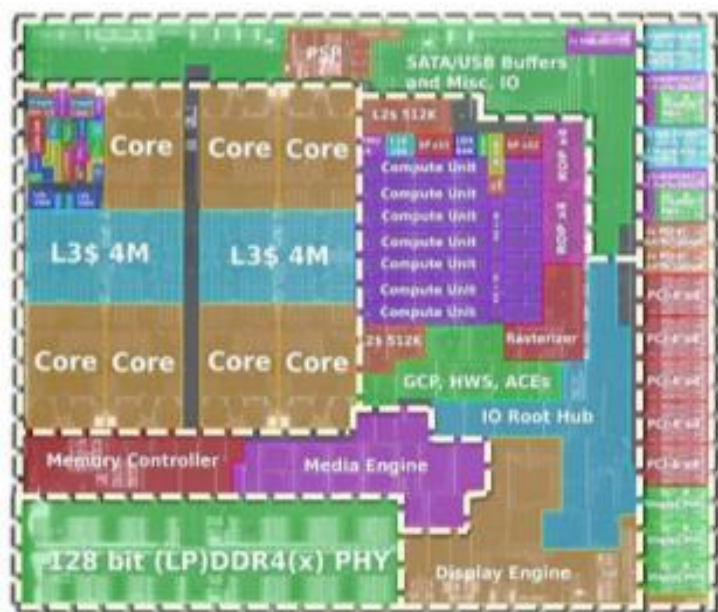
自动驾驶等级划分



## 5.4应用：高效节能芯片需求带动高性能计算领域先进封装加速渗透

- ◆ 电源、性能、成本间找到最终优化平衡成为高性能芯片新要求，先进封为其实现提供技术支撑。随着半导体工艺节点向7nm及以下发展速度减慢，集成电路行业逐渐走进后摩尔时代。在高性能计算领域，技术创新对高效节能芯片要求强烈。目前，系统级封装SiP已经成为高性能计算领域主流封装解决方案。其中，Chiplet封装概念及2.5D/3D封装已快速兴起并成为高性能计算应用技术趋势。

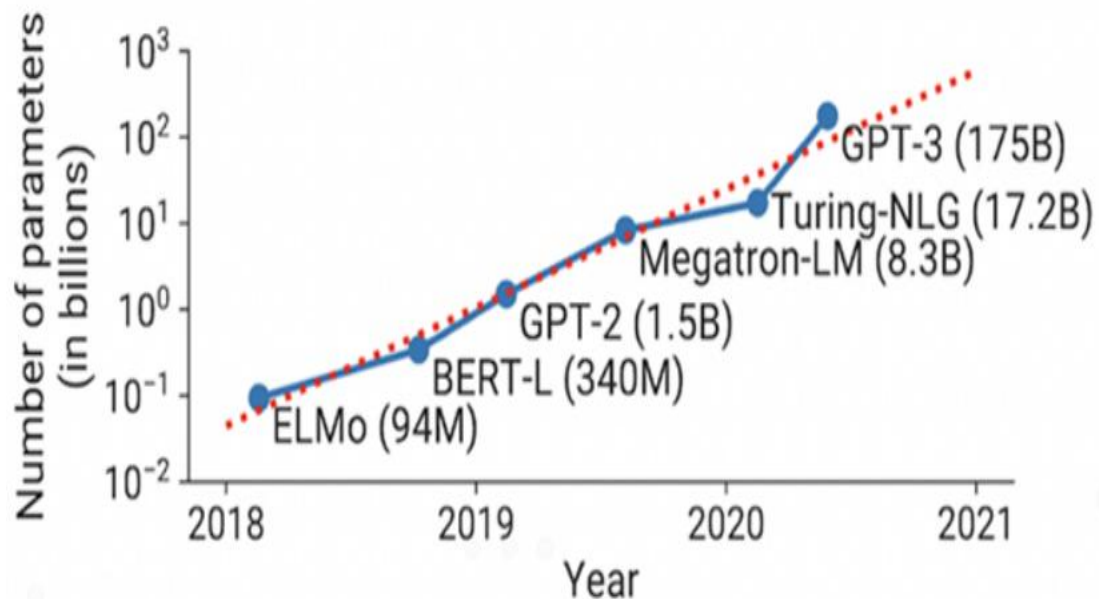
适用于小芯片的异构集成平台



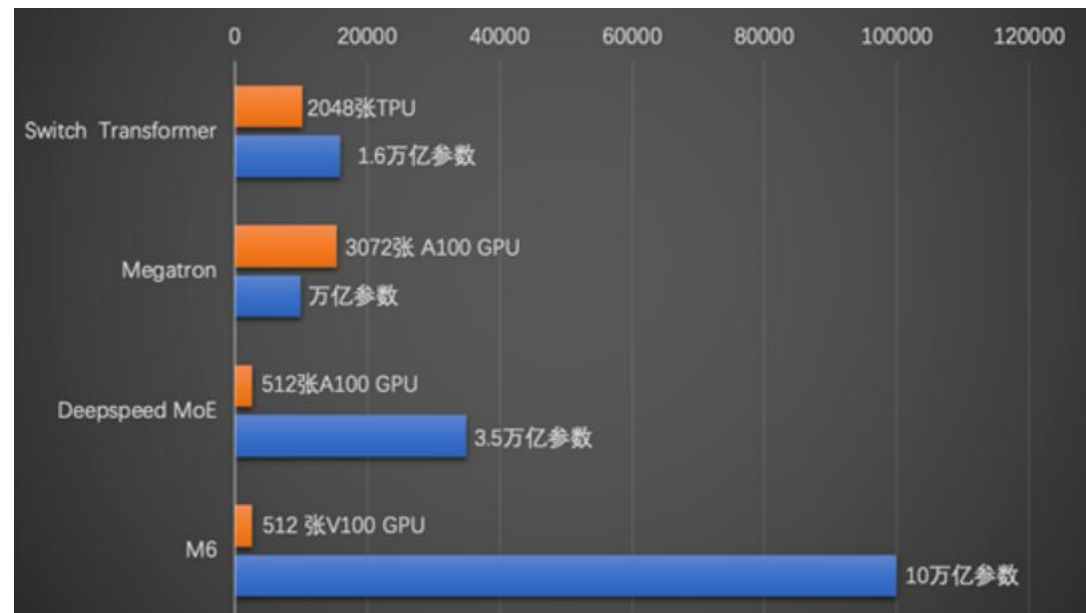
## 5.4应用：算力为实现AI产业化核心，高端芯片需求带动先进封装增长

- ◆ 算力是实现AI产业化核心力量，其发展将对人工智能技术进步及应用起到决定性作用。随着人工智能向多场景化、规模化、融合化等高应用阶段方向发展，数据体量呈现出急剧增长态势，算法模型的参数量呈指数级增加，以加速计算为核心的算力中心规模将不断扩大。从GPT-1到GPT-3，大模型的参数量从1.1亿激增到1750亿个，GPT-4则达到了万亿级别。如今边缘端可部署大模型参数量一般在10亿级别，并有望迅速突破百亿级别。庞大参数量将对芯片内存及带宽提出更高要求，带动先进封装应用市场发展。

各模型推出时间参数量

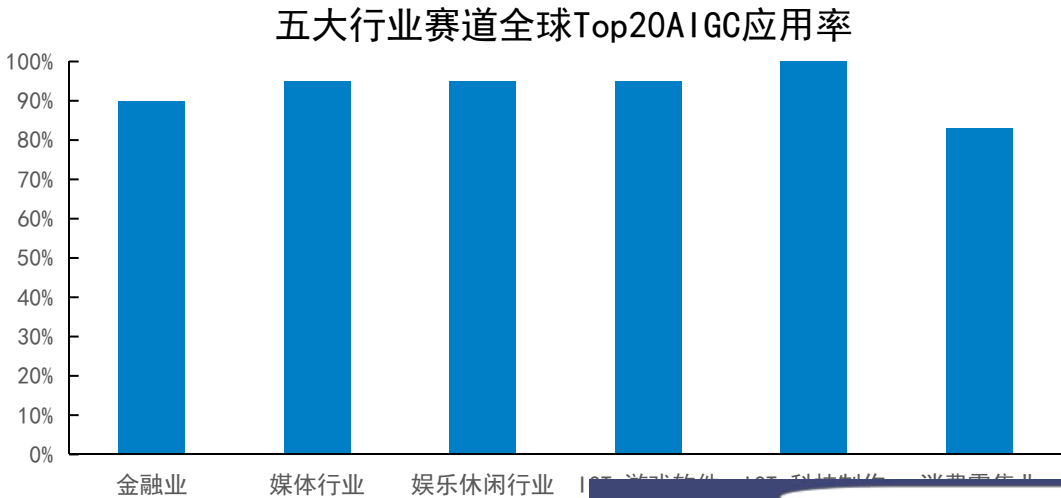


大模型训练需求对比



5. 4应用：AIGC多行业渗透，间接提高先进封装市场增量

◆ AIGC技术驱动高度依赖模型算力与具体场景信息数据产量。从行业层面分析，AIGC在不同行业之间潜在应用率与行业自身数字化水平高度相关。根据中国MGI行业数字化指数，数字化水平全行业前五为信息与通讯技术、媒体行业、金融保险业、休闲娱乐业及零售业。根据增长黑盒数据，在应用率方面，五大行业AIGC应用率均值高达88%，其中，ICT行业AIGC应用率最高，Top20企业应用率超95%，而消费零售业相对较低，Top20应用率85%；在职能场景应用方面，五大行业中Top20企业在产品研发生产方面的AIGC应用率最高，均值69%；而人力资源领域均值应用率仅有9%，其中消费零售行业贡献40%。

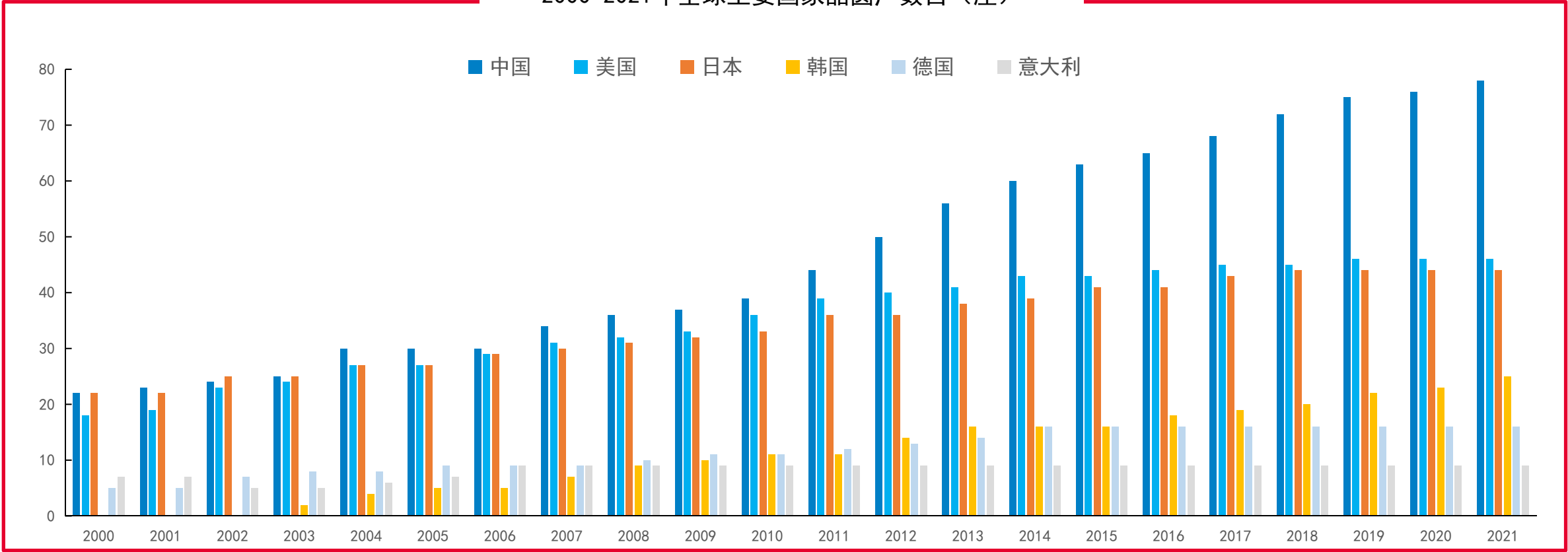


|       | 信息与通讯技术                                               | 媒体行业                      | 金融保险业                         | 休闲娱乐业                                 | 零售业                         |
|-------|-------------------------------------------------------|---------------------------|-------------------------------|---------------------------------------|-----------------------------|
| 营销&销售 | 电商营销、信息流广告投放、直播u营销、内容营销、社交媒体营销、客户服务                   | 内容营销、社媒营销、内容合规性审查、信息流广告投放 | 产品推广、客户服务、社交媒体营销、内容合规性审查      | 内容营销、社媒营销、内容合规性审查、信息流广告投放、线下场景营销、会员营销 | 产品营销、内容营销、广告合规性审查、内容策划、线下营销 |
| 财务&法务 | 财务报表编制分析、税务筹划与申报、AI内容合规性监测、合同管理(合同生成、合同归档)            |                           |                               |                                       |                             |
| 人力资源  | AI招聘管理(招聘信息生成、简历筛选、AI面试)、AI培训管理、员工绩效与数据分析管理、员工信息数据库整合 |                           |                               |                                       |                             |
| 研发生产  | 辅助代码开发(基础代码设计、代码扩写、代码审计)、硬件开发(芯片设计、系统集成)、数据标注         | 新闻内容生产、媒体平台与应用开发          | 金融产品开发(信用卡、贷款、保险、投资)、金融科技工具开发 | 娱乐内容制作、互联网平台开发                        | 产品设计研发、供应链管理、生产流程优化、产品质量管理  |

# 5.5需求：中国晶圆厂独占鳌头，预计至2024年底建立50座大型晶圆厂

◆ **中国晶圆厂数目独占鳌头，韩国系后起之秀。**根据电子工程专辑数据，截至2021年底中国（包含中国台湾）晶圆厂数目为78座，成为世界上拥有最多晶圆厂国家，美国（46）、日本（44）分别排名第二、第三。近年来韩国加大集成电路投资规模，2014年超过德国成为世界第四大晶圆制造国家，截至2021年底韩国拥有25座晶圆厂，后发动力不可小觑。根据SEMI数据，预计至2024年底，中国将新建立50座大型晶圆厂，其中中国台湾预计投入19座。

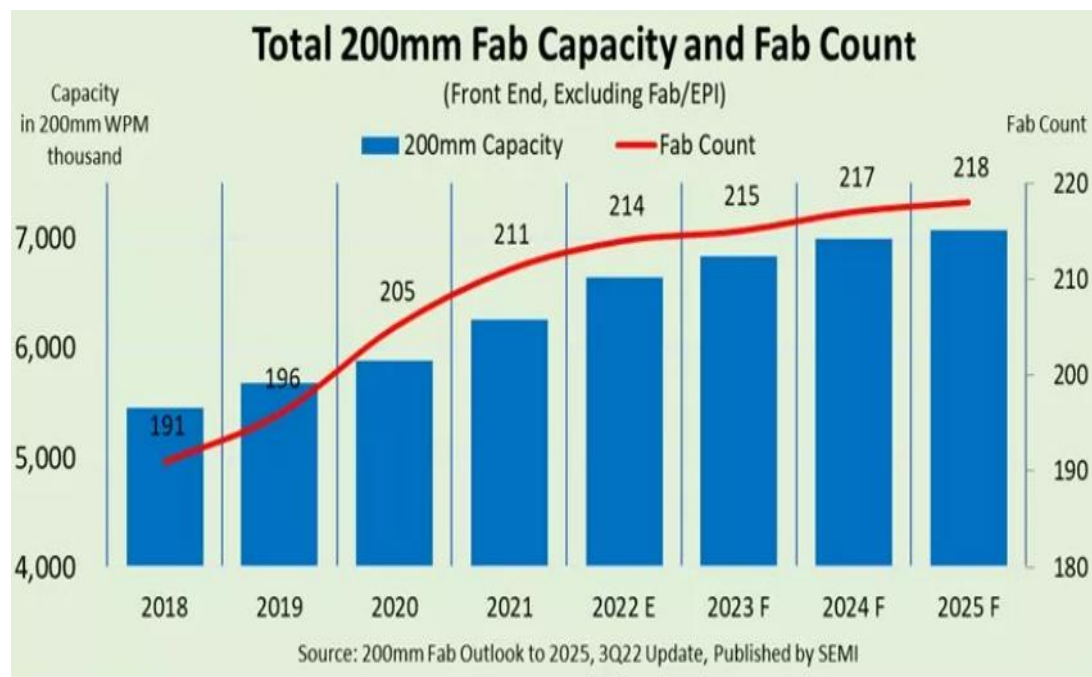
2000-2021年全球主要国家晶圆厂数目（座）



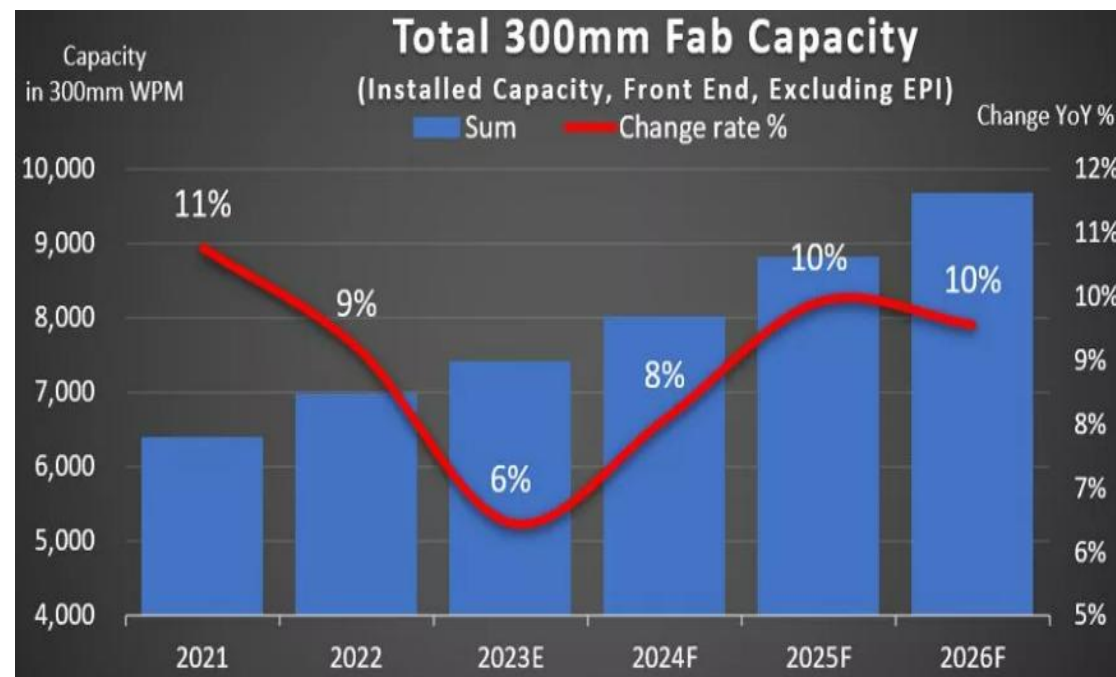
## 5.5需求：全球8寸、12寸晶圆产能有望持续提升，直接带动封装需求

- ◆ 全球8寸、12寸晶圆产能有望持续提升，带动封装需求。根据SEMI数据，2026年全球300mm晶圆厂产能有望提高至960万片/月，受限于美国出口管制，中国大陆将持续投资于成熟制程，以引领300mm晶圆厂产能，且中国大陆在全球份额有望从2022年的22%增加到2026年的25%，晶圆产能达240万片/月；全球半导体制造商预计将从2021年到2025年将200mm晶圆厂产能提高20%，新增13条200mm生产线，产能有望超700万片/月，到2025年，中国大陆将以66%增速在200mm产能扩张方面领先世界。

2018-2025F全球200mm晶圆产能（万片/月）



2021-2026F全球300mm晶圆产能（万片/月）



## 5.5需求：Fabless纵向拓展封测领域，有望带动先进封装多元发展

| 股票代码       | 公司名称 | 模式         | 说明                                                                                     |
|------------|------|------------|----------------------------------------------------------------------------------------|
| 688052. SH | 纳芯微  | 设计+少量封测    | 公司购置大量定制化测试设备，其中多数定制化测试设备放置在委外封测厂商进行芯片测试，少量测试设备用于公司自建集成式压力传感器芯片测试标定线                   |
| 688061. SH | 灿瑞科技 | 设计+封测      | 对封装测试服务进行前瞻性战略布局和产能建设储备。根据公司未来发展战略，对封装测试业务将采取逐步投入、紧跟芯片产品布局规划安排，在优先满足内部封测需求后，适量承接外部封测业务 |
| 688153. SH | 唯捷创芯 | 设计+子公司布局封测 | 测试环节根据公司产品类型和产能规划等因素选择由外部供应商或者唯捷精测（子公司）完成                                              |
| 688209. SH | 英集芯  | 设计+部分测试    | 公司自身仅从事部分芯片测试工作                                                                        |
| 688270. SH | 臻镭科技 | 设计+子公司布局封测 | 子公司主要从事高可靠性射频微系统（含微波组件）和氮化镓器件等产品的工艺开发、流片代工以及特种封装业务等，系公司供应商                             |
| 688286. SH | 敏芯股份 | 设计+部分测试    | 公司专注于MEMS传感器研发与设计，并从事部分晶圆测试和成品测试等生产工序，晶圆制造和封装等主要生产环节由专业的晶圆制造和封装厂商完成。                   |
| 688699. SH | 明微电子 | 设计+封测      | 目前公司拥有两个封装测试厂山东贞明和铜陵碁明，积累了多年研发生产经验，满足公司产品不同种类封测产能的要求，提升公司应对市场新品需求的响应速度，加快新品发布时间        |
| 300782. SZ | 卓胜微  | Fab-Lite   | 通过自建滤波器产线，使公司拥有芯片设计、工艺制造和封装测试全产业链能力                                                    |
| 688525. SH | 佰维存储 | 设计+封测      | 公司自建封测厂，以满足自身 NAND 与 DRAM 存储芯片及模组的封测制造需求，并利用富余产能对外承接存储器与 SiP 封测业务。                     |
| 688728. SH | 格科微  | Fab-Lite   | 通过自有 Fab 产线基础，把整个产品从设计，研发，制造，测试，销售全环节打通，在当前半导体整体产能紧缺的情况下极高的提升了自身的产品竞争力                 |
| 605111. SH | 新洁能  | 设计+封测      | 子公司电基集成T0-247、T0-247PLUS封装生产线顺利通线投产，并完成了T0-247封装生产线扩产；子公司金兰半导体第一条IGBT模块封装测试生产线已经基本购建完成 |
| 688711. SH | 宏微科技 | 设计+封测      | 公司模块采用自产模式，通过自有生产线对功率半导体芯片进行模块化封装与测试，最终形成功率模块                                          |
| 300661. SZ | 圣邦股份 | 设计+子公司布局封测 | 拟与江阴高新技术产业开发区管理委员会签署《投资协议》，在江阴高新技术产业开发区内投资设立全资子公司作为项目实施主体，建设集成电路设计及测试项目                |
| 688798. SH | 艾为电子 | 设计+子公司布局封测 | 募集7.3亿元用于电子工程测试中心建设项目。拟购置各类测试设备，建设自有工程测试中心，开展可靠性测试、失效性分析等                              |

5.5需求：各大封测厂积极扩产，为新一轮应用需求增长做好准备

| 公司名称 | 募投计划                       | 说明                                                                                       |
|------|----------------------------|------------------------------------------------------------------------------------------|
| 长电科技 | 年产36亿颗高密度集成电路及系统级封装模块项目    | 本项目建成后将形成通信用高密度集成电路及模块封装年产36亿块DSmBGA、BGA、LGA、QFN 等产品的生产能力。                               |
|      | 年产100亿块通信用高密度混合集成电路及模块封装项目 | 本项目建成后将形成通信用高密度混合集成电路及模块封装年产100亿块DFN、OFN、FC、BGA 等产品的生产能力。                                |
| 气派科技 | 高密度大矩阵小型化先进集成电路封装测试扩产项目    | 项目建成后，将新增封装测试产能 16.1 亿只/年；本项目计划总投资额为43,716.76 万元（含税），其中设备购置及安装支出38,033.63万元、软件购置571.78万元 |
|      | 研发中心（扩建）建设项目               | 本项目建设内容为公司研发中心的升级扩建，计划总投资额为 4,876.17 万元（含税），其中设备和软件投资2,555.27万元                          |
| 甬矽电子 | 高密度 SiP 射频模块封测项目           | 本项目完全达产后，每月将新增14,500万颗SiP射频模块封测产能，公司系统级封装制程能力将进一步增强                                      |
| 汇成股份 | 12吋显示驱动芯片封测扩能项目            | 公司利用现有厂区，在现有技术及工艺的基础上进行的产能扩充。项目达产后，公司 12 吋晶圆金凸块制造、晶圆测试、玻璃覆晶封装与薄膜覆晶封装产能将大幅提升。             |
|      | 研发中心建设项目                   | 本项目总投资8,980.84万元，其中设备购置费6,892.20万元，项目针对凸块结构优化、测试效率提升、倒装技术键合品质、CMOS图像传感器封装工艺等加大研发投入       |
| 通富微电 | 存储器芯片封装测试生产线建设项目           | 本项目建成后，年新增存储器芯片封装测试生产能力1.44亿颗，其中wBGA（DDR）1.08 亿颗、BGA（LPDDR）0.36亿颗。                       |
|      | 高性能计算产品封装测试产业化项目           | 本项目建成后，年新增封装测试高性能产品32,160万块的生产能力，其中FCCSP系列30,000万块，FCBGA系列2,160万块。                       |
|      | 5G 等新一代通信用产品封装测试项目         | 本项目建成后，年新增5G等新一代通信用产品241,200万块的生产能力，其中FCLGA系列129,000万块，QFN系列64,200万块，QFP系列48,000万块。      |
|      | 圆片级封装类产品扩产项目               | 本项目计划总投资97,868.00万元，其中设备购置等投入89,444.00万元。建成后，年新增集成电路封装产能 78 万片                           |
|      | 功率器件封装测试扩产项目               | 本项目建成后，年新增功率器件封装测试产能144,960万块的生产能力，其中 PDFN系列124,200万块，T0系列20,760万块。                      |
| 华天科技 | 集成电路多芯片封装扩大规模项目            | 本项目总投资115,800.00万元，其中，厂房建设及设备购置等投入112,801.15万元。建成后，将形成年产 MCM（MCP）系列集成电路封装测试产品18亿只的生产能力   |
|      | 高密度系统级集成电路封装测试扩大规模项目       | 本项目总投资115,038.00 万元，其中，设备购置等投入111,483.17万元。建成达产后，将形成年产 SiP 系列集成电路封装测试产品15亿只的生产能力         |
|      | TSV 及 FC 集成电路封测产业化项目       | 本项目总投资98,320.00万元，其中设备购置等投入96,314.58万元。达产后，将形成年产晶圆级集成电路封装测试产品33.60万片、FC系列产品4.8亿只生产能力     |
|      | 存储及射频类集成电路封测产业化项目          | 本项目总投资150,640.00万元，其中，设备购置等投入146,457.59万元。建成达产后，将形成年产BGA、LGA系列集成电路封装测试产品13亿只生产能力         |

01

先进封装：打破IC发展限制，向高密度封装时代迈进

02

技术分析：横向连接/纵向堆叠奠定先进封装技术基石

03

产业链：材料与设备任重道远，先进封装粲然可观

04

行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺

05

应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求

06

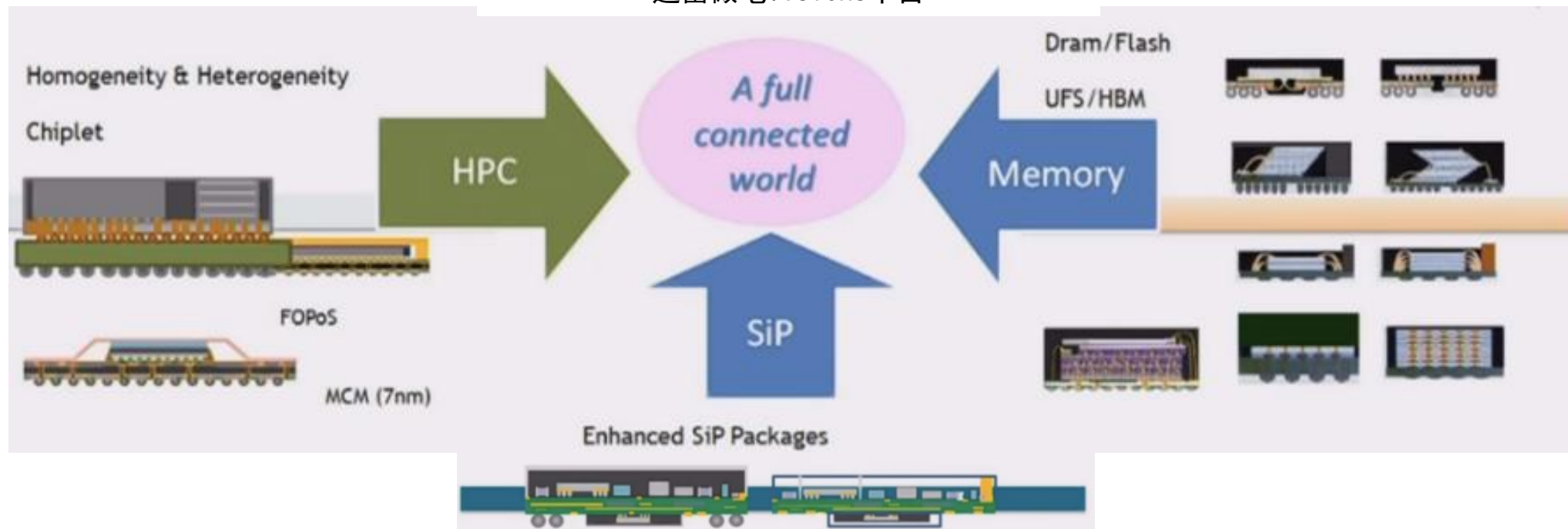
相关标的

- 6.1 通富微电：AMD深度绑定，先进封装前景可期
- 6.2 长电科技：全球领先的集成电路制造和技术服务提供商
- 6.3 华天科技：以3D Matrix平台为基础，构建先进封装技术地基
- 6.4 芯原股份：全球领先的IP授权服务商
- 6.5 北方华创：多设备应用于先进封装领域
- 6.6 华峰测控：产品+技术+客户三大优势，巩固国内测试机龙头地位
- 6.7 鼎龙股份：CMP+先进封装材料双布局
- 6.8 华海诚科：聚焦于封装材料，部分先进封装材料已通过客户验证
- 6.9 华封科技（未上市）：聚焦先进封装设备领域高端装备制造商

## 6.1 通富微电：AMD深度绑定，先进封装前景可期

- ◆ 公司是集成电路封装测试服务提供商，为全球客户提供设计仿真和封装测试一站式服务。公司产品、技术、服务全方位涵盖人工智能、高性能计算、大数据存储、显示驱动、5G等网络通讯、信息终端、消费终端、物联网、汽车电子、工业控制等领域。通过并购，公司与 AMD 形成了“合资+合作”的强强联合模式，建立了紧密的战略合作伙伴关系，双方在客户资源、IP 和技术组合上具有高度互补性，有利于 AMD 在 5G、数据中心和汽车市场上进一步迈进。公司是AMD最大封装测试供应商，占其订单总数80%以上，未来随着大客户资源整合渐入佳境，产生协同效应将带动整个产业链持续受益。

通富微电VISIONS平台



## 6.1 通富微电：半导体封测领先厂商，先进封装前景可期

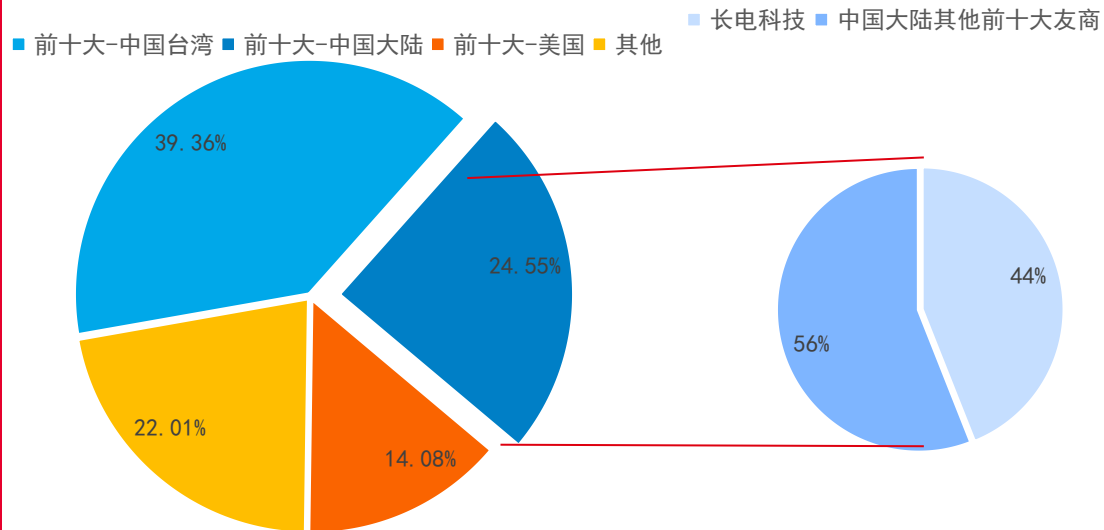
- ◆ 公司先后在江苏南通崇川、南通苏通科技产业园、安徽合肥、福建厦门建厂布局；通过收购AMD苏州及AMD槟城各85%股权，在江苏苏州、马来西亚槟城拥有生产基地；2021年，公司新增第七个封测基地——通富通科，位于南通市北高新区；2022年上半年，通富通科一期约2万平米的改造厂房投入使用，二期约3.4万平米的厂房机电安装改造完成并顺利投产；2022年6月14日，通富超威槟城启动新厂房建设仪式，新厂房占地约85亩，预计2023年竣工投入使用。目前，公司在南通拥有3个生产基地，同时，在苏州、槟城、合肥、厦门也积极进行生产布局，产能方面已形成多点开花的局面。

| 总部<br>江苏南通崇川工厂                                                                                                                                      | 南通苏州（AMD）                                                                                                                                                                                                   | 南通通科                                                                                                                                                      | 安徽合肥                                                                                                                                                                               | 江苏苏州                                                                                                                                 | 福建厦门                                                                                                                                     | 马来西亚槟城（AMD）                                                                                                                          |
|-----------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------|
|                                                                    |                                                                                                                           |                                                                        |                                                                                                |                                                  |                                                      |                                                  |
| <ul style="list-style-type: none"><li>-Gold bumping</li><li>-Bumping/Fan in</li><li>-QFN/QFP</li><li>-LPC/Power</li><li>-CP/Test services</li></ul> | <ul style="list-style-type: none"><li>-WBLGA, WBBGBA, PGBA, QFN</li><li>-Memory (Flash)</li><li>-FCBGA, FCLGA, FCCSP</li><li>-SiP</li><li>-Fan out/Fan in</li><li>-2.5D/3D</li><li>-Test services</li></ul> | <ul style="list-style-type: none"><li>-LQFP</li><li>-QFN</li><li>-Power</li><li>-SiP</li><li>-Memory</li><li>-2.5D/3D</li><li>-CP/Test services</li></ul> | <ul style="list-style-type: none"><li>-COG/COP/COF</li><li>-CP/Test services</li><li>-SOT23/SC70</li><li>-SOP/TSOP/QSOP</li><li>-DIP</li><li>-QFN</li><li>-Memory (DRAM)</li></ul> | <ul style="list-style-type: none"><li>-FCBGA</li><li>-CP/Test services</li><li>-FCLGA</li><li>-FCPGA</li><li>-Coreless BGA</li></ul> | <ul style="list-style-type: none"><li>-Gold bumping</li><li>-COG/CPF</li><li>-WLCSP</li><li>-Bumping</li><li>-CP/Test services</li></ul> | <ul style="list-style-type: none"><li>-FCBGA</li><li>-FCLGA</li><li>-Coreless BGA</li><li>-WLCSP</li><li>-CP/Test services</li></ul> |

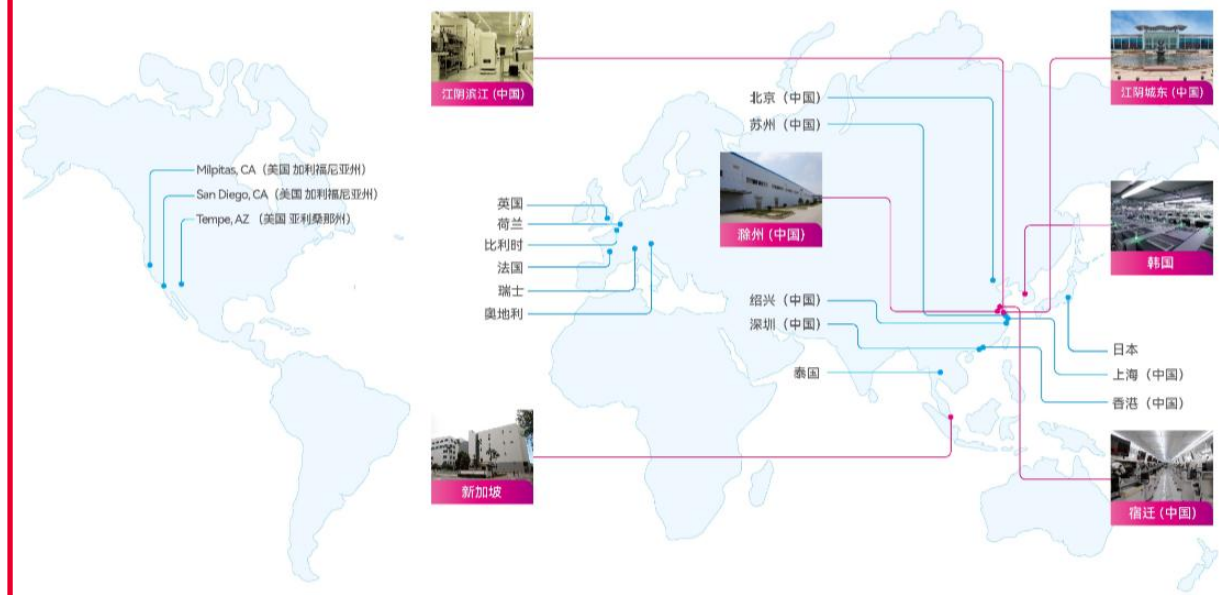
## 6.2 长电科技：全球领先的集成电路制造和技术服务提供商

- ◆ 长电科技是全球领先的集成电路制造和技术服务提供商，提供全方位的芯片成品制造一站式服务，包括集成电路的系统集成、设计仿真、技术开发、产品认证、晶圆中测、晶圆级中道封装测试、系统级封装测试、芯片成品测试并可向世界各地半导体客户提供直运服务。
- ◆ 长电科技在中国、韩国和新加坡设有六大生产基地和两大研发中心，在20多个国家和地区设有业务机构，可与全球客户进行紧密的技术合作并提供高效的产业链支持。

长电科技市占率

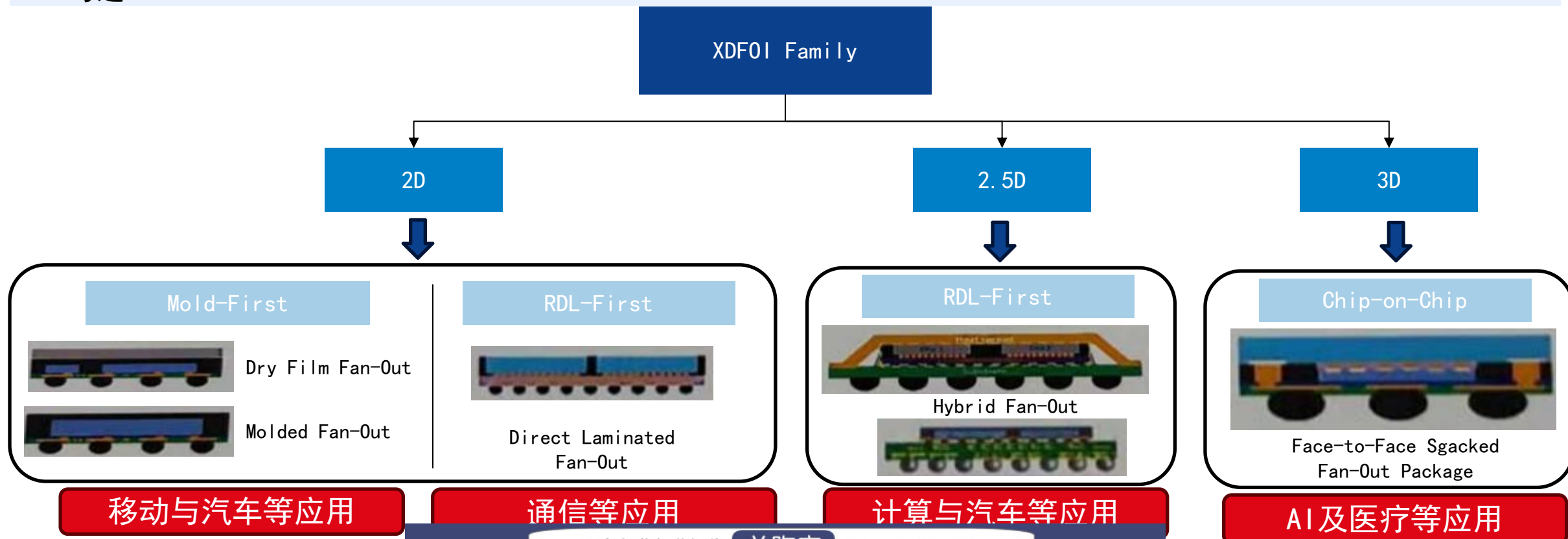


长电科技全球布局



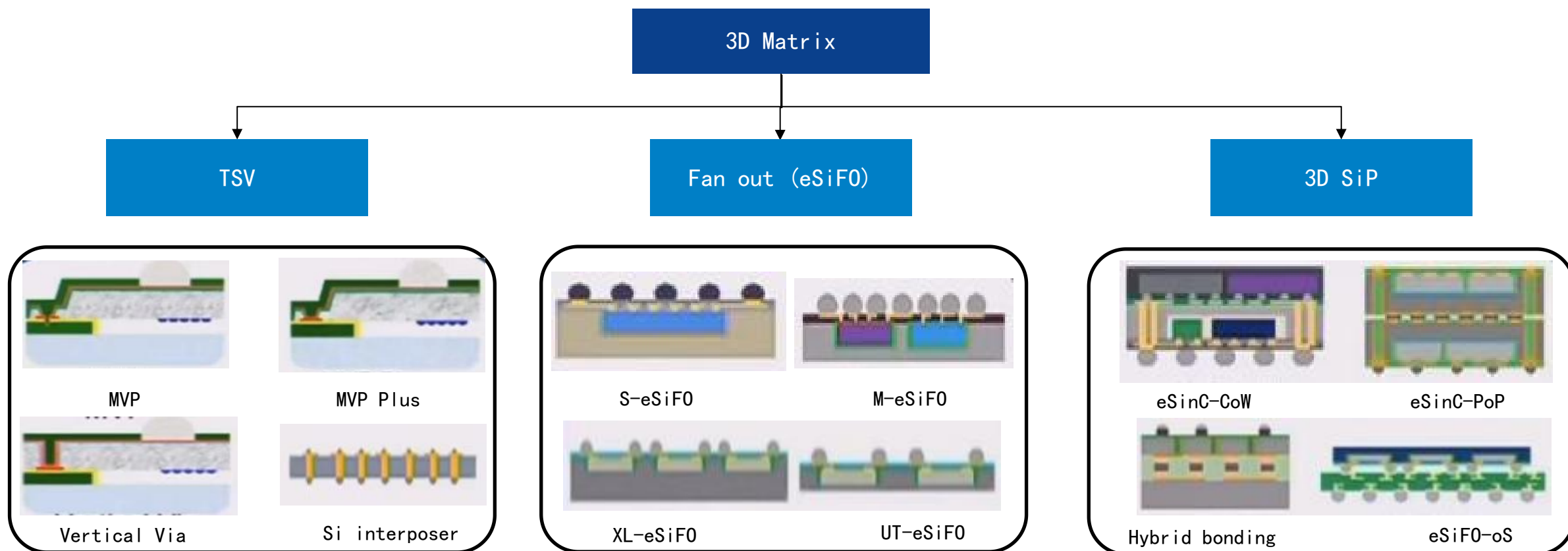
## 6.2 长电科技：全球领先的集成电路制造和技术服务提供商

- ◆ 应市场发展之需，长电科技推出XDF01多维先进封装平台，该平台是一种面向Chiplet极高密度、多扇外型封装高密度异构集成解决方案，其利用协同设计理念实现了芯片成品集成与测试一体化，涵盖2D、2.5D、3D集成技术，能够为客户提供从常规密度到极高密度，从极小尺寸到极大尺寸的一站式服务。其中XDF01-2.5D是一种新型TSV-less超高密度晶圆级封装技术，因此，其在系统成本、封装尺寸上都具有一定优势。在设计上，该技术可实现3-4层高密度的走线，其线宽/线距最小可达2um。



## 6.3 华天科技：以3D Matrix平台为基础，构建先进封装技术地基

- ◆ 在 Chiplet领域，公司现已具备由TSV、eSiFo、3D SiP构成最新先进封装技术平台——3D Matrix。其中晶圆级eSiFo主要应用于Fan-out封装，其优势包括翘曲小、应力低带来高可靠性，生产周期短、高集成度。公司基于eSiFo结合TSV技术，开发eSinC 技术。在eSiFo 技术基础上，可以通过TSV、Bumping 等晶圆级封装技术，实现3D SiP封装，为多芯片异质异构集成提供了可能性。目前Chiplet技术已经实现量产，主要应用于5G通信、医疗、物联网等领域。



## 6.3 华天科技：以3D Matrix平台为基础，构建先进封装技术地基

西安

2008成立  
70000m²净化车间



引线框架封装  
-QFN/DFN  
基板封装  
-FBGA/TFBGA/LFBGA  
-LGA  
-EHS-FBGA  
倒装芯片封装  
-FCDFN/FCQFN  
-FCBGA/HFCBGA  
-FCCSP/FCLGA  
-ED-FCCSP/HB-FCCSP  
系统级封装  
-SIP  
微机电系统及传感器  
-Metal Lid /LCP Lid  
-Customized Mold  
/Over Mold

天水

2003成立  
150000m²净化车间



-DIP/SKY/SIP/SSIP  
-SOP/ESOP/eHSOP  
-MSOP/eMSOP  
-SSOP/eSSOP  
-TO/SOT/TSOT  
-PQFP/LQFP/eLQFP/  
TQFP  
-VSOP/SOM  
-TSSOP/eTSSOP/  
TSOP  
-SOW/SSOW

昆山

2008成立  
50000m²净化车间



系统级封装  
-SIP  
凸块加工  
-Copper Pillar  
Bumping  
-Solder Bumping  
晶圆级封装  
-TSV  
-WLCSP  
-Fan-out  
-eSinC  
倒装芯片封装  
-FCDFN/FCQFN  
-FCSOT/FCTSOT  
微机电系统及传感器  
-Wafer Level

南京

2019成立  
80000m²净化车间



基板封装  
-FBGA/TFBGA /LFBGA  
-LGA  
-EHS-FBGA  
倒装芯片封装  
-FCBGA/HFCBGA  
-FCCSP/FCLGA  
-ED-FCCSP/HB-FCCCSP  
系统级封装  
-SIP  
微机电系统及传感器  
-Metal Lid/LCP Lid  
-Customized Mold /  
-Over Mold

上海纪元微科

1996成立



凸块加工  
-Solder Bumping  
-CP test

Unisem

1989成立  
27000m²净化车间



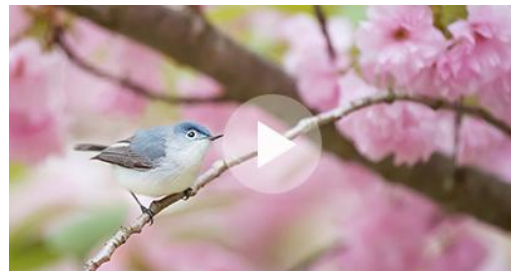
Array Packages  
-MCM/SIP, LGA, FC-  
LGA  
  
Lead frame Packages  
-SOIC, QSOP, SOT23,  
TSOT23, MSOP, TSSOP,  
SC70, Micro P  
  
Leadless Packages  
-SLP, FC-SLP,  
DFN/QFN, WLCSP  
  
Module SLP/LGA  
-MIS Package  
-Wafer Bumping

## 6.4 芯原股份：全球领先的IP授权服务商

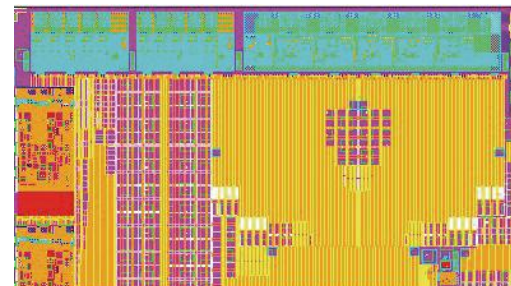
- ◆ 芯原股份是一家依托自主半导体IP，为客户提供平台化、全方位、一站式芯片定制服务和半导体IP授权服务的企业。业务范围覆盖消费电子、汽车电子、计算机及周边、工业、数据处理、物联网等行业应用领域。
- ◆ 拥有6类自主可控处理器IP（图形处理器IP、神经网络处理器IP、视频处理器IP、数字信号处理器IP、图像信号处理器IP和显示处理器IP）及1,500多个数模混合IP、射频IP及基础IP。



芯原可扩展的Vivante图形处理器IP设计可满足各种芯片尺寸和功耗预算，是具成本效益优质图形处理器解决方案



视频处理器（VPU）IP，适用于视频监控、多媒体消费产品、物联网、云服务产品、数据中心以及航拍及记录仪等领域。



已拥有超过1,500个的数模混合IP，包括SoC基础IP、数据接口IP、人机界面IP、电源管理IP、数字音频存储IP等



芯原Vivante显示处理器IP系列具备旋转、数据格式转换、HDR视频处理和高画质视频缩放等显示处理功能。



数字信号处理器（DSP）IP通过一系列的处理器内核，对算法层层优化，实现数据流的不断加速。



针对物联网应用领域开发了多款超低功耗的射频IP，支持包括BLE 5.0、NB-IoT、LoRa等协议



Vivante NPU IP可满足多种芯片尺寸和功耗预算，是具成本效益的优质神经网络加速引擎解决方案。



图像信号处理器（ISP）IP是功能完善ISP IP，为移动设备、视频会议、视频监控和汽车应用提供专业高质量像素处理



基础IP包括晶圆厂单元库（V.Libs）以及基于许可证的基础IP，覆盖各种晶圆厂的工艺和广泛的技术节点

## 6.4 芯原股份：全球领先的IP授权服务商

- ◆ 根据IPnest数据，2021年，从半导体IP销售收入角度，芯原是中国大陆排名第一、全球排名第七的半导体IP授权服务提供商；在全球排名前七的企业中，IP种类排名前二。芯原拥有先进芯片定制技术、丰富IP储备，延伸至软件和系统平台设计能力，以及长期服务各类客户经验积累，为系统厂商、互联网公司及云服务提供商首选芯片设计服务合作伙伴之一，服务公司包括三星、谷歌、亚马逊、百度、腾讯、阿里巴巴等国际领先企业。

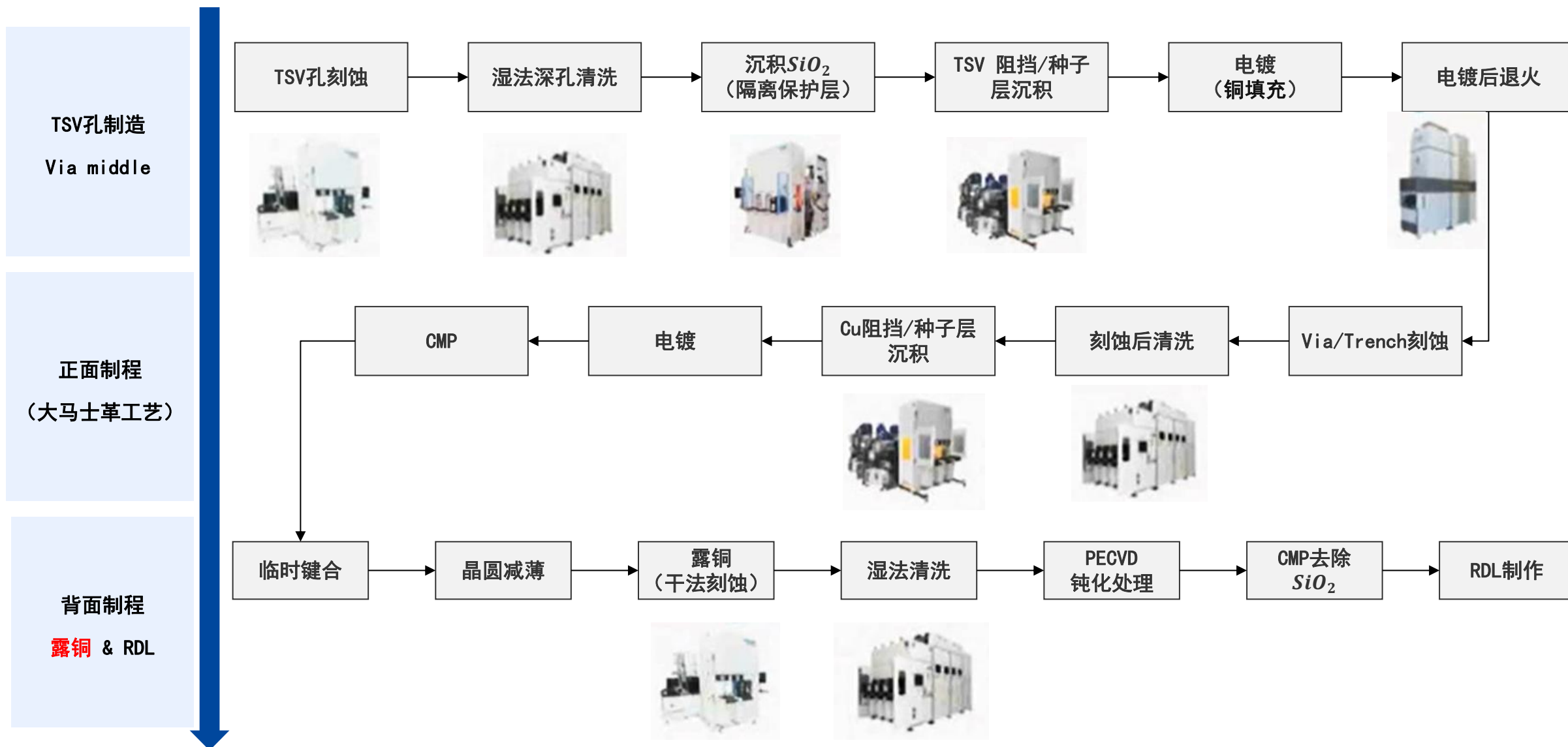
|            | ARM | 新思科技 | 铿腾电子 | SST | Imagination | CEVA | 芯原 |
|------------|-----|------|------|-----|-------------|------|----|
| 中央处理器      | √   | √    |      |     | √           |      |    |
| 数字信号处理器    |     | √    | √    |     |             | √    | √  |
| 图形处理器      | √   |      |      |     | √           |      | √  |
| 图像信号处理器    | √   |      |      |     | √           |      | √  |
| 接口模块       | √   | √    | √    |     |             |      | √  |
| 通用模拟IP     |     | √    | √    |     |             |      | √  |
| 基础库        | √   | √    | √    |     |             |      | √  |
| 嵌入式非挥发性存储器 |     | √    | √    | √   |             |      |    |
| 内存编译器      | √   | √    | √    |     |             |      | √  |
| 射频IP       | √   |      |      |     | √           | √    | √  |
| 周边IP       | √   | √    | √    |     |             |      | √  |

6.5 北方华创：多设备应用于先进封装领域

- ◆ 随着集成电路应用的多元化，5G/6G、AI、IoT、高性能运算等新兴应用领域的崛起，电子芯片产品向高效能、高带宽、低成本、低功耗及小面积快速发展，然而摩尔定律的推进速度不断放缓，促使先进封装技术向着系统集成、高速、高频、三维方向推进，成为半导体产业发展的新动力。
- ◆ 在先进封装领域，针对Flip chip Bumping、Fan-Out、WLCSP、2.5D/3D TSV等技术，北方华创为客户量身打造的刻蚀设备、沉积设备、炉管设备等已经实现了在主流先进封装企业的批量生产，并不断获得客户的重复采购订单。

| 产品系列                 | 晶圆尺寸    | 简介                                                                                                         |
|----------------------|---------|------------------------------------------------------------------------------------------------------------|
| 等离子刻蚀设备<br>Etcher    | 8-12 英寸 | 应用于 8-12 英寸先进封装的干法刻蚀机；<br>应用于 8-12 英寸先进封装领域表面去胶及表面活化等 Descum 工艺的等离子去胶机；                                    |
| 物理气相沉积设备PVD          | 8-12 英寸 | 3D 先进封装中硅通孔阻挡层、籽品层薄膜沉积工艺，可实现铜、达、银、铝等薄膜沉积；<br>先进封装 Fan-out、CIS、Gold Bump、Copper Pillar 等相关的 RDL、UBM 薄膜沉积工艺； |
| 化学气相沉积设备CVD          |         | Vertical LPCVD；                                                                                            |
| 氧化扩散设备<br>Oxide/Diff |         | 立式氧化炉/立式退火炉/立式合金炉                                                                                          |
| 清洗设备                 | 12英寸    | 单片清洗机广泛应用在 90nm-28nm 集成电路、先进封装、微机电系统领域；                                                                    |
| 原子层沉积设备<br>ALD       | 12英寸    | 应用于28-14nm FinFET、double pattern 和3D NAND 原子层沉积工艺；                                                         |

## 6.5 北方华创：多设备应用于先进封装领域



6.6 华峰测控：产品+技术+客户三大优势，巩固国内测试机龙头地位

◆ 华峰测控是一家专注于半导体自动化测试系统领域，少数进入国际封测市场供应商体系的中国半导体设备厂商，产品主要用于模拟及混合信号类集成电路测试，打破该领域长期被国外厂商垄断局面，实现模拟及混合信号类集成电路自动化测试系统进口替代。设计龙头企业陆续采用Fabless+自建封测产线模式（Fab-Lite）以增强自身竞争力，公司作为国内测试机领先企业，充分受益该产业模式趋势，同时，伴随消费终端缓慢复苏，公司也将呈现逐季改善趋势。

STS 8300平台应用领域

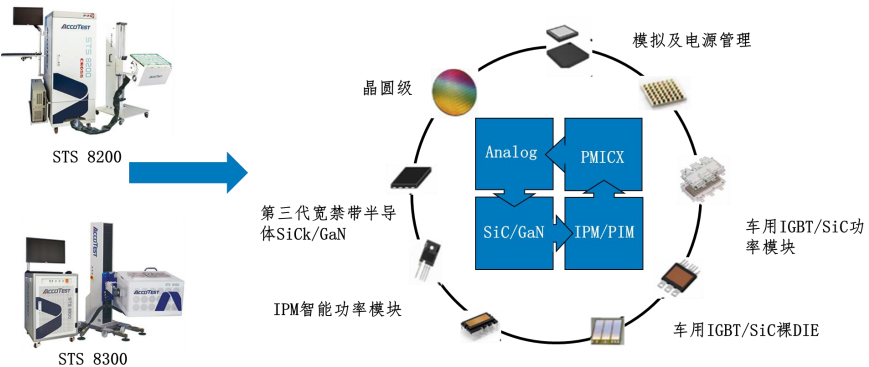


SoC芯片和Chiplet芯片测试对比

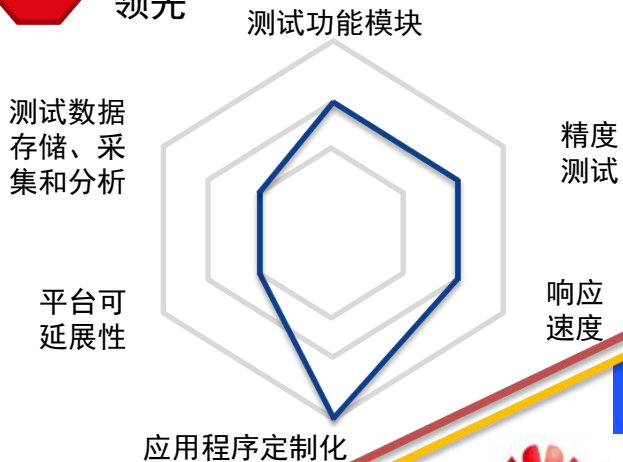
| 芯片类型      | 子模块       | 测试机            | 测试机需求（CP） | 测试机需求（FT） |
|-----------|-----------|----------------|-----------|-----------|
| SoC芯片     | 模拟、存储、数字等 | SoC测试机         | 以此为参照     | 以此为参照     |
|           | 数字        | SoC测试机         | 增加/持平/减少  | 持平        |
| Chiplet芯片 | 存储        | 存储器测试机、简单数字测试机 | 增加        |           |
|           | 模拟        | 模拟测试机          | 增加        |           |

6.6 华峰测控：产品+技术+客户三大优势，巩固国内测试机龙头地位

1 两大平台衍生多款产品覆盖多领域，覆盖模拟/混合、数字、分立器件、功率模块等领域



2 多指标与国际一流厂商持平，平台可延展性国际领先



注：从外到内分别为：  
国际领先、国际一流  
与国内领先

11大核心技术处于国内先进水平，部分参数对标国际厂商

1 11大核心技术源于  
自主研发

| 序号 | 技术名称                       | 技术来源 | 成熟程度 | 先进性    |
|----|----------------------------|------|------|--------|
| 1  | Per PIN V/I 源技术            | 自主研发 | 批量使用 | 国内先进水平 |
| 2  | 高精度 V/I 源钳位控制技术            | 自主研发 | 批量使用 | 国内先进水平 |
| 3  | 高可靠性高稳定性的浮动电源技术            | 自主研发 | 批量使用 | 国内先进水平 |
| 4  | 大功率浮动电源功率放大技术              | 自主研发 | 批量使用 | 国内先进水平 |
| 5  | 微小电压微弱电流精密测量技术             | 自主研发 | 批量使用 | 国内先进水平 |
| 6  | 高精度数字通道技术                  | 自主研发 | 批量使用 | 国内先进水平 |
| 7  | 多工位高精度微小电容并行测试技术           | 自主研发 | 批量使用 | 国内先进水平 |
| 8  | 高精度时间量测量技术                 | 自主研发 | 批量使用 | 国内先进水平 |
| 9  | 高精度高速运算放大器测试技术             | 自主研发 | 批量使用 | 国内先进水平 |
| 10 | 16bit ADC/DAC 的静态和动态参数测试技术 | 自主研发 | 批量使用 | 国内先进水平 |
| 11 | 智能功率模块交直流一站式测试技术           | 自主研发 | 批量使用 | 国内先进水平 |



客户优势



A rotrork Brand

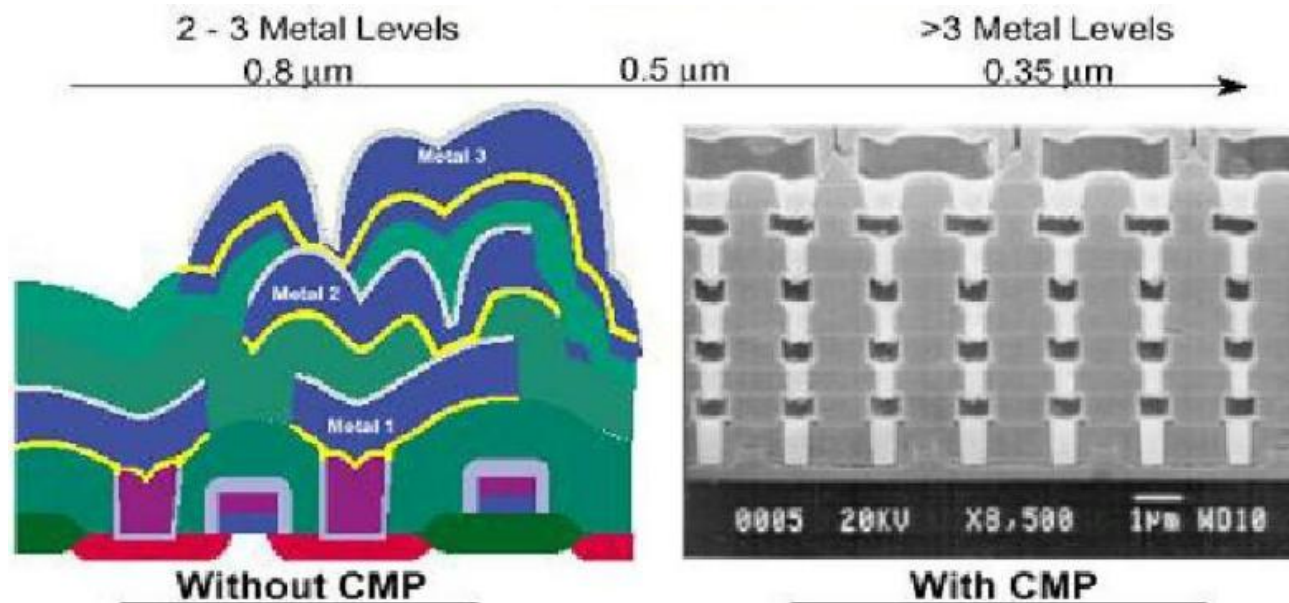


2 智能功率模块测试  
推出一站式动态和静态  
全参数测试系统  
打破国外垄断

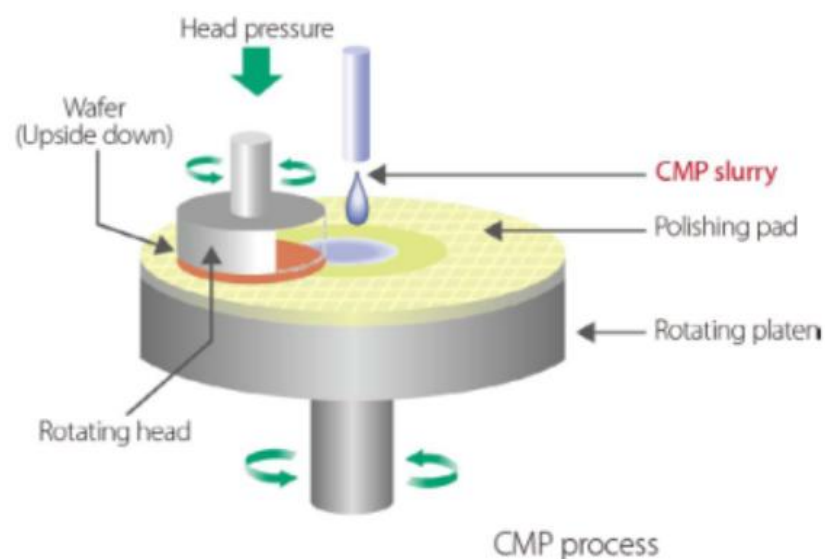
## 6.7 鼎龙股份：CMP+先进封装材料双布局

- ◆ 若未经平坦化处理，晶片起伏随着层数增多变得更为明显，同层金属薄膜由于厚度不均导致电阻值不同，引起电子迁移造成电路短路。起伏不平的晶片表面还会使得光刻时无法准确对焦，导致线宽控制失效，严重限制了布线层数，降低集成电路的使用性能。
- ◆ CMP 是通过纳米级粒子的物理研磨作用与抛光液的化学腐蚀作用的有机结合，对集成电路器件表面进行平滑处理，并使之高度平整的工艺技术。当前集成电路中主要是通过 CMP 工艺，对晶圆表面进行精度打磨，并可到达全局平整落差  $100\text{\AA}^\circ - 1000\text{\AA}^\circ$ （相当于原子级 $10\text{--}100\text{nm}$ ）超高平整度。

CMP前后对比



CMP工作原理



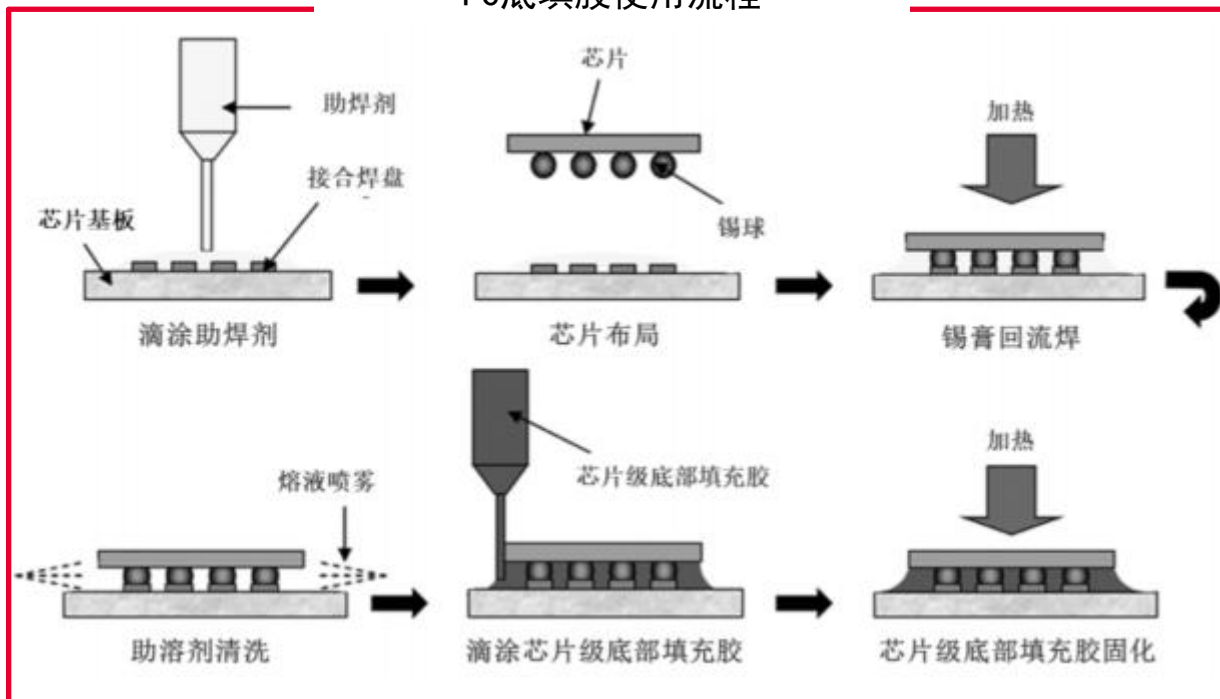
6.7 鼎龙股份：CMP+先进封装材料双布局

|              | 产品名称      | 图片                                                                                  | 简介                                                                                                                                             |
|--------------|-----------|-------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------|
| 半导体CMP制程工艺材料 | CMP抛光垫    |    | CMP抛光垫是CMP环节的核心耗材之一，主要作用是储存和运输抛光液、去除磨屑和维持稳定的抛光环境等                                                                                              |
|              | CMP抛光液    |    | CMP抛光液是研磨材料和化学添加剂的混合物，在化学机械抛光过程中可使晶圆表面产生一层氧化膜，再由抛光液中的磨粒去除，达到抛光的目的。                                                                             |
|              | 清洗液       |    | 清洗液主要用于去除残留在晶圆表面的微尘颗粒、有机物、无机物、金属离子、氧化物等杂质，满足集成电路制造对清洁度的极高要求，对晶圆生产的良率起到了重要的作用。                                                                  |
| 半导体先进封装材料    | 临时键合胶TBA  |   | 临时键合胶作为超薄晶圆减薄、拿持的核心材料，可将器件晶圆临时固定在承载载体上，从而为超薄器件晶圆提供足够的机械支撑，防止器件晶圆在后续工艺制程中发生翘曲和破片，最后临时键合胶可通过光、热和力等解键合方式完成超薄晶圆的释放。临时键合胶在先进封装中的应用领域主要是 2.5D/3D 封装。 |
|              | 封装光刻胶PSPI |  | 封装光刻胶PSPI是一种光敏性聚酰亚胺材料，兼具光刻胶的图案化和树脂薄膜的应力缓冲、介电层等功能，主要应用于晶圆级封装（WLP）中的RDL（再布线）工艺中，使用时先涂覆在晶圆表面，再经过曝光显影、固化等工艺，可得到图案化的薄膜。                             |

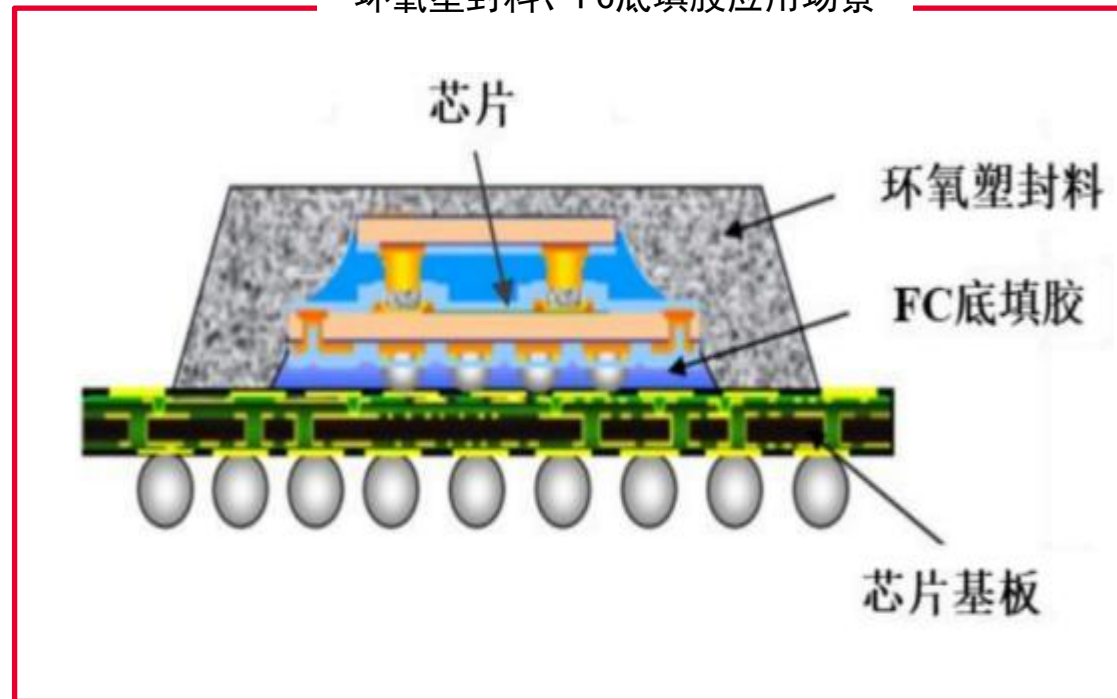
## 6.8 华海诚科：聚焦于封装材料，部分先进封装材料已通过客户验证

- ◆ 专注于半导体封装材料的研发及产业化，专注于半导体封装材料的研发及产业化，掌握了高可靠性技术、翘曲度控制技术、高导热技术、高性能胶黏剂底部填充技术等一系列核心技术，可应用于各类传统封装与先进封装。
- ◆ 优质的客户资源是公司进一步发展的重要保障，与国内主要半导体厂商建立长期稳定合作关系。公司是长电科技、华天科技、气派科技、银河微电、晶导微、虹扬科技、四川利普芯以及重庆平伟的第一大内资环氧塑封料供应商，且上述多家厂商均于近期纷纷宣布扩产计划。

FC底填胶使用流程



环氧塑封料、FC底填胶应用场景



6.8 华海诚科：聚焦于封装材料，部分先进封装材料已通过客户验证

- ◆ 在先进封装领域，公司研发了应用于 QFN、BGA、FC、SiP 以及FOWLP/FOPLP等封装形式封装材料，根据公司招股说明书，其中应用于QFN产品已实现小批量生产与销售，**颗粒状环氧塑封料（GMC）**以及FC底填胶等应用于先进封装的材料已通过客户验证，**液态塑封材料（LMC）**正在客户验证过程中，应用于先进封装的产品有望逐步实现产业化并打破外资厂商垄断地位。
- ◆ 芯片级底部填充胶主要应用于FC领域，前该市场仍主要为日本纳美仕、日立化成等外资厂商垄断，公司FC底填胶已通过星科金朋考核验证，在内资厂商中处于领先水平。

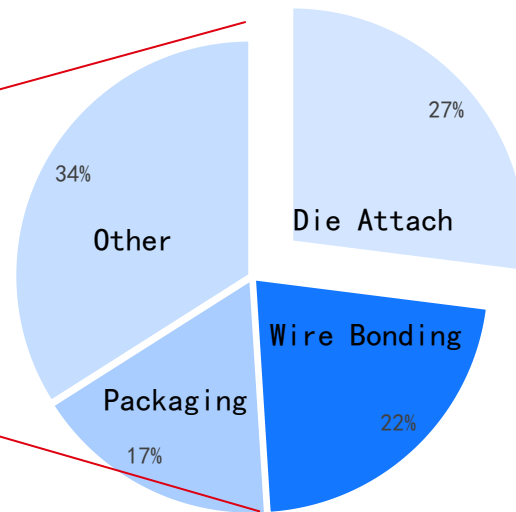
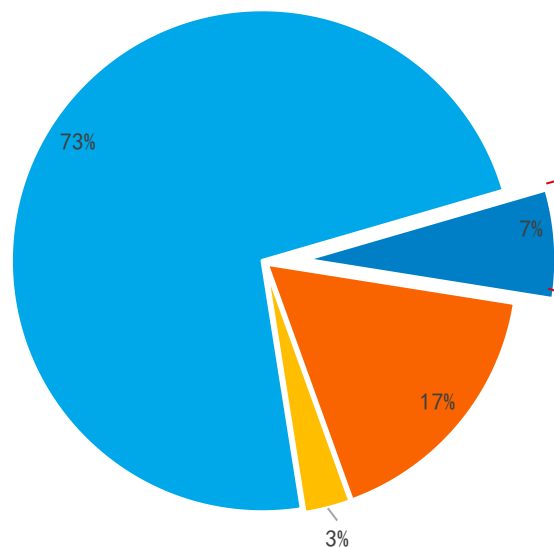
| 环氧塑封料产品应用类型   | 封装技术类型 | 国外品牌产品               | 国内品牌产品                       | 华海诚科产品类型   |
|---------------|--------|----------------------|------------------------------|------------|
| DO/DIP/SMX/桥块 | 传统封装   | 已基本退出                | 主导地位                         | 基础类环氧塑封料   |
| T0            | 传统封装   | 基本相当                 | 基本相当                         | 基础类环氧塑封料   |
| SOT/SOP/SOD   | 传统封装   | 主导地位，在高电压应用等细分领域较为领先 | 近年来发展迅速，在常规应用领域基本已经可替代外资品牌产品 | 高性能类环氧塑封料  |
| QFN、BGA       | 先进封装   | 垄断地位                 | 少量销售                         | 先进封装类环氧塑封料 |
| MUF/FOWLP     | 先进封装   | 垄断地位                 | 尚处于布局阶段                      | 先进封装类环氧塑封料 |

## 6.9 华封科技（未上市）：聚焦先进封装设备领域高端装备制造

- ◆ 华封科技定位在半导体先进封装领域，针对半导体后道工序提供全新一代半导体装嵌及封装设备，如倒装贴片机、晶圆级贴片机、POP封装机、层叠半贴片机、面板级贴片机、多晶片贴片机等。集团公司产品对先进封装贴片工艺实现了全面覆盖，包括FOWLP、POP、MCM、EMCP、Stack Die、SIP、2.5D/3D、FCCSP、FCBGA等。服务客户有台积电、日月光集团、矽品、长电科技、通富微电、DeeTee等。

2021年全球半导体设备占比（%）

■ 前段设备 ■ 封装设备 ■ 测试设备 ■ 其他设备



2021年贴片设备市场规模约19亿美元

华封科技主要市场为中国大陆和中国台湾

## 6.9 华封科技（未上市）：聚焦先进封装设备领域高端装备制造

- ◆ 模块化机台，改变模组适用不同厂商工艺迭代。不同应用场景下，尺寸、能效、材料等多个方面对先进封装技术提出更高要求，故封装设备迎来除了更高精度、更快速度、高稳定性，还要面对更多元的生产工艺。



2060W-晶圆级封装贴片机

- 精度  $\pm 5\mu\text{m}$
- 高精度模式 $\pm 3\mu\text{m}$
- UPH11500（制程决定）



2060P-倒装晶片封装贴片机

- 精度  $\pm 5\mu\text{m}$
- UPH 8000（制程决定）



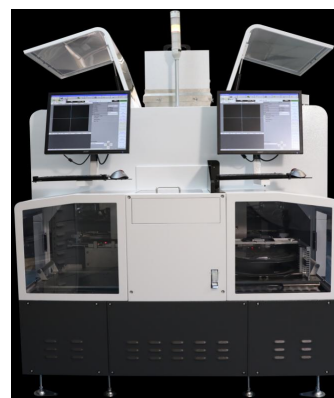
2060XL-面板级封装贴片机

- 精度  $\pm 7\mu\text{m}$
- UPH 12000（制程决定）



2060M-SIP系统级封装贴片机

- 精度  $\pm 5\mu\text{m}$
- UPH 6000（制程决定）



2060SD-叠芯封装贴片机

- 精度  $\pm 7\mu\text{m}$
- UPH 5000（制程决定）



2010HB-混合键合贴片机

- 敬请期待

- 01 先进封装：打破IC发展限制，向高密度封装时代迈进
- 02 技术分析：横向连接/纵向堆叠奠定先进封装技术基石
- 03 产业链：材料与设备任重道远，先进封装粲然可观
- 04 行业现状：制造与IDM厂商入驻先进封装，开辟中道工艺
- 05 应用与需求：芯粒IP复用延续摩尔定律，新建晶圆厂与产线扩产共促封测需求
- 06 相关标的
- 07 风险提示

- ◆ **行业与市场波动风险：**全球半导体行业具有技术呈周期性发展和市场呈周期性波动特点。同时，受国内外政治、经济因素影响，如市场需求低迷、产品竞争激烈，将会影响先进封装价格从而影响行业发展。
- ◆ **国际贸易摩擦风险：**伴随全球产业格局深度调整，国际贸易摩擦不断，集成电路产业成为贸易冲突的重点领域，也对中国相关产业的发展造成了客观不利影响。2022年8月以来，美国推出多项贸易管制政策通过限制产品、设备以及技术等项目的出口以限制中国半导体行业的发展。
- ◆ **新技术、新工艺、新产品无法如期产业化风险：**集成电路封装测试行业属于技术密集型行业，需要紧跟整个行业的发展趋势，及时、高效地研究开发符合市场和客户需求的新技术、新工艺及新产品并实现产业化。如果在技术研发上出现一些波折，不能及时加大资本投入进行新技术的研发，或不能及时购入先进设备研制生产更先进的封装产品，将面临新技术、新工艺、新产品无法如期产业化风险。
- ◆ **主要原材料供应及价格变动风险：**国内先进封装生产所需主要原材料主要以进口为主，且境外客户对封装的无铅化和产品质量要求较高。未来，如果原材料市场供求关系发生变化，造成原材料价格上涨，或者因供货商供货不足、原材料质量问题等不可测因素影响整体行业发展。

附录（一）：中国大陆半导体凸块、晶圆级封装产线统计

| 序号 | 公司全称             | 省份 | 城市 | Bumping   |   |    |             |   |    |         |   |    | WLCSP  |   |    |         |     |     |
|----|------------------|----|----|-----------|---|----|-------------|---|----|---------|---|----|--------|---|----|---------|-----|-----|
|    |                  |    |    | Cu Pillar |   |    | Solder Ball |   |    | Au Bump |   |    | Fan-in |   |    | Fan-out |     |     |
|    |                  |    |    | 6         | 8 | 12 | 6           | 8 | 12 | 6       | 8 | 12 | 6      | 8 | 12 | eWLB    | WLP | PLP |
| 1  | 安靠封装测试(上海)       | 上海 | 上海 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         |     |     |
| 2  | 合肥矽迈微电子          | 安徽 | 合肥 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 3  | 合肥新汇成微电子         | 安徽 | 合肥 |           |   |    |             |   |    |         | √ | √  |        |   |    |         |     |     |
| 4  | 华进半导体封装先导技术研发中心  | 江苏 | 无锡 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  | √       | √   |     |
| 5  | 华天科技(昆山)电子       | 江苏 | 昆山 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 6  | 华天科技(南京)         | 江苏 | 南京 |           | √ |    |             | √ |    |         |   |    | √      | √ | √  |         |     |     |
| 7  | 江苏芯德半导体          | 江苏 | 南京 |           | √ | √  |             | √ | √  |         |   | √  | √      | √ | √  |         | √   |     |
| 8  | 立芯精密智造(昆山)       | 江苏 | 昆山 |           | √ | √  |             |   |    |         |   |    |        | √ | √  |         |     |     |
| 9  | 江苏纳沛斯半导体         | 江苏 | 淮安 |           | √ | √  |             | √ | √  |         | √ | √  |        | √ | √  |         |     |     |
| 10 | 江苏汇成光电           | 江苏 | 扬州 |           |   |    |             |   |    |         | √ |    |        |   |    |         |     |     |
| 11 | 晶通(高邮)集成电路       | 江苏 | 扬州 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 12 | 青岛新核芯            | 山东 | 青岛 |           | √ | √  |             | √ | √  |         | √ | √  |        |   |    |         | √   |     |
| 13 | 浙江禾芯集成电路         | 浙江 | 嘉兴 |           | √ | √  |             |   |    |         |   |    |        |   | √  |         | √   |     |
| 14 | 无锡中微高科电子         | 江苏 | 无锡 |           | √ | √  |             | √ | √  |         |   |    |        |   |    |         |     |     |
| 15 | 宁波芯健半导体          | 浙江 | 宁波 | √         | √ |    |             | √ |    |         |   |    | √      | √ | √  |         | √   |     |
| 16 | 长电集成电路(绍兴)       | 浙江 | 绍兴 |           |   |    |             |   |    |         |   |    |        |   |    |         | √   |     |
| 17 | 宁波泰睿思微电子         | 浙江 | 宁波 |           | √ | √  |             | √ | √  |         | √ | √  |        | √ | √  |         | √   |     |
| 18 | 顾中科技(苏州)         | 江苏 | 苏州 | √         | √ | √  | √           | √ | √  | √       | √ | √  | √      | √ | √  |         |     |     |
| 19 | 无锡市好达电子          | 江苏 | 无锡 |           |   |    |             |   |    |         |   |    |        | √ |    |         |     |     |
| 20 | 上海共进微电子技术        | 上海 | 上海 |           |   |    |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 21 | 上海纪元微科电子         | 上海 | 上海 |           |   |    |             | √ | √  |         |   |    |        |   |    |         |     |     |
| 22 | 上海易卜半导体          | 上海 | 上海 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 23 | 盛合晶微半导体(江阴)上海分公司 | 上海 | 上海 |           |   | √  |             |   | √  |         |   |    |        |   |    |         |     |     |
| 24 | 联立(徐州)半导体        | 江苏 | 徐州 |           |   |    |             |   |    |         | √ | √  |        |   |    |         |     |     |
| 25 | 苏州捷研芯电子          | 江苏 | 苏州 |           |   |    |             |   |    | √       | √ |    |        |   |    |         |     |     |
| 26 | 苏州晶方半导体科技(汀兰厂)   | 江苏 | 苏州 |           |   |    |             | √ | √  |         |   |    |        |   | √  |         | √   |     |

# 附录（一）：中国大陆半导体凸块、晶圆级封装产线统计

| 序号 | 公司全称         | 省份 | 城市 | Bumping   |   |    |             |   |    |         |   |    | WLCSP  |   |    |         |     |     |
|----|--------------|----|----|-----------|---|----|-------------|---|----|---------|---|----|--------|---|----|---------|-----|-----|
|    |              |    |    | Cu Pillar |   |    | Solder Ball |   |    | Au Bump |   |    | Fan-in |   |    | Fan-out |     |     |
|    |              |    |    | 6         | 8 | 12 | 6           | 8 | 12 | 6       | 8 | 12 | 6      | 8 | 12 | eWLB    | WLP | PLP |
| 27 | 苏州科阳半导体      | 江苏 | 苏州 |           |   |    |             | √ | √  |         |   |    | √      | √ | √  |         |     |     |
| 28 | 太极半导体(苏州)    | 江苏 | 苏州 | √         | √ | √  | √           | √ | √  | √       | √ | √  |        |   |    |         |     |     |
| 29 | 通富微电子        | 江苏 | 南通 |           | √ | √  |             | √ | √  |         | √ | √  |        |   |    | √       |     |     |
| 30 | 南通通富微电子      | 江苏 | 南通 |           | √ | √  |             | √ | √  |         | √ | √  |        |   | √  | √       | √   |     |
| 31 | 江苏晶度半导体      | 江苏 | 镇江 |           |   |    |             |   |    |         | √ |    |        |   |    |         |     |     |
| 32 | 甬矽电子(宁波)     | 浙江 | 宁波 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         |     |     |
| 33 | 长电微电子(江阴)    | 江苏 | 江阴 |           |   |    |             |   |    |         |   |    | √      | √ | √  |         | √   |     |
| 34 | 江阴长电先进封装     | 江苏 | 江阴 |           | √ | √  |             | √ | √  |         | √ |    |        | √ | √  | √       | √   |     |
| 35 | 星科金朋半导体(江阴)  | 江苏 | 江阴 |           |   |    |             |   |    |         |   |    |        |   | √  | √       | √   |     |
| 36 | 盛合晶微半导体(江阴)  | 江苏 | 江阴 |           | √ | √  |             | √ | √  |         |   |    |        |   |    |         | √   |     |
| 37 | 苏州共进微电子技术    | 江苏 | 苏州 |           |   |    |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 38 | 矽品科技(苏州)     | 江苏 | 苏州 |           | √ | √  |             | √ | √  |         |   |    |        |   |    |         |     |     |
| 39 | 昆山同兴达芯片封测技术  | 江苏 | 苏州 |           |   |    |             |   |    |         | √ | √  |        |   |    |         |     |     |
| 40 | 江苏中科智芯集成     | 江苏 | 徐州 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 41 | 晶旺半导体(厦门)    | 福建 | 厦门 |           |   |    |             | √ | √  |         | √ | √  | √      | √ | √  |         |     |     |
| 42 | 厦门通富微电子      | 福建 | 厦门 |           | √ | √  |             |   |    |         | √ | √  |        |   |    |         |     |     |
| 43 | 厦门云天半导体      | 福建 | 厦门 | √         | √ | √  | √           | √ | √  |         |   |    |        | √ | √  |         | √   |     |
| 44 | 厦门四合微电子      | 福建 | 厦门 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 45 | 山东齐芯微系统科技    | 山东 | 淄博 |           | √ | √  |             |   |    |         |   |    |        |   |    |         |     |     |
| 46 | 渠梁电子         | 福建 | 泉州 | √         | √ | √  |             |   |    | √       | √ | √  |        |   |    |         | √   |     |
| 47 | 广东佛智芯微电子技术研究 | 广东 | 佛山 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 48 | 广东越海集成技术     | 广东 | 广州 |           |   |    |             |   |    |         |   |    |        | √ | √  |         |     |     |
| 49 | 天芯互联         | 广东 | 深圳 |           |   |    |             |   |    |         |   |    |        | √ | √  |         |     |     |
| 50 | 深圳中科四合       | 广东 | 深圳 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 51 | 威讯联合半导体(北京)  | 北京 | 北京 | √         | √ | √  | √           | √ | √  |         |   |    |        |   |    |         |     |     |
| 52 | 武汉高德红外       | 湖北 | 武汉 | √         | √ |    | √           | √ |    |         |   |    | √      | √ |    |         |     |     |

附录（一）：中国大陆半导体凸块、晶圆级封装产线统计

| 序号 | 公司全称               | 省份 | 城市 | Bumping   |   |    |             |   |    |         |   |    | WLCSP  |   |    |         |     |     |
|----|--------------------|----|----|-----------|---|----|-------------|---|----|---------|---|----|--------|---|----|---------|-----|-----|
|    |                    |    |    | Cu Pillar |   |    | Solder Ball |   |    | Au Bump |   |    | Fan-in |   |    | Fan-out |     |     |
|    |                    |    |    | 6         | 8 | 12 | 6           | 8 | 12 | 6       | 8 | 12 | 6      | 8 | 12 | eWLB    | WLP | PLP |
| 53 | 西安微电子技术研究所(航天771所) | 陕西 | 西安 |           | √ | √  |             | √ | √  |         |   |    |        | √ | √  |         |     |     |
| 54 | 矽磐微电子(重庆)          | 重庆 | 重庆 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 55 | 成都奕成               | 四川 | 成都 |           |   |    |             |   |    |         |   |    |        |   |    |         |     | √   |
| 56 | 宇芯(成都)集成电路封装测试     | 四川 | 成都 |           | √ |    |             | √ |    |         |   |    |        | √ | √  |         |     |     |
| 57 | 德州仪器半导体制造(成都)      | 四川 | 成都 |           |   |    |             |   | √  |         |   |    |        |   | √  |         |     |     |
| 58 | 达迩科技(成都)           | 四川 | 成都 |           | √ |    |             |   |    |         |   |    |        |   |    |         |     |     |

附录（二）： 半导体封装环氧树脂和硅微粉供应商名单

| 序号 | 公司名称            | 国家地区 | 封装树脂 |      | 硅微粉 | 序号 | 公司名称    | 国家地区 | 封装树脂 |      | 硅微粉 |
|----|-----------------|------|------|------|-----|----|---------|------|------|------|-----|
|    |                 |      | 环氧树脂 | 液态环氧 |     |    |         |      | 环氧树脂 | 液态环氧 |     |
| 1  | LOED            | 美国   | √    |      |     | 25 | 骏码科技    | 中国香港 | √    |      |     |
| 2  | 电化              | 日本   |      |      | √   | 26 | 北京米科技   | 中国大陆 |      | √    |     |
| 3  | 昭和电工            | 日本   | √    |      |     | 27 | 创达新材料   | 中国大陆 | √    |      | √   |
| 4  | 京瓷化学            | 日本   | √    |      |     | 28 | 无锡化工研究院 | 中国大陆 | √    |      |     |
| 5  | 长濑产业            | 日本   |      | √    |     | 29 | 华海诚科    | 中国大陆 |      | √    |     |
| 6  | NAMICS          | 日本   |      | √    |     | 30 | 华威电子    | 中国大陆 | √    |      |     |
| 7  | 松下电子材料          | 日本   | √    |      |     | 31 | 恒耀电子    | 中国大陆 | √    |      | √   |
| 8  | 信越化学            | 日本   | √    | √    |     | 32 | 中科院化学所  | 中国大陆 | √    | √    |     |
| 9  | 住友电木            | 日本   | √    |      | √   | 33 | 晶科电子    | 中国大陆 |      |      |     |
| 10 | 积水化学            | 日本   |      |      | √   | 34 | 巨化集团    | 中国大陆 | √    |      |     |
| 11 | Tatsumori       | 日本   |      |      | √   | 35 | 凯华缘材料   | 中国大陆 | √    |      |     |
| 12 | 新日铁             | 日本   |      |      | √   | 36 | 科化新材    | 中国大陆 | √    | √    |     |
| 13 | Admatechs       | 日本   |      |      | √   | 37 | 飞凯材料    | 中国大陆 | √    |      |     |
| 14 | Tokai Carbon    | 日本   |      |      | √   | 38 | 山东圣泉    | 中国大陆 | √    |      | √   |
| 15 | Hosokawa Micron | 日本   |      |      | √   | 39 | 中新泰合    | 中国大陆 | √    |      | √   |
| 16 | 韩国东进            | 韩国   | √    |      |     | 40 | 江苏中鹏    | 中国大陆 | √    |      | √   |
| 17 | KCC Chemical    | 韩国   | √    |      |     | 41 | 德高化成    | 中国大陆 | √    |      |     |
| 18 | Nepes           | 韩国   | √    |      |     | 42 | 道宜半导体材料 | 中国大陆 | √    |      |     |
| 19 | 三星SDI           | 韩国   | √    |      |     | 43 | 盛远达     | 中国大陆 | √    |      |     |
| 20 | KOSEM           | 韩国   | √    |      | √   | 44 | 三选科技    | 中国大陆 |      | √    |     |
| 21 | 长春树脂            | 中国台湾 | √    |      | √   | 45 | 鼎龙股份    | 中国大陆 | √    |      |     |
| 22 | 义典科技            | 中国台湾 | √    |      |     | 46 | 联瑞新材    | 中国大陆 |      |      | √   |
| 23 | 长兴材料            | 中国台湾 |      | √    |     | 47 | 华飞电子    | 中国大陆 |      |      | √   |
| 24 | 硕正科技            | 中国台湾 |      |      |     |    |         |      |      |      | √   |

- 1、芯时代之一\_半导体重磅深度《新兴技术共振进口替代，迎来全产业链投资机会》
- 2、芯时代之二\_深度纪要《国产芯投资机会暨权威专家电话会》
- 3、芯时代之三\_深度纪要《半导体分析和投资策略电话会》
- 4、芯时代之四\_市场首篇模拟IC深度《下游应用增量不断，模拟 IC加速发展》
- 5、芯时代之五\_存储器深度《存储产业链战略升级，开启国产替代“芯”篇章》
- 6、芯时代之六\_功率半导体深度《功率半导体处黄金赛道，迎进口替代良机》
- 7、芯时代之七\_半导体材料深度《铸行业发展基石，迎进口替代契机》
- 8、芯时代之八\_深度纪要《功率半导体重磅专家交流电话会》
- 9、芯时代之九\_半导体设备深度《进口替代促景气度提升，设备长期发展明朗》
- 10、芯时代之十\_3D/新器件《先进封装和新器件，续写集成电路新篇章》
- 11、芯时代之十一\_IC载板和SLP《IC载板及SLP，集成提升的板级贡献》
- 12、芯时代之十二\_智能处理器《人工智能助力，国产芯有望“换”道超车》
- 13、芯时代之十三\_封测《先进封装大势所趋，国家战略助推成长》
- 14、芯时代之十四\_大硅片《供需缺口持续，国产化蓄势待发》
- 15、芯时代之十五\_化合物《下一代半导体材料，5G助力市场成长》
- 16、芯时代之十六\_制造《国产替代加速，拉动全产业链发展》
- 17、芯时代之十七\_北方华创《双结构化持建机遇，由大做强倍显张力》

- 18、芯时代之十八\_斯达半导《铸IGBT功率基石，创多领域市场契机》
- 19、芯时代之十九\_功率半导体深度②《产业链逐步成熟，功率器件迎黄金发展期》
- 20、芯时代之二十\_汇顶科技《光电传感创新领跑，多维布局引领未来》
- 21、芯时代之二十一\_华润微《功率半导专芯致志，特色工艺术业专攻》
- 22、芯时代之二十二\_大硅片\*重磅深度《半导体材料第一蓝海，硅片融合工艺创新》
- 23、芯时代之二十三\_卓胜微《5G赛道射频芯片龙头，国产替代正当时》
- 24、芯时代之二十四\_沪硅产业《硅片“芯”材蓄势待发，商用量产空间广阔》
- 25、芯时代之二十五\_韦尔股份《光电传感稳创领先，系统方案展创宏图》
- 26、芯时代之二十六\_中环股份《半导体硅片厚积薄发，特有赛道独树一帜》
- 27、芯时代之二十七\_射频芯片《射频芯片千亿空间，国产替代曙光乍现》
- 28、芯时代之二十八\_中芯国际《代工龙头创领升级，产业联动芯火燎原》
- 29、芯时代之二十九\_寒武纪《AI芯片国内龙头，高研发投入前景可期》
- 30、芯时代之三十\_芯朋微《国产电源IC十年磨一剑，铸就国内升级替代》
- 31、芯时代之三十一\_射频PA《射频PA革新不止，万物互联广袤无限》
- 32、芯时代之三十二\_中微公司《国内半导体刻蚀巨头，迈内生&外延平台化》
- 33、芯时代之三十三\_芯原股份《国内IP龙头厂商，推动SiPaaS模式发展》
- 34、芯时代之三十四\_模拟IC深度PPT《模拟IC黄金赛道，本土配套渐入佳境》

- 35、芯时代之三十五\_芯海科技《高精度测量ADC+MCU+AI, 切入蓝海赛道超芯星》
- 36、芯时代之三十六\_功率&化合物深度《扩容&替代提速, 化合物布局长远》
- 37、芯时代之三十七\_恒玄科技《专注智能音频SoC芯片, 迎行业风口快速发展》
- 38、芯时代之三十八\_和而泰《从高端到更高端, 芯平台创新格局》
- 39、芯时代之三十九\_家电芯深度PPT《家电芯配套渐完善, 增存量机遇筑蓝海》
- 40、芯时代之四十\_前道设备PPT深度《2021年国产前道设备, 再迎新黄金时代》
- 41、芯时代之四十一\_力芯微《专注电源管理芯片, 内生外延拓展产品线》
- 42、芯时代之四十二\_复旦微电《国产FPGA领先企业, 高技术壁垒铸就护城河》
- 43、芯时代之四十三\_显示驱动深度PPT《显示驱动芯一面板国产化最后1公里》
- 44、芯时代之四十四\_艾为电子《数模混合设计专家, 持续迭代拓展产品线》
- 45、芯时代之四十五\_紫光国微《特种与安全两翼齐飞, 公司步入快速发展阶段》
- 46、芯时代之四十六\_新能源芯\*PPT深度《乘碳中和之风, 基础元件腾飞》
- 47、芯时代之四十七\_AIoT \*PPT深度《AIoT大时代, SoC厂商加速发展》
- 48、芯时代之四十八\_铂科新材《双碳助力发展, GPU新应用构建二次成长曲线》
- 49、芯时代之四十九\_AI芯片《AI领强算力时代, GPU启新场景落地》
- 50、芯时代之五十\_江海股份《乘“碳中和”之风, 老牌企业三大电容全面发力》
- 51、芯时代之五十一\_智能电动车1000页PPT（多行业协同）《智能电动车★投研大全》

- 52、芯时代之五十二\_瑞芯微PPT深度《迈入全球准一线梯队，新硬件十年前景可期》
- 53、芯时代之五十三\_峰岹科技《专注BLDC电机驱动控制芯片，三大核心技术引领成长》
- 54、芯时代之五十四\_纳芯微《专注高端模拟IC，致力国内领先车规级半导体供应商》
- 55、芯时代之五十五\_晶晨股份《核心技术为躯，全球开拓为翼》
- 56、芯时代之五十六\_国微&复微《紫光国微与复旦微的全面对比分析》
- 57、芯时代之五十七\_国产算力SoC《算力大时代，处理器SoC厂商综合对比》
- 58、芯时代之五十八\_高能模拟芯《高性能模拟替代渐入深水区，工业汽车重点突破》
- 59、芯时代之五十九\_南芯科技《电荷泵翘楚拓矩阵蓝图，通用产品力屡复制成功》
- 60、芯时代之六十\_AI算力GPU《AI产业化再加速，智能大时代已开启》
- 61、芯时代之六十一\_瑞芯微②深度《人工智能再加速，AIoT SoC龙头多点开花》
- 62、芯时代之六十二\_华峰测控《技术产品为基石，SoC模数功率测试机助拓全球市场》
- 63、芯时代之六十三\_裕太微《以太网PHY芯片稀缺标的，国产化渗透初期前景广阔》
- 64、芯时代之六十四\_华虹公司《立足成熟制程，“特色IC+功率器件”代工龙头底部加码12寸》
- 65、芯时代之六十五\_汇顶科技《指纹&触控保持市场领先，新品营收逐步起量》
- 66、芯时代之六十六\_中科蓝讯《产品结构升级&品牌客户突破，八大产品线拓未来》
- 67、芯时代之六十七\_2.5D/3D 封装《技术发展引领产业变革，向高密度封装时代迈进》

- ◆ 孙远峰：华金证券总裁助理&研究所所长&电子行业首席分析师，哈尔滨工业大学工学学士，清华大学工学博士，近3年电子实业工作经验；2018年新财富上榜分析师（第3名），2017年新财富入围/水晶球上榜分析师，2016年新财富上榜分析师（第5名），2013~2015年新财富上榜分析师团队核心成员；多次获得保险资管IAMAC、水晶球、金牛奖等奖项最佳分析师；2019年开始未参加任何个人评比，其骨干团队专注于创新&创业型研究所的一线具体创收&创誉工作，以“产业资源赋能深度研究”为导向，构建研究&销售合伙人队伍，积累了健全的成熟团队自驱机制和年轻团队培养机制，充分获得市场验证；清华校友总会电子工程系分会副秘书长
- ◆ 王海维：电子行业高级分析师，华东师范大学硕士，电子&金融复合背景，主要覆盖半导体板块，善于个股深度研究，2018年新财富上榜分析师（第3名）核心成员，先后任职于安信证券/华西证券研究所，2023年2月入职华金证券研究所
- ◆ 王臣复：电子行业高级分析师，北京航空航天大学工学学士和管理学硕士，曾就职于欧菲光集团投资部、融通资本、平安基金、华西证券资产管理总部、华西证券等，2023年2月加入华金证券研究所
- ◆ 宋鹏：电子行业助理分析师，莫纳什大学硕士，曾就职于头豹研究院TMT组，2023年3月入职华金证券研究所

## 公司评级体系

### 收益评级：

- 买入 — 未来6个月的投资收益率领先沪深300指数15%以上；
- 增持 — 未来6个月的投资收益率领先沪深300指数5%至15%；
- 中性 — 未来6个月的投资收益率与沪深300指数的变动幅度相差-5%至5%；
- 减持 — 未来6个月的投资收益率落后沪深300指数5%至15%；
- 卖出 — 未来6个月的投资收益率落后沪深300指数15%以上。

### 风险评级：

- A — 正常风险，未来6个月投资收益率的波动小于等于沪深300指数波动；
- B — 较高风险，未来6个月投资收益率的波动大于沪深300指数波动。

## 行业评级体系

### 收益评级：

领先大市 — 未来6个月的投资收益率领先沪深300指数10%以上；

同步大市 — 未来6个月的投资收益率与沪深300指数的变动幅度相差-10%至10%；

落后大市 — 未来6个月的投资收益率落后沪深300指数10%以上；

### 风险评级：

A — 正常风险，未来6个月投资收益率的波动小于等于沪深300指数波动；

B — 较高风险，未来6个月投资收益率的波动大于沪深300指数波动。

## 分析师声明

孙远峰、王海维、王臣复声明，本人具有中国证券业协会授予的证券投资咨询执业资格，勤勉尽责、诚实守信。本人对本报告的内容和观点负责，保证信息来源合法合规、研究方法专业审慎、研究观点独立公正、分析结论具有合理依据，特此声明。

## 本公司具备证券投资咨询业务资格的说明

华金证券股份有限公司（以下简称“本公司”）经中国证券监督管理委员会核准，取得证券投资咨询业务许可。本公司及其投资咨询人员可以为证券投资人或客户提供证券投资分析、预测或者建议等直接或间接的有偿咨询服务。发布证券研究报告，是证券投资咨询业务的一种基本形式，本公司可以对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向本公司的客户发布。

## 免责声明：

华金证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因为任何机构或个人接收到本报告而视其为本公司的当然客户。

本报告基于已公开的资料或信息撰写，但本公司不保证该等信息及资料的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映本公司于本报告发布当日的判断，本报告中的证券或投资标的价格、价值及投资带来的收入可能会波动。在不同时期，本公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。本公司不保证本报告所含信息及资料保持在最新状态，本公司将随时补充、更新和修订有关信息及资料，但不保证及时公开发布。同时，本公司有权对本报告所含信息在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以本公司向客户发布的本报告完整版本为准。

在法律许可的情况下，本公司及所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务，提请客户充分注意。客户不应将本报告为作出其投资决策的惟一参考因素，亦不应认为本报告可以取代客户自身的投资判断与决策。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议，无论是否已经明示或暗示，本报告不能作为道义的、责任的和法律的依据或者凭证。

在任何情况下，本公司亦不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。

本报告版权仅为本公司所有，未经事先书面许可，任何机构和个人不得以任何形式翻版、复制、发表、转发、篡改或引用本报告的任何部分。如征得本公司同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“华金证券股份有限公司研究所”，且不得对本报告进行任何有悖原意的引用、删节和修改。

华金证券股份有限公司对本声明条款具有惟一修改权和最终解释权。

## 风险提示：

报告中的内容和意见仅供参考，并不构成对所述证券买卖的出价或询价。投资者对其投资行为负完全责任，我公司及其雇员对使用本报告及其内容所引发的任何直接或间接损失概不负责。

华金证券股份有限公司

办公地址：

上海市浦东新区杨高南路759号陆家嘴世纪金融广场30层

北京市朝阳区建国路108号横琴人寿大厦17层

深圳市福田区益田路6001号太平金融大厦10楼05单元

电话：021-20655588

网址：[www.huajinsec.cn](http://www.huajinsec.cn)