

电子行业专题报告

先进封装专题三：代工、IDM 厂商先进封装布局各显神通

方正证券研究所证券研究报告

分析师

郑震湘 登记编号：S1220523080004

余凌星 登记编号：S1220523070005

刘嘉元 登记编号：S1220523080001

行业评级：推荐

行业信息

上市公司总家数	495
总股本(亿股)	4,975.55
销售收入(亿元)	45,290.82
利润总额(亿元)	3,466.42
行业平均 PE	70.27
平均股价(元)	34.36

行业相对指数表现



数据来源：wind 方正证券研究所

相关研究

《vivo 首款端侧 AI 手机强势发布，拥抱 AI 手机新机遇》2023.11.14

《先进封装专题二：HBM 需求井喷，国产供应链新机遇》2023.11.14

《华为智能汽车专题四：阿维塔 12 大超预期，智能驾驶全面升级》2023.11.13

《港股消费电子专题：钛合金加速导入，潜望镜及终端侧 AI 趋势确立》2023.11.10

先进封装技术趋势在于提高 I/O 数量及传输速率，以实现芯片间的高速互联，市场格局呈现出明显的马太效应，Fab/IDM 厂和 OSAT 错位竞争。2016 年先进封装市场 CR5 占比 48%，2021 年提升至 76%，强者恒强。Fab/IDM 厂和 OSAT 厂各自发挥自身优势，Fab/IDM 厂凭借前道制造优势和硅加工经验，主攻 2.5D 或 3D 封装技术，而 OSAT 厂商则聚焦于后道技术，倒装封装仍是其主要产品。封测技术主要指标为凸点间距（Bump Pitch），凸点间距越小，封装集成度越高，难度越大，台积电 3D Fabric 技术平台下的 3D SoIC、InFO、CoWoS 均居于前列，其中 3D SoIC 的凸点间距最小可达 6μm，居于所有封装技术首位。

台积电：整合构建 3D Fabric 平台，先进制程持续演进。布局 SoIC、CoWoS、InFO 技术，搭建 3DFabric 技术平台，提供从前端到后端完全集成的同构和异构集成。SoIC 为垂直芯片堆叠 3D 拓扑封装，可与 CoWoS、InFO 共用，AMD 是首发客户，最新的 MI300 即以 SoIC 搭配 CoWoS。苹果考虑后续在 Macbook 中使用 SoIC 搭配 InFO 技术，目前正处小批量试产中。CoWoS 主要针对需要整合先进逻辑和高带宽存储器的 HPC 应用，目前已支持超过 25 个客户的 140 多种 CoWoS 产品，当前主要提供三种不同的转接板技术：CoWoS-S、CoWoS-R、CoWoS-L。InFO 是创新的晶圆级系统集成技术平台，具有高密度 RDL 和 TIV，用于各种应用的高密度互连和性能，主要有 InFO_PoP、InFO_oS 两种产品。相对来说，CoWoS 的性能更好，但成本较高；InFO 则采用 RDL 代替硅中介层，无须 TSV，性价比更高。

三星：I-Cube 和 X-Cube 提供 2.5D&3D 解决方案。三星提供了 2.5D 和 3D 在内的丰富的先进封装交钥匙解决方案。包括 I-CubeS、I-CubeE、X-Cube (TCB) 和 X-Cube (HCB) 四个不同的封装类型：1) I-CubeS 和 I-CubeE 都是 2.5D 封装技术的代表：它们的技术特点是，在一个 85x85mm²的封装中，可以同时放置多个 HBM（目前是 8 个），并且互连层的面积是一个标准光罩的三倍，即 3x reticle；2) 3D 封装技术 X-Cube (TCB) 和 X-Cube (HCB)：区别在于是否使用凸块连接技术，X-Cube (HCB) 微凸块间距和硅片厚度仅为 4μm 和 10μm，精度提升。

英特尔：EMIB 和 3D Foveros 持续演进。当前 2.5D 封装的主流方案包括：以台积电的 CoWoS-S 为代表的 silicon interposer（硅中介层）连接方案，以及英特尔的以 EMIB 为代表的“silicon bridge”（硅桥接）连接方案。其中 EMIB 封装不同之处在于其硅桥内嵌于基板之内，而 CoWoS-S 的硅中介层则是在基板之上。对比来看，EMIB 方案优势在于不受掩模版尺寸限制，可以显著减小生产成本且使用灵活。而 Foveros 3D 封装取消了基板的连接环节，通过 Die 与 Die 之间的叠加和高密度连接，实现更小的功率损失，以及更好的连接性。第一代 Foveros 凸点间距为 50 微米，而第二代 Foveros 升级至 36 微米，连接密度增加一倍。

风险提示：复苏节奏不及预期、中美贸易摩擦加剧、行业竞争加剧、测算误差风险。

并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

正文目录

1 Fab/IDM 技术领先，2.5D/3D 封装进展迅速	4
2 台积电：整合构建 3D Fabric 平台，先进制程持续演进	7
2.1 SiIC：3D 封装最前沿，混合键合助力垂直互联	8
2.1 CoWoS：2.5D 封装核心方案，GPU	9
2.2 InFO：高密度&低成本，适配消费类应用	13
3 三星：从 HBM 到 2.5D/3D 封装，提供一站式解决方案	16
4 英特尔：EMIB 和 3D Foveros 持续演进	19
5 风险提示	22

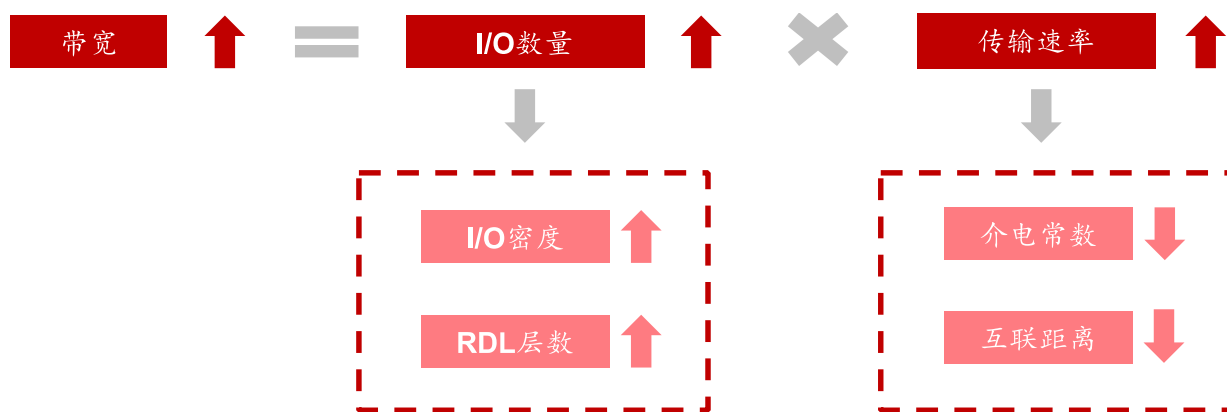
图表目录

图表 1: 封装中影响带宽的关键因素	4
图表 2: 2021 年先进封装市场市占率	4
图表 3: 2021 年头部厂商封装类型一览	5
图表 4: 头部厂商封装技术 bump pitch 对比 (单位: um)	6
图表 5: 台积电 3DFabric 技术平台	7
图表 6: 先进封装技术的应用领域	7
图表 7: 先进封装技术的应用领域	8
图表 8: FC、2.5D/3DIC、SoIC 等封装方式密度依次提升凸块间距依次降低	9
图表 9: AMD Instinct MI 300X 采用台积电 SoIC-X 技术	9
图表 10: 台积电 SoIC W2W 键合工艺流程	9
图表 11: 2015-2020 年采用 CoWoS 方案的 TOP500 超级计算机占比不断提升	10
图表 12: 台积电 CoWoS 工艺流程	10
图表 13: CoWoS-S 十年间经历了 5 次迭代	11
图表 14: CoWoS-S 上集成的晶体管数量不断上升	11
图表 15: CoWoS-R 示意图	12
图表 16: CoWoS-R 横截面放大图	12
图表 17: HBM 演进	13
图表 18: CoWoS-L 示意图	13
图表 19: InFO_PoP 示意图	14
图表 20: InFO_oS 示意图	14
图表 21: InFO_oS 发展	14
图表 22: InFO_SoIS 与 InFO_SoW 示意图	15
图表 23: 三星先进封装解决方案	16
图表 24: X-Cube Platform 与 I-CubeS/ I-CubeE Platform 工艺水平提升	16
图表 25: 三星未来 3D 封装方案构想	17
图表 26: 三星未来内部互联技术构想	17
图表 27: 三星未来光学 I/O 技术构想	18
图表 28: 英特尔先进封装技术一览	19
图表 29: 不同异构集成方案对比	19
图表 30: EMIB 结构图	19
图表 31: Foveros 方案	20
图表 32: Foveros 优势	20
图表 33: Foveros Omni 示意图	20
图表 34: Foveros Direct 示意图	20
图表 35: 英特尔先进封装凸点间距演进	21

1 Fab/IDM 技术领先, 2. 5D/3D 封装进展迅速

海量数据催生高带宽需求, 先进封装不断迭代。随着各行业应用中产生的数据量不断增长, 对高带宽的需求与日俱增。尤其是机器学习和 AI 相关应用需要强大的处理能力, 因此需要在芯片上高密度的集成晶体管。封装也不例外, 封装形式的迭代均是通过以下两个途径以提高带宽: 1) 增加 I/O 数量。封装厂选择制造多层 RDL 以扩大 I/O 点的范围, 并在每一层 RDL 中不断缩小 L/S 线距以容纳更多的 I/O 点。2) 增加传输速率, 通过减小裸芯之间的互联距离和选择具有更低介电常数的材料来实现。

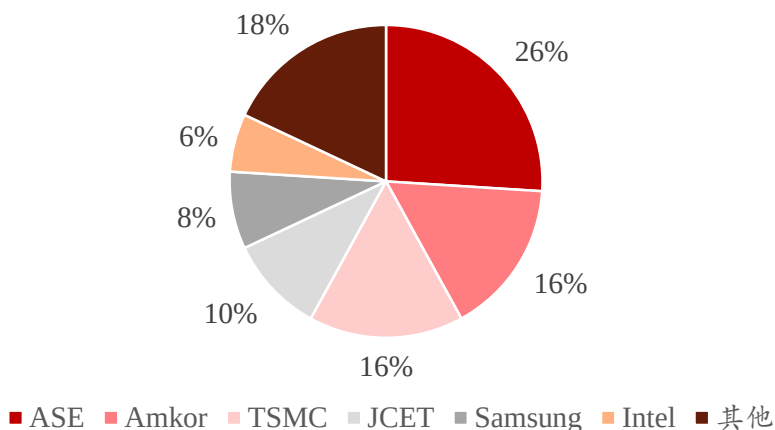
图表1: 封装中影响带宽的关键因素



资料来源: IDTechEx, 方正证券研究所

先进封装市场马太效应明显。2021 年 ASE 市占率居首, 份额为 26%。台积电和安靠并列第二, 长电科技位列第四, 市占率为 10%。2021 年 CR5 为 76%, 而 2016 年 CR5 为 48%, 5 年间提升了 28%, 份额前五名中仅长电和日月光仍位列其中。

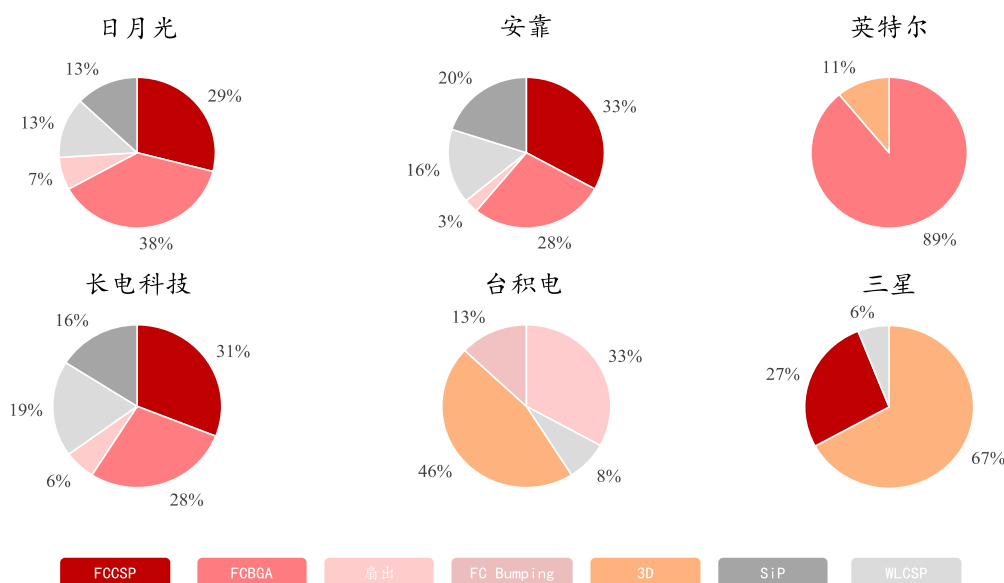
图表2: 2021 年先进封装市场市占率



资料来源: Yole, 方正证券研究所

Fab/IDM 厂和 OSAT 错位竞争：Fab/IDM 厂商涉足 3D 堆叠，OSAT 主攻倒装、扇出和晶圆级封装。Fab/IDM 厂基于前道制造优势和硅加工经验，聚焦产品性能，多开发基于 Si-interposer 的 2.5D 或 3D 封装技术。从头部厂商的封装类型来看，三星的 3D 堆叠产品最高，达 67%，主要系其存储产品占比较高所致。其次为台积电，3D 堆叠占比为 46%；凭借其 InFO 在苹果产品中的渗透，台积电扇出型封装占比也达到了 33%。OSAT 厂商则聚焦于载板技术，成本为先，产品结构中倒装仍是主力，FCBGA 和 FCCSP 占比在 ASE 中为 38%和 29%，在安靠中为 28%和 33%，在长电中为 28%和 31%。

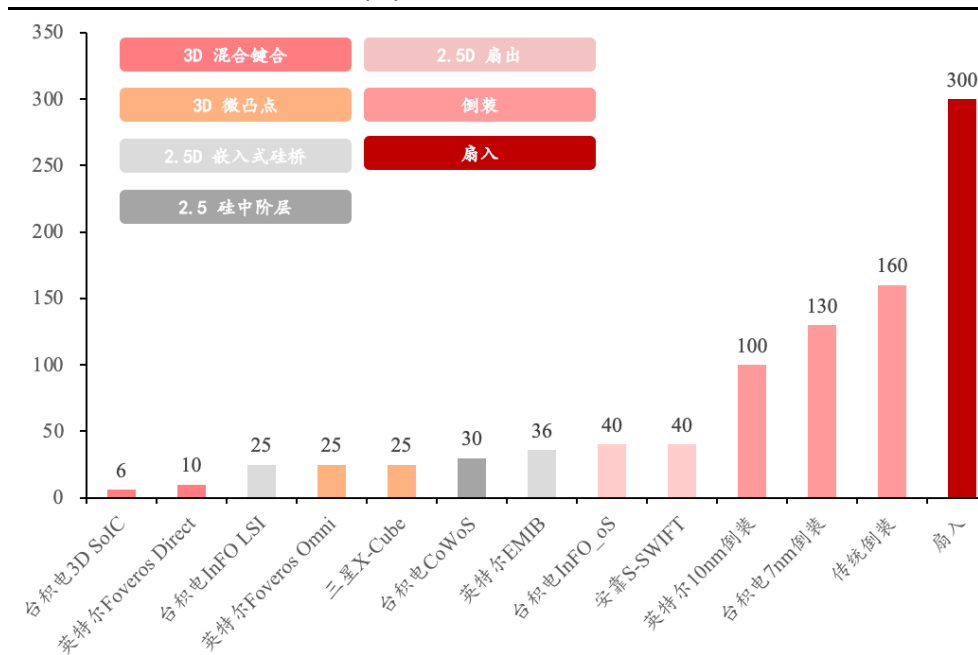
图表3:2021 年头部厂商封装类型一览



资料来源：各公司官网，方正证券研究所

凸点间距 (Bump Pitch) 越小，封装集成度越高，难度越大。从 Bump Pitch 来看，台积电 3D Fabric 技术平台下的 3D SoIC、InFO、CoWoS 均居于前列，其中 3D SoIC 的 bump Pitch 最小可达 6um，居于所有封装技术首位。Bump Pitch 间距最小的 3D SoIC 和 Foveros Direct 仍在研发中，尚未量产。目前已经量产的封装技术中，bump pitch 最小的为台积电的 InFO_LSI。

图表4:头部厂商封装技术 bump pitch 对比 (单位: um)

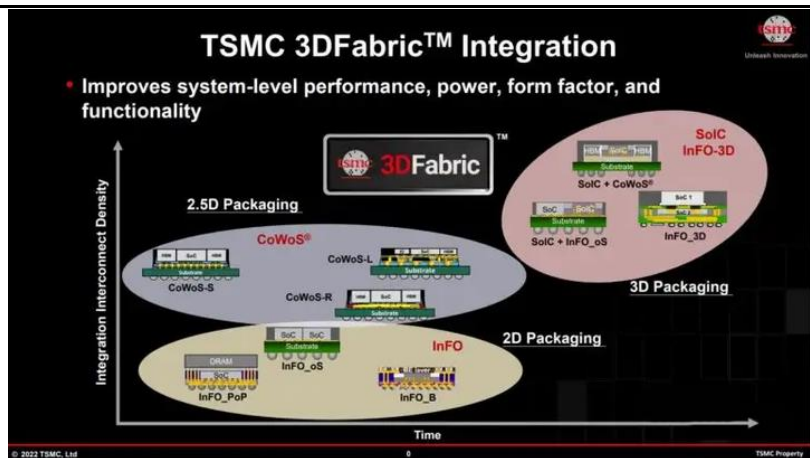


资料来源: IDTechEX, 方正证券研究所

2 台积电：整合构建 3D Fabric 平台，先进制程持续演进

台积电布局扇出技术入局先进封装，3DFabric 技术平台势头正盛。台积电于 2011 年开始布局先进封装，为了进一步发展微缩技术，以在单芯片上系统中实现更小且更优异的晶体管，台积电发挥异质整合的优势，开发 3DFabric 技术，将系统中的晶体管数量提高 5 倍以上。当前 3DFabric 包含前端 SoIC 技术和后端 InFO、CoWoS 封装技术。台积电 2022 年营收中先进封装占比 7%，营收增速高于平均；2023 年营收占比为 6-7%。法说会中表示 2023 年资本开支的 10% 将用于先进封装。2023 年 7 月，台积电投资 900 亿新台币扩充先进封装产能，预计厂房建设于 2026 年完成，2027Q2-3 开始量产，月产能合计可达 11 万片 12 英寸 3D Fabric 制程。

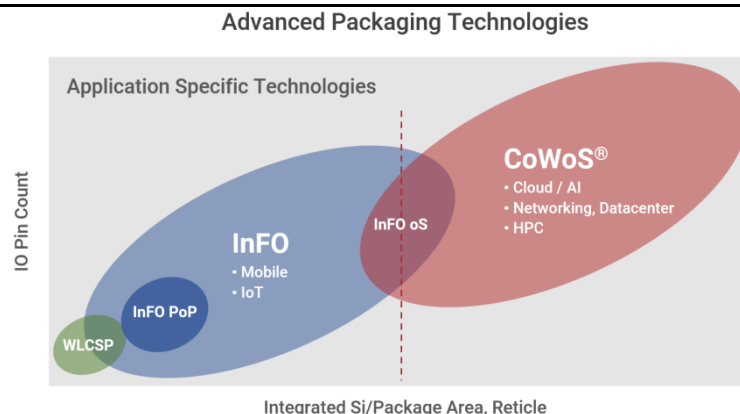
图表5:台积电 3DFabric 技术平台



资料来源：台积电，知乎，方正证券研究所

3DFabric 提供从前端到后端完全集成的同构和异构集成。应用平台利用台积电先进的晶圆技术、开放创新平台设计生态系统和 3DFabric 来实现快速改进和上市时间。前端 3D 堆叠技术或 SoIC（集成芯片系统）提供灵活的芯片级小芯片设计和集成。台积电的 CoW（晶圆上芯片）和 WoW（晶圆上晶圆）技术允许堆叠相似和不同的芯片，大大提高芯片间互连密度，同时缩小产品的外形尺寸。在后端 3D 方面，CoWoS 增加的封装和丰富的技术内容提供了极高的计算性能和高内存带宽，以满足云、数据中心和高端服务器的 HPC 需求。除了 CoWoS 之外，InFO 衍生技术，例如 InFO_oS，针对特定 HPC 应用提供逻辑到逻辑的集成解决方案。

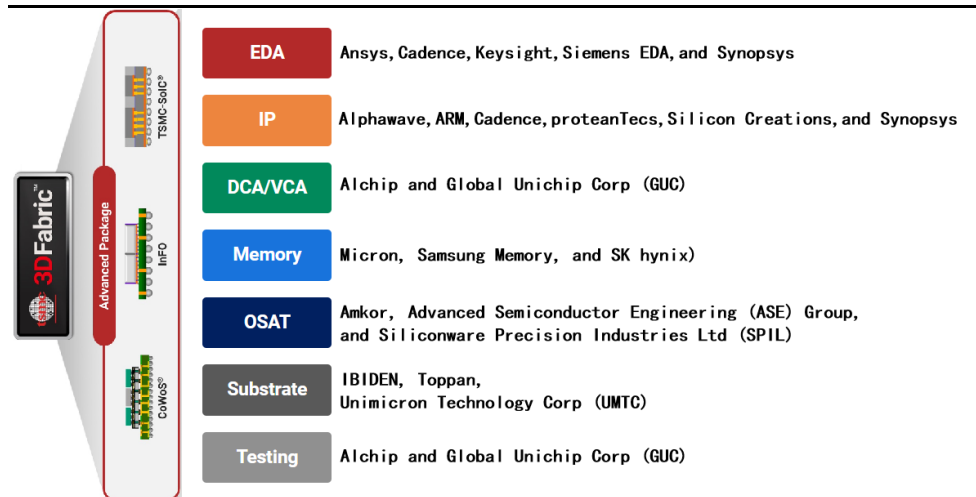
图表6:先进封装技术的应用领域



资料来源：台积电，方正证券研究所

3D Fabric 联盟阵容强大。3DFabric 联盟是半导体行业首个此类联盟，旨在通过台积电的 OIP 生态系统合作伙伴的共同努力实现加速 3DFabric 生态系统创新和准备、加快 3DFabric 客户的采用和生产、通过将先进逻辑与 3DFabric 技术相集成，为半导体设计、内存模块、基板技术、测试、制造和封装提供全方位的一流解决方案和服务，从而引领系统设计行业，目前在 7 个领域与领域龙头企业展开合作，提供全系列最高质量、随时可用的解决方案和服务。

图表7:先进封装技术的应用领域



资料来源：台积电，方正证券研究所

2.1 SoIC: 3D 封装最前沿，混合键合助力垂直互联

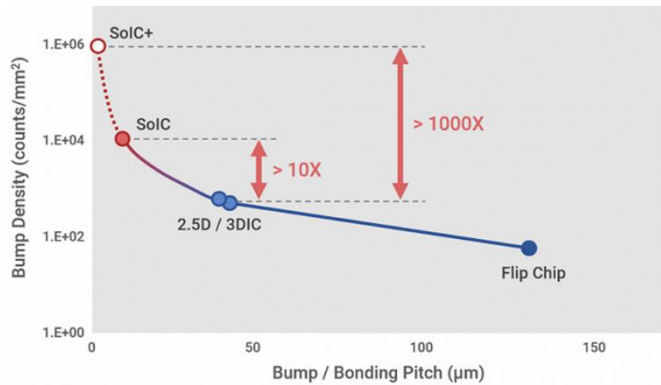
垂直芯片堆叠 3D 拓扑封装系列被称为“系统级集成芯片”（SoIC）。SoIC 有两种产品：“wafer-on-wafer”（WOW）和“chip-on-wafer”（COW）。SoIC 设计实际上是在创造键合界面，这样芯片就可以直接叠在芯片上面。SoIC 是台积电异构小芯片封装的关键，具有高密度垂直堆叠性能，与 CoWoS 和 InFO 技术相比，SoIC 可以提供更高的封装密度和更小的键合间隔。此外，SoIC 还可以与 CoWoS/InFO 共用，基于 SoIC 的 CoWoS 或 InFO 封装将会带来更小的芯片尺寸，实现多个小芯片集成，苹果正小量试产最新的 3D 堆叠技术 SoIC（系统整合芯片），目前规划采用 SoIC 搭配 InFO 的封装方案，预计用在 MacBook。

台积电推出 SoIC-P 与 SoIC-X 方案，高性价比+高性能全布局。SoIC-P 采用 18-25 微米间距微凸块堆叠技术，主要针对如移动、物联网等成本较为敏感的应用。SoIC-X 采用无凸块堆叠技术，主要针对 HPC 应用。其芯片对晶圆堆叠方案具有 4.5 至 9 微米的键合间距，已在台积电的 N7 工艺技术中量产，用于 HPC 应用。AMD Instinct MI300X 采用了台积电 SoIC-X 技术将 N5GPU 和 CPU 堆叠于底层芯片，并整合在 CoWoS 封装中，以满足下一代百万兆级（exa-scale）运算的需求。

SoIC-WoW 通过晶圆堆叠工艺实现异质和同质 3D 硅集成，提升芯片性能。紧密的键合间距和薄的 TSV 可实现更好的性能、更低的功耗和延迟以及更小的外形尺寸。WoW 适用于高良率节点和相同芯片尺寸的应用或设计，它甚至支持与第三方晶圆集成。在 W2W 中，芯片在晶圆厂的两个晶圆上加工。然后，晶圆键合机取出两个晶圆并将它们键合在一起。最后，对晶圆上堆叠的芯片进行切割和测试。

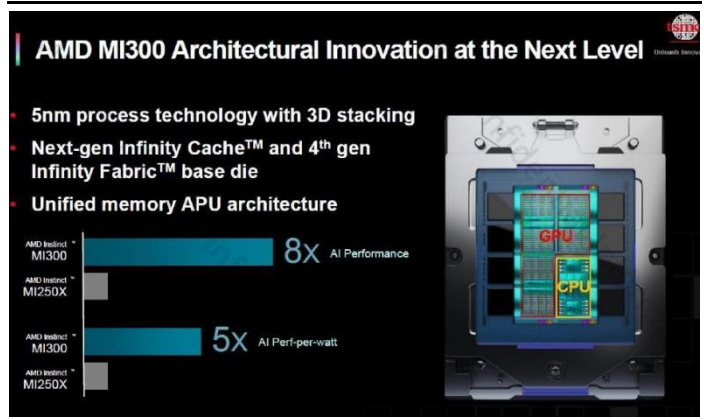
SoIC-CoW 将不同尺寸、功能、制程节点的芯粒异质整合。该封装技术通过更通用的 COW 拓扑堆叠多个 SoC 芯片，通过 Chip on Wafer (CoW) 封装技术，可以将不同尺寸、功能、节点的晶粒进行异质整合，并于竹南六厂 (AP6) 进入量产。AMD 是首发客户，最新的 MI300 即以 SoIC 搭配 CoWoS。

图表8:FC、2.5D/3DIC、SoIC 等封装方式密度依次提升
凸块间距依次降低



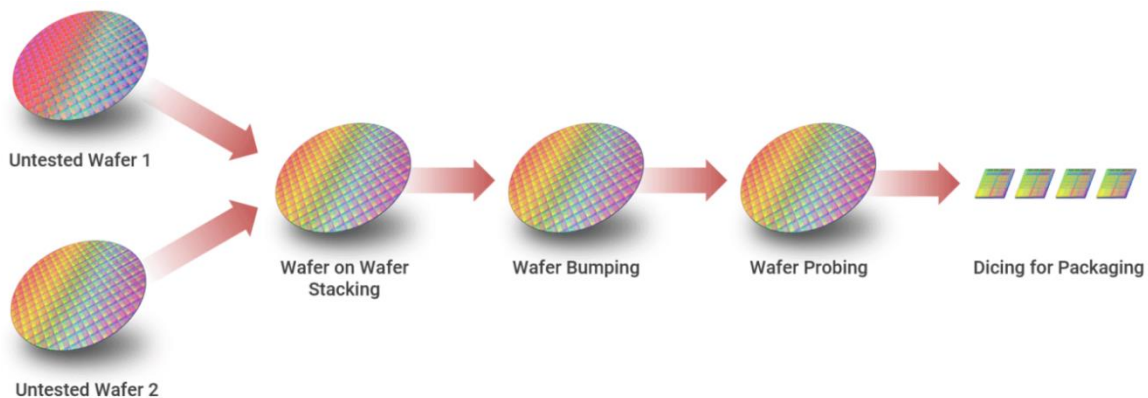
资料来源：台积电，方正证券研究所

图表9:AMD Instinct MI 300X 采用台积电 SoIC-X 技术



资料来源：台积电，ESM China，方正证券研究所

图表10:台积电 SoIC W2W 键合工艺流程



资料来源：台积电官网，方正证券研究所

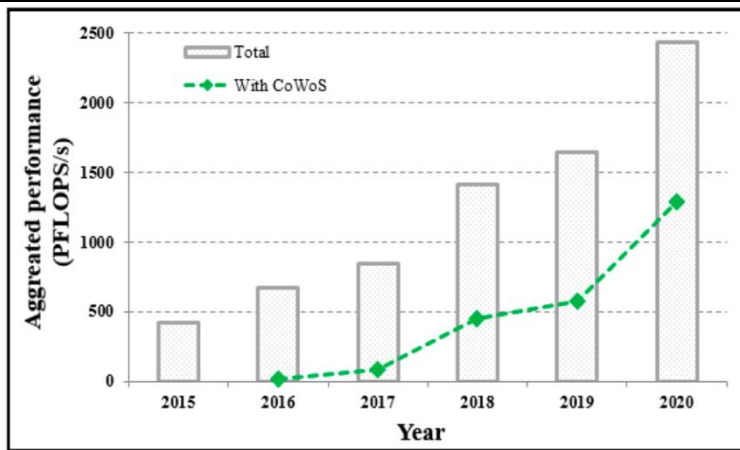
2.1 CoWoS: 2.5D 封装核心方案，GPU

CoWoS 主要针对需要整合先进逻辑和高带宽存储器的 HPC 应用。CoWoS 解决方案的中介层面积均在增加，以便整合更多先进芯片和高带宽存储器的堆叠，满足更高的性能需求，目前台积电公司已经支持超过 25 个客户的 140 多种 CoWoS 产品。当前 CoWoS 已经扩展到提供三种不同的转接板技术，CoWoS-S 采用硅中介层，可以为高性能计算应用提供最佳的性能和最高的晶体管密度；CoWoS-R 利用 InFO 技术，利用 RDL 中介层进行互连，更强调小芯片间的互连；CoWoS-L 结合了 CoWoS-S 和 InFO 技术的优点，使用夹层与 LSI（局部硅互连）芯片进行互连，使用 RDL 层进行电源和信号传输，提供了最灵活的集成。英伟达、博通、谷歌、亚马逊、NEC、AMD、赛灵思、Habana 等公司已广泛采用 CoWoS 技术，2020 年基于 CoWoS-S 的系统的总计算能力占有所有 500 强系统总计算能力的 50% 以上。

GUC 利用台积电 CoWoS 技术打造 3nm HBM3 和 GLink-2.5D IP，实现高带宽利用率。2023 年 GUC 采用台积电 CoWoS 先进封装技术流片 3nm 8.6Gbps HBM3 和 5Tbps/mm GLink-2.5D IP，HBM3 控制器和 PHYIP 可在台积电的 7nm 和 5nm 工艺

节点上使用,支持 CoWoS-S 和 CoWoS-R 技术。这些 IP 均通过 SKhynix 和三星 HBM3 内存进行验证, GUC 的 HBM3 控制器在随机访问时表现出高于 90% 的带宽利用率。GLink2.3LL 支持台积电的 InFO_oS 和 CoWoS-S/R 技术。它已经在台积电的 5 纳米工艺节点上进行了硅验证。

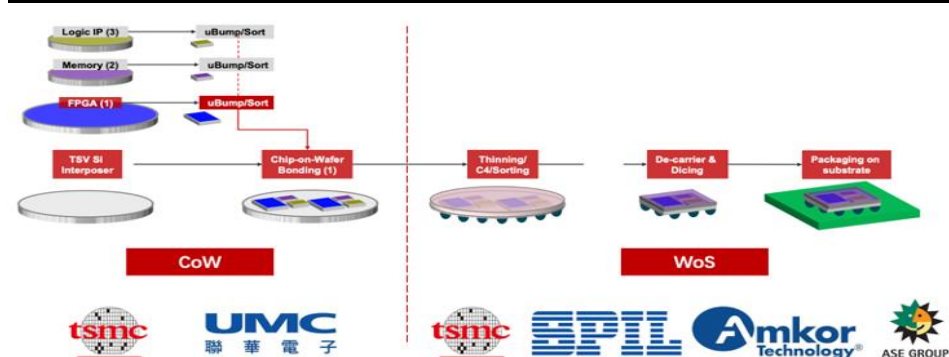
图表11:2015-2020 年采用 CoWoS 方案的 TOP500 超级计算机占比不断提升



资料来源:《Wafer Level System Integration of the Fifth Generation CoWoS® -S with High Performance Si Interposer at 2500 mm²》, 方正证券研究所

CoWoS 工艺流程分为前段 CoW 和后段 oS 工艺。CoW 包括 TSV、Si interposer 的制作,在裸芯 (Die) 上制备微凸点 (ubump),其次进行与晶圆的键合,并进行晶圆级封装。oS 工艺包括减薄、临时键合、植入 C4、解键合、划片,最后实现与载板之间的连接。CoWoS 工艺结束后再进行成品测试 (FT)。当前存在两种方案,一种是台积电完成晶圆和中介层生产,即 CoWoS 的“CoW”部分,然后交由自家 (比如空余 InFO 产能) 或别家封装厂完成“oS”部分;另一种方案是联电生产硅中介层,即“Co”部分,再送往安靠或日月光完成“WoS”部分。目前台积电正在开发具有高达 6 个光罩尺寸 (约 5,000 平方毫米) 重布线层 (RDL) 中介层的 CoWoS 解决方案,能够容纳 12 个高带宽存储器堆叠。

图表12:台积电 CoWoS 工艺流程



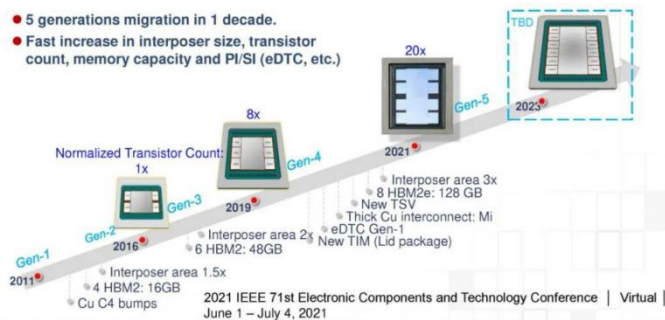
资料来源: Xilinx, 方正证券研究所

灵活的多芯片集成技术 CoWoS-S, 可实现高性能计算和人工智能加速。CoWoS-S 全称为 Chip-on-Wafer-on-Substrate with Si interposer, 是一种基于 TSV 的多芯片集成技术, 由于其灵活性而被广泛应用于高性能计算 (HPC) 和人工智能 (AI) 加速器领域以容纳 SoC、Chiplet 和 3D 堆栈的多个芯片, 例如高带宽内存 (HBM)。

中介层尺寸在过去几年稳步增加，从一个完整的光罩尺寸(830mm²)到两个光罩尺寸(1700mm²)。中介层尺寸的增长提供了更多的集成能力，可以在封装中容纳更多的有源硅，从而满足 HPC/AI 的需求。CoWoS-S 是成本最高的，但在性能上也是最好的，自 2012 年开始批量生产，迄今为止为已向 20 多家客户提供了大于 100 种产品。

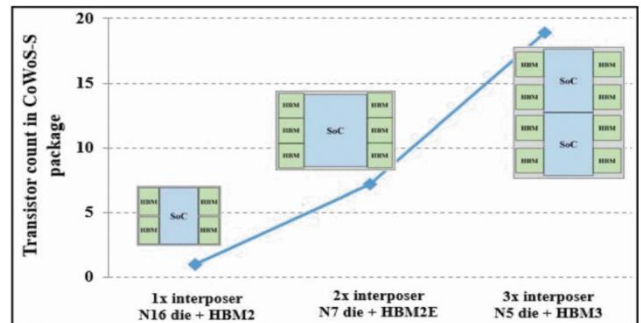
十年 5 次迭代中介层尺寸不断扩展，6 代今年量产在即。第一代 CoWoS 主要用于大型 FPGA。CoWoS-1 的内插器裸片面积高达~800mm²，非常接近光罩极限。第二代 CoWoS 通过掩模拼接显著增加了中介层尺寸。最初符合 1200mm² 要求的 TSMC 已将中介层尺寸增加到 1700mm²，这些大封装被称为 CoWoS-XL2。第五代 CoWoS-S 已经可以支持 HBM3，可以通过将中介层尺寸扩展到 3 倍光罩(2500mm²)，在单个中介层上集成三个或更多逻辑芯片/小芯片和八个 HBM。与上一代 CoWoS 相比，更大的尺寸与先进的节点顶层裸片相结合，可以集成近 20 倍的晶体管和 2 倍的存储器堆栈。预计第六代 CoWoS-S 将于 2023 年量产。

图表13:CoWoS-S 十年间经历了 5 次迭代



资料来源：台积电，方正证券研究所

图表14:CoWoS-S 上集成的晶体管数量不断上升



资料来源：台积电，方正证券研究所

第五代 CoWoS 多项功能升级，尽显未来潜力。除了中介层尺寸增量，第五代 CoWoS-S 还包含以下新功能：1) 开发了 5 个新的低 RC 金属层，在毫米距离内提供更好的芯片间串扰信号完整性。2) TSV 升级，具有最佳的高速 SerDes 性能。3) 在超大 3x 中介层上集成深沟槽电容器(iCap)，用于增强电源完整性。4) 通过集成在 CoWoS-S5 中的新型热界面材料(TIM)增强封装热阻。TIM 的导热系数高于 20W/K，具有出色的热稳定性。CoWoS-S5 机械测试车辆(mTV)结合上述功能，用于工艺/封装验证，并通过了 JEDEC 标准元器件级可靠性测试，证明了 CoWoS-S5 的潜力和稳健性。

CoWoS-R 是利用 InFO 技术和 RDL 中介层实现 HBM 和 SoC 集成的低成本方案。CoWoS-R 是利用 InFO 技术和 RDL 中介层，以实现小芯片之间的互连，特别是在 HBM(高带宽内存)和 SoC 异构集成中。CoWoS-R 和 CoWoS-S 之间的主要区别在于硅中介层被有机中介层取代，使用有机转接板以降低成本。CoWoS-R 中的关键组件包括再分布层(RDL)和无 TSV 的垂直互连 RDL 中介层由聚合物和铜走线组成，在机械方面相对灵活。这种灵活性增强了 C4 关节的完整性，并允许新包装可以扩大其尺寸以满足更复杂的功能需求。

CoWoS-R 技术的主要特点包括：

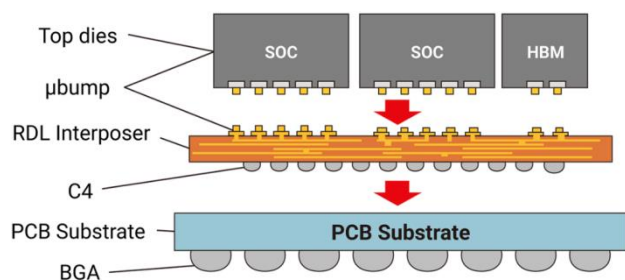
1) RDL 中介层包含多达 6 层铜线用于最小 4um 间距(2um 线宽/间距)的布线。

2) RDL 互连提供良好的信号和电源完整性性能，路由线路的 RC 值较低，可实现高传输数据速率。具有六个 RDL 互连的共面 GSGSG 和层间接地屏蔽提供卓越的电气性能。

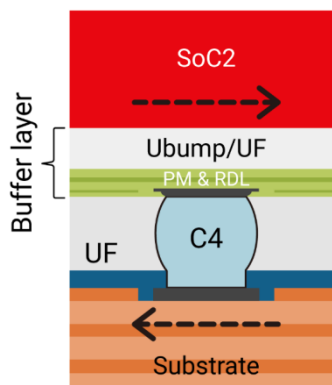
3) RDL 层和 C4/UF 层由于 SoC 与对应基板的 CTE 失配，提供了良好的缓冲效果。C4 凸块中的应变能密度大大降低。

4) 4 倍最大光罩尺寸，支持一个 SoC，在 55mmX55mm 封装中具有 2 个 HBM2 堆栈；最新开发中的方案拥有 2.1 倍最大光罩尺寸，支持 2 个 SoC 和 2HBM2 采用 85mmX85mm 封装。

图表15:CoWoS-R 示意图



图表16:CoWoS-R 横截面放大图

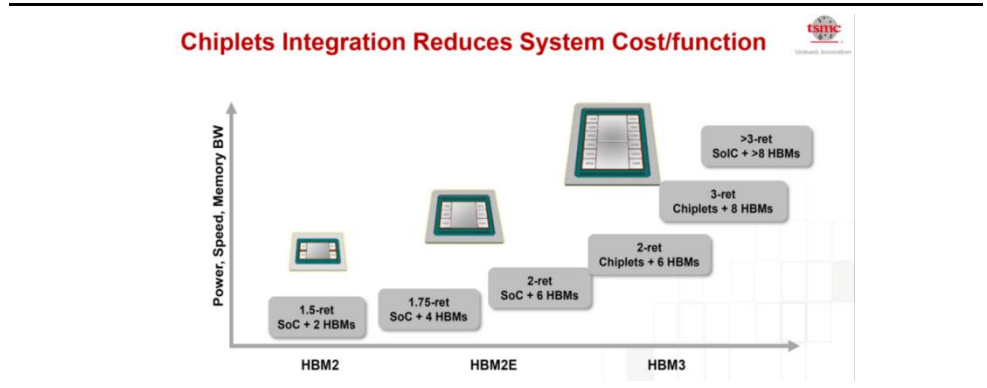


资料来源：台积电，方正证券研究所

资料来源：台积电，方正证券研究所

CoWoS-L 结合 CoWoS-S 和 InFO 技术之长，用于 die-to-die 的芯片互连。CoWoS-L 作为 CoWoS 平台中最新的芯片封装技术，结合了 CoWoS-S 和 InFO 技术的优点，使用带有 LSI (本地硅互连) 芯片的中介层提供最灵活的集成，用于 die-to-die 的芯片互连，电源和信号传输的芯片互连和 RDL 层。产品从具有 1xSoC+4xHBM 立方体的 1.5X 光罩中介层尺寸开始，进一步扩展到更大尺寸以集成更多芯片。据台积电 2023 年上海论坛，2023 年将推出拥有 2 倍最大光罩尺寸大小，支持 2 个 SoC 和 6 个 HBM2 堆栈的方案；2024 年将推出 4 倍最大光罩尺寸，可支持 12 个 HBM3 堆栈的方案，且正与 HBM 标准小组合作，共同制定 CoWoS 实施的 HBM3 互连要求的物理配置。HBM3 标准定义：4GB (带 4 个 8Gb 芯片) 到 64GB (16 个 32Gb 芯片) 的容量；1024 位信号接口；高达 819GBps 带宽。台积电正在研究适当的冷却解决方案，包括改进芯片和封装之间的热界面材料 (TIM)，以及从空气冷却过渡到浸入式冷却。

图表17:HBM 演进

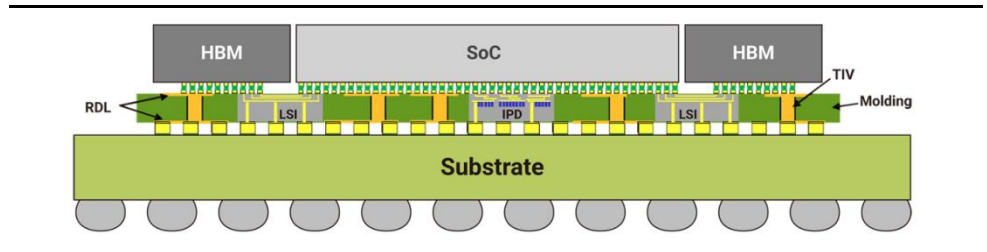


资料来源：台积电，eet China，方正证券研究所

CoWoS-L 的主要特点包括：

- 1) LSI 芯片，用于通过多层亚微米铜线实现高布线密度的芯片到芯片互连。可在每个产品中采用多种连接架构(例如 SoC 到 SoC、SoC 到 chiplet、SoC 到 HBM 等)，也可重复用于多个产品。相应的金属类型、层数和间距与 CoWoS-S 的产品一致。
- 2) 基于成型的中层在正面和背面均具有宽间距的 RDL 层，以及用于信号和功率传输的 TIV(中介层通孔)可在高速传输中提供低损耗的高频信号。
- 3) 能够在 SoC 裸片下方集成其他元件，例如独立 IPD(集成无源器件)，以支持其具有更好 PI/SI 的信号通信。

图表18:CoWoS-L 示意图



资料来源：台积电，方正证券研究所

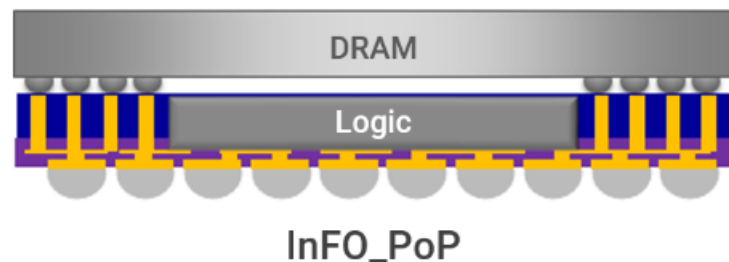
2.2 InFO：高密度&低成本，适配消费类应用

InFO 技术使用 polyamide film 代替 CoWoS 中的硅中介层，实现高密度低成本。台积电的 InFO 技术使用 polyamide film 代替 CoWoS 中的硅中介层，从而降低成本和封装高度，这两个因素都是其实现大规模应用的重要条件。InFO 具有高密度的 RDL，适用于移动、高性能计算等需要高密度互连和性能的应用。InFO 是创新的晶圆级系统集成技术平台，具有高密度 RDL(重新分布层)和 TIV(通过 InFOVia)，用于各种应用的高密度互连和性能，例如移动、高性能计算等。InFO 平台提供针对特定应用优化的各种 2D 和 3D 封装方案。相对来说，CoWoS 的性能更好，但成本较高；InFO 则采用 RDL 代替硅中介层，无须 TSV，性价比更高。

InFO_PoP，行业中首款 3D 晶圆级扇出封装。InFO_PoP 是业界第一个 3D 晶圆级扇出封装，具有高密度 RDL 和 TIV，可将移动 AP 与 DRAM 封装堆叠集成以用于移动应用。与 FC_PoP 相比，InFO_PoP 由于没有有机基板和 C4 凸块，因此具有

更薄的外形和更好的电气和热性能。自 2016 年以来，InFO_PoP 出货量超过 12 亿台。

图表19: InFO_PoP 示意图

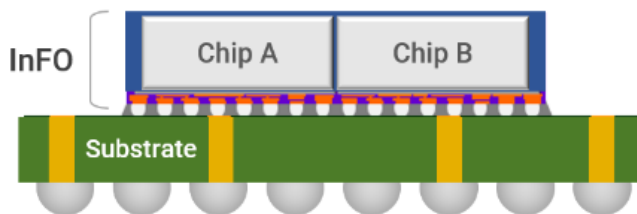


资料来源：台积电，方正证券研究所

InFO_oS 可以封装多个芯片，再分布层及其微凸点连接到带有 TSV 的基板。目前，InFO_oS 投产已达 5 年以上，专注于 HPC 客户。利用 InFO 技术并具有更高密度的 2/2 μm RDL 线宽/间距，集成多个先进逻辑芯片，用于 5G 网络应用。它可在 SoC 上实现混合焊盘间距，在 $>65 \times 65\text{mm}$ 基板上具有最小 $40 \mu\text{m}$ I/O 间距、最小 $130 \mu\text{m}$ C4 Cu 凸块间距和 > 2 倍掩模版尺寸 InFO。InFO_oS 的首代产品于 2018 年开始量产。

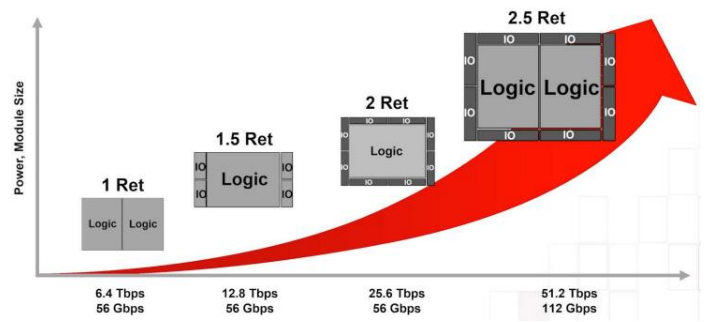
- 1) 基板上有 5 个 RDL 层， $2\mu\text{m}/2\mu\text{m}$ L/S
- 2) 该基板可实现较大的封装尺寸，目前为 $110\text{mm} \times 110\text{mm}$ ，计划实现更大的尺寸
- 3) 拥有 $130\mu\text{m}$ C4 凸块间距

图表20: InFO_oS 示意图



资料来源：台积电，方正证券研究所

图表21: InFO_oS 发展

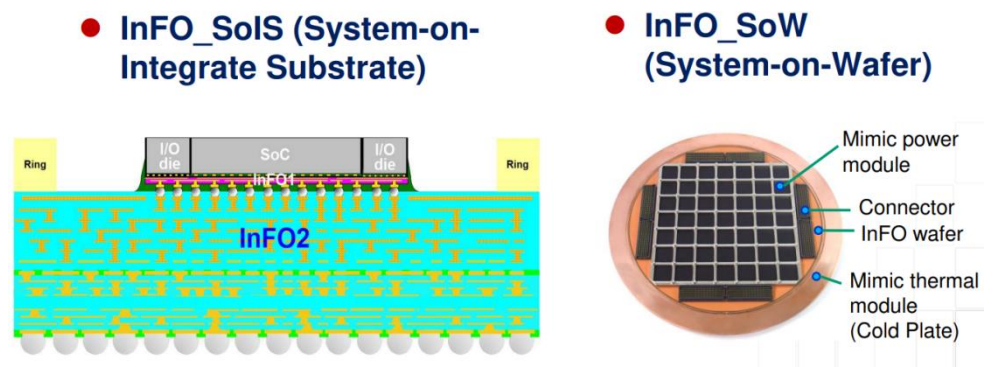


资料来源：台积电，方正证券研究所

InFO_M 是 InFO_oS 的替代方案，具有多个封装芯片和再分布层，无需额外的基板 + TSV ($<500\text{mm}^2$ 封装，于 2022 年下半年投产)。在 HPC 应用方面，无基板的 InFO_M 支持高达 500 平方毫米的小芯片整合，适用于对外型尺寸敏感度较高的应用。

高性能计算机方面，台积电有多种改良方案，其中较为主流的有 InFO_SoIS 与 InFO_SoW。堆叠两个“InFO”，即“InFO_SoIS (System on Integrated Substrate)”；在模组(尺寸和晶圆大小相近)上横向排列多个硅芯片(Silicon Die, 或者 Chip)，再通过“InFO”结构，使芯片和输入/输出端子相互连接，即“InFO_SoW (System on Wafer)”。InFO_SoW 将大规模系统(由大量的硅芯片组成)集成于直径为 300 毫米左右的圆板状模组(晶圆状的模组)上。通过采用 InFO 技术，与传统的模组相比较，可以获得更小型、更高密度的系统，在特斯拉的 Dojo 超算中使用 InFO_SoW 技术。

图表22: InFO_SoIS 与 InFO_SoW 示意图



资料来源：台积电，方正证券研究所

3 三星：从 HBM 到 2.5D/3D 封装，提供一站式解决方案

三星提供了 2.5D 和 3D 在内的丰富的先进封装交钥匙解决方案。包括 I-CubeS、I-CubeE、X-Cube (TCB) 和 X-Cube (HCB) 四个不同的封装类型：

1) I-CubeS 和 I-CubeE 都是 2.5D 封装技术的代表：它们的技术特点是，在一个 85x85mm² 的封装中，可以同时放置多个 HBM（目前是 8 个），并且互连层的面积是一个标准光罩的三倍，即 3x reticle。它们的微凸块间距和互连层 C4 间距分别是 40μm 和 150μm。I-CubeS 和 I-CubeE 的未来发展方向是，将互连层的面积扩大到 4x reticle，将 HBM 的数量提升到 12 个，将微凸块间距和互连层 C4 间距缩小到 25μm 和 125μm，以及将封装的尺寸增加到 100x100mm²；

2) 3D 封装技术 X-Cube (TCB) 和 X-Cube (HCB)：区别在于是否使用凸块连接技术。X-Cube (TCB) 的微凸块间距和硅片厚度分别为 25μm 和 40μm，而 X-Cube (HCB) 则展现了更高的技术水平，其微凸块间距和硅片厚度仅为 4μm 和 10μm，这反映了其在精度上的提升

图表 23：三星先进封装解决方案

Advanced Packaging Turnkey solutions

Type	Current offering	Roadmap	Pictures
I-CubeS 2.5D	Interposer size: 3x reticle; # of HBM: 8x; μbump pitch: 40μm; Interposer C4 pitch: 150μm; Package size: 85x85mm ²	Interposer size: 4+ reticle; # of HBM: 12x; μbump pitch: 25μm; Interposer C4 pitch: 125μm; Package size: 100x100mm ²	
I-CubeE 2.5D	Interposer size: 3x reticle; # of HBM: 8x; μbump pitch: 40μm; Interposer C4 pitch: 150μm; Package size: 85x85mm ²	Interposer size: 4+ reticle; # of HBM: 12x; μbump pitch: 25μm; Interposer C4 pitch: 125μm; Package size: 100x100mm ²	
X-Cube (TCB) 3D	Bump pitch: 25μm; Silicon thickness: 40μm	Bump pitch: ≤21μm; Silicon thickness: <40μm	
X-Cube (HCB) 3D	Bump pitch: 4μm; Silicon thickness: 10μm	Bump pitch: ≤3μm; Silicon thickness: <10μm	

M. Kang, "Heterogeneous Integration Platform for Next Generation Computing" Sixth Annual Symposium on Heterogeneous Integration, February, 2023.

资料来源：OPC 演讲《AI/HPC: Advanced package technologies for chiplet adoption and memory integration in HPC/AI applications》，方正证券研究所

图表 24：X-Cube Platform 与 I-CubeS/ I-CubeE Platform 工艺水平提升

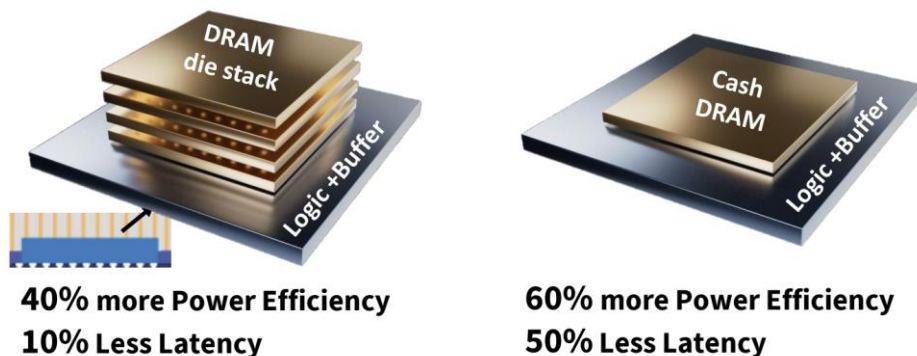


资料来源：OPC 演讲《Unleashing the Power of Collaboration: Overcoming Memory Challenges in the AI/ML Era》，方正证券研究所

展望未来，为解决封装越来越大的问题，三星提出了两种解决方案：1) 在一个 logic die 上堆叠 DRAM die，提升功耗效率 40%，降低延迟 10%；2) 将 Cash DRAM 堆叠在 logic die 上，提升功耗效率 60%，降低延迟 50%

图表25:三星未来 3D 封装方案构想

Future trends and insights 3D Memory Integration



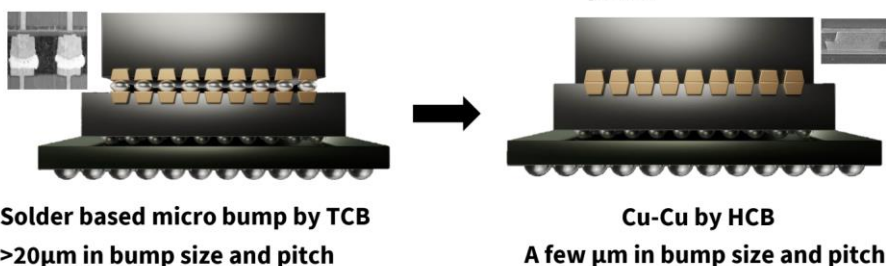
M. Kang, "Heterogeneous Integration Platform for Next Generation Computing" Sixth Annual Symposium on Heterogeneous Integration, February, 2023.

资料来源: OPC 演讲《AI/HPC: Advanced package technologies for chiplet adoption and memory integration in HPC/AI applications》, 方正证券研究所

在内部互联的技术上,如果 Bump pitch 超过 $20\mu\text{m}$,可以采用基于 TCB 的微凸块连接技术。但未来若使用基于 HCB 的铜对铜连接技术,可以实现更小的 bump size 和 bump pitch,将密度提高 100 倍,带宽提高 150 倍,功耗效率提高 30%。

图表26:三星未来内部互联技术构想

Future trends and insights Cu-Cu replacing solder based micro bumps



资料来源: OPC 演讲《AI/HPC: Advanced package technologies for chiplet adoption and memory integration in HPC/AI applications》, 方正证券研究所

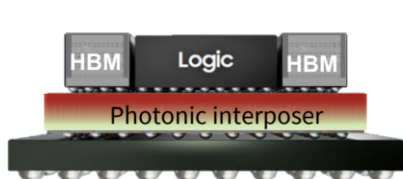
光互连将发挥重要作用,使用光学 I/O 的优势是可以实现非常高的带宽密度和非常低的功耗。三星有两种光学 I/O 的构想:一种是直接用光学 I/O 连接逻辑和存储(包括 HBM);另一种是用光学 I/O 连接逻辑封装和存储封装。

图表27:三星未来光学 I/O 技术构想

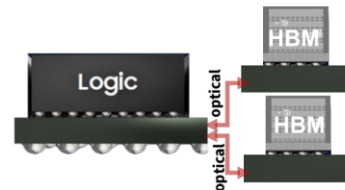
Future trends and insights

Optical Interconnects could be a promising approach

- Exceptionally high bandwidth densities
- Ultra low power consumption per bit or per distance



Development trend: Optical interface between HBM and Logic



Development trend: Optical connection between “off-package” HBMs

M. Tan, et al “Co-packaged optics (CPO): status, challenges, and solutions”, Frontiers of Optoelectronics”, 16:1, 2023

N. Pleros et al “Optical Interconnect and Memory Technologies for Next Generation Computing”, 2016 18th International Conference on Transparent Optical Networks (ICTON), Trento, Italy, 2016, pp. 1-4, doi: 10.1109/ICTON.2016.7550267.

资料来源: OPC 演讲《AI/HPC: Advanced package technologies for chiplet adoption and memory integration in HPC/AI applications》, 方正证券研究所

4 英特尔：EMIB 和 3D Foveros 持续演进

英特尔的封装技术从基于 2D 封装的 FCBGA/FCLGA 向 2.5D 的 EMIB 及 3D Foveros 封装发展。同时，英特尔也在开发名为 Foveros Direct 的混合键合技术。混合键合能将具有优良电性能的铜和铜直接连接起来，以减少堆叠间隙，提高信号传输速度，并且可以提供最佳的功耗表现。

图表28: 英特尔先进封装技术一览

技术种类	EMIB	Foveros	Foveros Omni	Foveros Direct
类型	2.5D	3D		
凸点间距(μm)	40-50	25-50	~25	<10
凸点密度/mm ²	330-772	400-1600	1600	10000
功率(pJ/Bit)	0.5	0.15	<0.15	<0.05
关键工艺	TSV、嵌入式硅桥	TSV	ODI	混合键合
量产进度	2017年量产	2019年量产	2023H2量产	

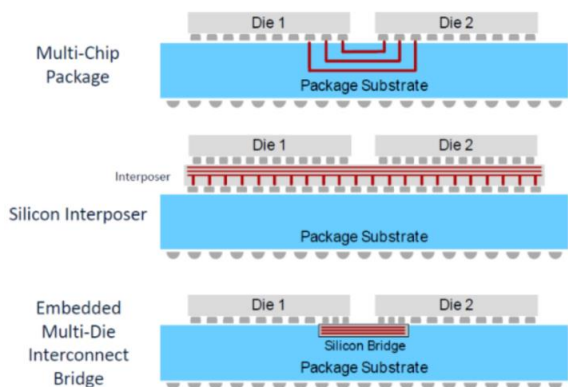
资料来源：Intel，方正证券研究所

1) EMIB:

当前 2.5D 封装的主流方案包括：以台积电的 CoWoS-S 为代表的 silicon interposer（硅中介层）连接方案，以及英特尔的以 EMIB 为代表的“silicon bridge”（硅桥接）连接方案。EMIB 封装是对两个 Die 之间通过一个基板进行互联，即通过第二层基板实现不同 Die 之间的连接。EMIB 封装不同之处在于其硅桥内嵌于基板之内，而 cowos-s 的硅中介层则是在基板之上。

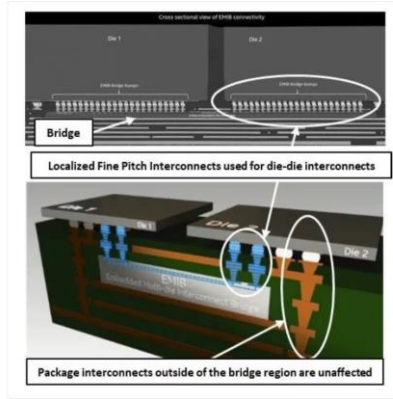
硅中介层的优势在于可以提供更高的互联密度，有效满足芯片异构集成的互联要求。缺点在于价格昂贵，且中介层面积受掩模版尺寸限制拓展难度愈加大。硅桥接方案不受掩模版尺寸限制，可以显著减小生产成本且使用灵活。英特尔早在 2017 年便已经生产采用 EMIB 封装的芯片产品，且仍在持续推新产品，如 PonteVecchio（超级计算机级显卡）、Sapphire Rapids（下一代 Xeon 企业处理器）、MeteorLake（2023 消费级处理器）以及其他与显卡相关的产品。

图表29: 不同异构集成方案对比



资料来源：intel，方正证券研究所

图表30: EMIB 结构图

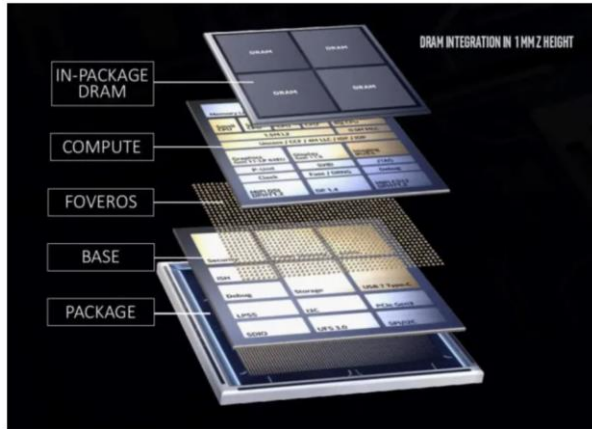


资料来源：技术邻，方正证券研究所

2) Foveros

Foveros 3D 封装取消了基板的连接环节，通过 Die 与 Die 之间的叠加和高密度连接，实现更小的功率损失，以及更好的连接性。第一代 Foveros 凸点间距为 50 微米，而第二代 Foveros 升级至 36 微米，连接密度增加一倍。

图表31:Foveros 方案



资料来源: intel, 方正证券研究所

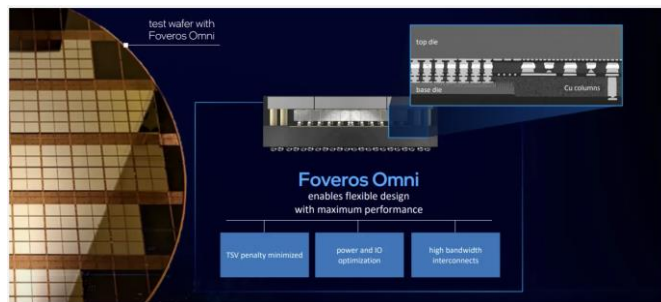
图表32:Foveros 优势



资料来源: intel, 方正证券研究所

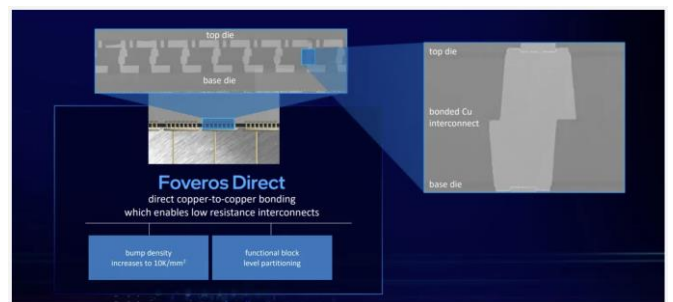
Foveros 有两种新的形式: Foveros Omni 和 Foveros Direct。Foveros Omni 基于全向互连 (ODI) 技术。不同于传统堆叠中电力及信号传输都需要通过 TSV 到达顶部芯片，Foveros Omni 引入了铜柱，以绕过 TSV 直接向顶部芯片供电和传输信号，大幅增强信号完整性并减少 TSV 连接损耗。Foveros Direct 是 Foveros 的另一种新形式，其上下 die 之间直接通过铜铜键合，每平方毫米连接密度提升至 10K。英特尔表示 Foveros Direct 与 Foveros Omni 以及 EMIB 等其他技术可以混合搭配，以便为其特定产品创建最佳的技术组合。而根据英特尔的规划，两种新的封装形式均将有望于 2023H2 实现制造。

图表33:Foveros Omni 示意图



资料来源: intel, 方正证券研究所

图表34:Foveros Direct 示意图



资料来源: intel, 方正证券研究所

随着英特尔各项封装技术的持续发展，其连接间距也越来越小。根据英特尔封装路线规划，EMIB 和 Foveros 的连接间距在 2023 年提升至 45 微米，混合键合凸点间距将减小到 10 微米以下，并且最快于 2023 年下半年开始应用到英特尔的制造工艺中。

图表35: 英特尔先进封装凸点间距演进

Intel Timelines																				
	2021				2022				2023				2024				2025			
	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4	Q1	Q2	Q3	Q4
EMIB	EMIB 55 micron									EMIB 45micron										
Foveros	Foveros 50 micron								Foveros 45 micron											
Foveros Ommi											Foveros Ommi, 25micron									
Foveros Direct											Foveros Direct, 10 micron 2-stack									

资料来源: Anandtech, 方正证券研究所

5 风险提示

复苏节奏不及预期：封装行业具有周期性，若下游需求持续疲弱，复苏节奏或不及预期。

中美贸易摩擦加剧：若中美贸易摩擦加剧，将对供给侧带来扰动，会影响行业的进一步发展。

行业竞争加剧：行业供大于求，若龙头厂商低价竞争，则产品价格可能进一步下跌。

测算误差风险：文中部分数据为根据当前公开数据测算，存在未来与真实值存在一定误差的风险。

分析师声明

作者具有中国证券业协会授予的证券投资咨询执业资格，保证报告所采用的数据和信息均来自公开合规渠道，分析逻辑基于作者的职业理解，本报告清晰准确地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响。研究报告对所涉及的证券或发行人的评价是分析师本人通过财务分析预测、数量化方法、或行业比较分析所得出的结论，但使用以上信息和分析方法存在局限性。特此声明。

免责声明

本研究报告由方正证券制作及在中国（香港和澳门特别行政区、台湾省除外）发布。根据《证券期货投资者适当性管理办法》，本报告内容仅供我公司适当性评级为 C3 及以上等级的投资者使用，本公司不会因接收人收到本报告而视其为本公司的当然客户。若您并非前述等级的投资者，为保证服务质量、控制风险，请勿订阅本报告中的信息，本资料难以设置访问权限，若给您造成不便，敬请谅解。

在任何情况下，本报告的内容不构成对任何人的投资建议，也没有考虑到个别客户特殊的投资目标、财务状况或需求，方正证券不对任何人因使用本报告所载任何内容所引致的任何损失负任何责任，投资者需自行承担风险。

本报告版权仅为方正证券所有，本公司对本报告保留一切法律权利。未经本公司事先书面授权，任何机构或个人不得以任何形式复制、转发或公开传播本报告的全部或部分内容，不得将报告内容作为诉讼、仲裁、传媒所引用之证明或依据，不得用于营利或用于未经允许的其它用途。如需引用、刊发或转载本报告，需注明出处且不得进行任何有悖原意的引用、删节和修改。

评级说明：

类别	评级	说明
公司评级	强烈推荐	分析师预测未来12个月内相对同期基准指数有20%以上的涨幅。
	推荐	分析师预测未来12个月内相对同期基准指数有10%以上的涨幅。
	中性	分析师预测未来12个月内相对同期基准指数在-10%和10%之间波动。
	减持	分析师预测未来12个月内相对同期基准指数有10%以上的跌幅。
行业评级	推荐	分析师预测未来12个月内行业表现强于同期基准指数。
	中性	分析师预测未来12个月内行业表现与同期基准指数持平。
	减持	分析师预测未来12个月内行业表现弱于同期基准指数。
基准指数说明		A股市场以沪深300 指数为基准；香港市场以恒生指数为基准，美股市场以标普500指数为基准。

方正证券研究所联系方式：

北京：西城区展览馆路 48 号新联写字楼 6 层

上海：静安区延平路71号延平大厦2楼

深圳：福田区竹子林紫竹七道光银行大厦31层

广州：天河区兴盛路12号楼隼峰苑2期3层方正证券

长沙：天心区湘江中路二段36号华远国际中心37层

网址：<https://www.foundersc.com>

E-mail：yjzx@foundersc.com