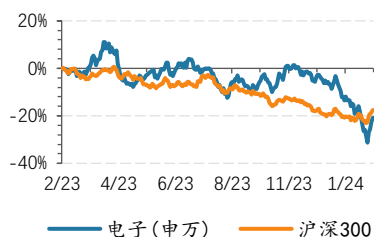


先进封装加速迭代，迈向 2.5D/3D 封装

行业评级：增持

报告日期：2024-02-19

行业指数与沪深 300 走势比较



分析师：陈耀波

执业证书号：S0010523060001

邮箱：chenyaobo@hazq.com

主要观点：

● 先进封装向着小型化和高性能持续迭代

在以人工智能、高性能计算为代表的新需求驱动下，先进封装应运而生，发展趋势是小型化、高集成度，历经直插型封装、表面贴装、面积阵列封装、2.5D/3D 封装和异构集成四个发展阶段。先进封装开辟了 More-than-Moore 的集成电路发展路线，能够在不缩小制程节点背景下，仅通过改进封装方式就能提升芯片性能，还能够打破“存储墙”和“面积墙”。先进封装属于中道工艺，包括清洗、溅射、涂胶、曝光、显影、电镀、去胶、刻蚀、涂覆助焊、回炉焊接、清洗、检测等一系列步骤，关键工艺需要在前道平台上完成。

● 由单芯片封装向多芯片封装发展，聚焦关键工艺

典型封装技术包括：1) 倒片封装 (Flip-Chip)：芯片倒置，舍弃金属引线，利用凸块连接；2) 扇入型/扇出型封装 (Fan-In/Fan-Out)：在晶圆上进行整体封装，成本更低，关键工艺为重新布线(RDL)；3) 2.5D/3D 封装：2.5D 封装中芯片位于硅中介层上，3D 封装舍弃中介层，进行多芯片堆叠，在基板上方有穿过芯片的硅通孔 (TSV)；4) SiP 封装：将多个子芯片异构集成，缩短开发时间、提高良率；5) Chiplet：多颗具有单一特定功能的小芯粒异构组装，具备成本优势。

● AI 和高性能计算芯片的关键瓶颈在于 CoWoS 产能

HBM 使用 2.5D/3D 封装技术打破“内存墙”制约，成为 AI 及高性能计算需求下的主流方案。HBM 带宽提升源于堆栈式封装带来的高位宽以及 I/O 速率的提升，关键改进是使用混合键合替代原来的微凸点键合。HBM 的高密度连接和短互联间距，要求台积电的 CoWoS 封装技术，量产主要使用的是 CoWoS-S。台积电指引 2024 年 CoWoS 带来 70 亿美元营收。从订单和产能角度测算，得到 CoWoS 封装的单价为 722.08 美元/颗，2023 年/2024 年基于 CoWoS 的芯片出货量将达到 346 万颗/693 万颗，其中供给英伟达的芯片分别为 130 万颗/433 万颗。台积电积极扩 CoWoS 产能，并将部分 oS (on Substrate) 委外至封测厂，预计供需缺口将在 13 个月内得到缓解。

● 先进封装景气度高于整体封装行业，未来向 2.5D/3D 进发

全球先进封装市场规模有望从 2022 年 378 亿美元上升至 2026 年 482 亿美元，CAGR 约为 6.26%。其中，3D 堆叠 CAGR 高达 18%，市场规模有望在 2026 年上升至 73.67 亿美元。先进封装头部六位玩家市场份额超 70%，技术路线由台积电、英特尔、三星等海外领先 Foundry 和 IDM 厂主导。

● 国产替代空间广阔，推荐国内先进封装相关标的

1) 润欣科技：增资奇异摩尔，国内首批 2.5D 及 3D IC Chiplet 产品及服务提供商；2) 通富微电：AMD 最大的封装测试供应商，提供国内最完善的 Chiplet 封装解决方案，7nm 产品已大规模量产，5nm 产品已完

并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

成研发并逐步量产；3）甬矽电子：Bumping 通线量产，打造“Bumping+CP+FC+FT”一站式封测平台。

● 风险提示

市场需求不及预期、技术迭代不及预期、行业竞争加剧等风险。

正文目录

1 封装行业现状与发展趋势.....	6
1.1 先进封装属于中道工艺，涉及部分前道工艺与设备.....	6
1.2 后摩尔时代，先进封装打破“存储墙”与“面积墙”.....	7
1.3 封装技术持续迭代，发展趋势是小型化、高集成度.....	9
2 典型封装技术.....	11
2.1 单芯片封装.....	11
2.1.1 倒片封装（FLIP-CHIP）：芯片倒置，利用凸块连接.....	11
2.1.2 扇入型/扇出型封装（FAN-IN/FAN-OUT）：在晶圆上进行整体封装，成本更低.....	12
2.2 多芯片封装.....	15
2.2.1 2.5D/3D 封装：多层芯片堆叠，AI 驱动下 HBM 需求大增，CoWoS 产能成为算力关键卡口.....	15
2.2.2 系统级封装（SiP）：多个子芯片集成，良率更高.....	23
2.2.3 芯粒（CHIPLET）：多颗小芯粒灵活组装，支持异构集成.....	24
3 先进封装市场.....	26
3.1 市场规模：受下游旺盛需求拉动，先进封装增速高于传统封装.....	26
3.2 竞争格局：海外 IDM 和 FOUNDRY 掌握先进封装前沿技术.....	27
4 相关标的.....	28
4.1 润欣科技：增资奇异摩尔，专注 CHIPLET 解决方案.....	28
4.2 通富微电：封测行业全球第四，提供国内最完善的 CHIPLET 封装解决方案.....	30
4.3 甬矽电子：BUMPING 通线量产，打造“BUMPING+CP+FC+FT”一站式封测平台.....	33
4.4 其他先进封装相关公司.....	35
风险提示：.....	36

图表目录

图表 1 半导体工艺流程与设备	6
图表 2 中道先进封装工艺流程与设备	6
图表 3 集成电路的两条发展路线分别是 MORE MOORE 和 MORE-THAN-MOORE	7
图表 4 随着工艺节点微缩, 芯片成本呈指数级增长	8
图表 5 存储容量与计算能力发展的差距形成“存储墙”	8
图表 6 芯片面积受制于光罩极限	9
图表 7 芯片良率随着面积增大而下降	9
图表 8 半导体封装的作用	10
图表 9 封装技术的四个发展阶段	10
图表 10 倒装封装相较于引线键合封装的改进	11
图表 11 倒装封装的优势	12
图表 12 焊球电镀凸块的工艺流程	12
图表 13 晶圆级封装	13
图表 14 扇入型封装和扇出型封装	13
图表 15 扇入型封装和扇出型封装的优缺点	14
图表 16 WLP 工艺流程	15
图表 17 2.5D 封装和 3D 封装的定义	15
图表 18 TSV 基本结构示意图	16
图表 19 TSV 制作工艺	17
图表 20 HBM 的架构	18
图表 21 HBM 的高带宽源于位宽和 I/O 速率的提升	19
图表 22 混合键合工艺流程	19
图表 23 不同键合技术的节距、密度及能效对比	20
图表 24 CoWoS 可分为 CoW 和 oS 两步	20
图表 25 CoWoS 三种变体的封装结构	21
图表 26 2024 年 CoWoS 收入测算	21
图表 27 META 和微软是英伟达 GPU 的最大买家	22
图表 28 CoWoS 的 ASP 及 AI 芯片出货量测算	23
图表 29 SoC、SiP 与 CHIPLET 的定义	24
图表 30 SiP 的封装形式分类	24
图表 31 基于 CHIPLET 架构的芯片结构图	25
图表 32 CHIPLET 芯片与 SoC 比较	25
图表 33 CHIPLET 封装技术迈向 3D 封装	26
图表 34 全球先进封装市场规模 (亿美元)	26
图表 35 全球封装市场结构	26
图表 36 全球细分市场规 模及份额	27
图表 37 OSAT、IDM 和 FOUNDRY 均布局先进封装	27
图表 38 海外厂商技术布局	28
图表 39 润欣科技营收结构	29
图表 40 润欣科技营业收入及增速	29
图表 41 润欣科技归母净利润及增速	29

图表 42 润欣科技产品进展	30
图表 43 通富微电营收结构	31
图表 44 通富微电营业收入及增速	31
图表 45 通富微电归母净利润及增速	31
图表 46 通富微电产品进展	32
图表 47 甬矽电子营收结构	33
图表 48 甬矽电子营业收入及增速	34
图表 49 甬矽电子归母净利润及增速	34
图表 50 甬矽电子产品进展	34
图表 51 其他先进封装相关公司	36

1 封装行业现状与发展趋势

1.1 先进封装属于中道工艺，涉及部分前道工艺与设备

半导体工艺流程包括前道晶圆制造工序和后道封装测试工序。前道工序是晶圆制造工序。在前道工序中，晶圆经历了氧化、涂胶、光刻、刻蚀、离子注入、物理/化学气相沉积、抛光、晶圆检测、清洗等一系列步骤，每一步都需要相应的半导体制造设备。后道工序是封装测试工序。在后道工序中，尚未切割的晶圆片进入 IC 封装环节，经历磨片/背面减薄、切割、贴片、银浆固化、引线焊接、塑封、切筋成型、FT 测试，每一环节同样需要相应的半导体封装设备与半导体测试设备。最终得到芯片成品。

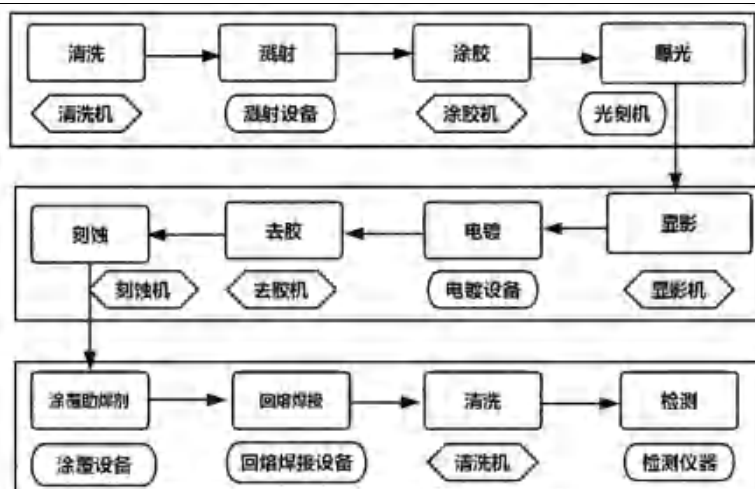
图表 1 半导体工艺流程与设备



资料来源：艾瑞咨询，华安证券研究所

传统封装已不能满足以人工智能、高性能计算为代表的新需求，先进封装技术应运而生，形成独特的中道工艺。先进封装也称为高密度封装，具有引脚数量较多、芯片系统较小和高集成化的特点。先进封装属于中道工序，包括清洗、溅射、涂胶、曝光、显影、电镀、去胶、刻蚀、涂覆助焊、回炉焊接、清洗、检测等一系列步骤。与传统的后道封装测试工艺不同，先进封装的关键工艺需要在前道平台上完成，是前道工序的延伸。

图表 2 中道先进封装工艺流程与设备

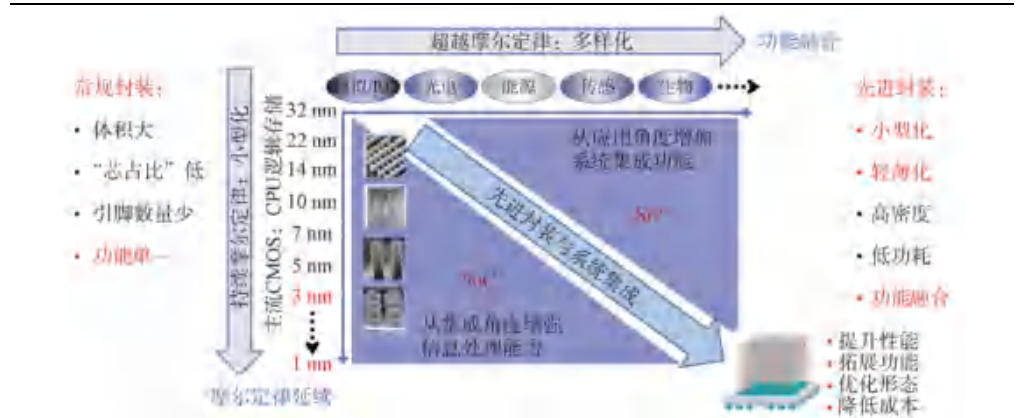


资料来源：芯源微招股书，华安证券研究所

1.2 后摩尔时代，先进封装打破“存储墙”与“面积墙”

集成电路沿着两条技术路线发展，分别是 **More Moore** 和 **More-than-Moore**。**More Moore** 代表持续追随摩尔定律，致力于推动先进制程的发展。这一路线的关键策略是通过不断微缩互补金属氧化物半导体（Complementary Metal-Oxide-Semiconductor, CMOS）器件的晶体管栅极尺寸，以增加芯片晶体管数量，从而提升芯片性能。目前，量产芯片的工艺制程已发展至 3 nm 节点。全球范围内仅有少数企业，如台积电、英特尔和三星，具备 10 纳米及以下节点的制造能力。与 **More Moore** 相对应的是 **More-than-Moore**，这一趋势旨在超越摩尔定律，将发展方向引向多样化。**More-than-Moore** 采用先进封装技术，在一个系统内集成处理、模拟/射频、光电、能源、传感、生物等多种功能，从而实现了系统性能全面提升。相对于传统封装方式，先进封装具有小型化、轻薄化、高密度、低功耗和功能融合等诸多优势，能够提升性能、拓展功能、优化形态、降低成本。

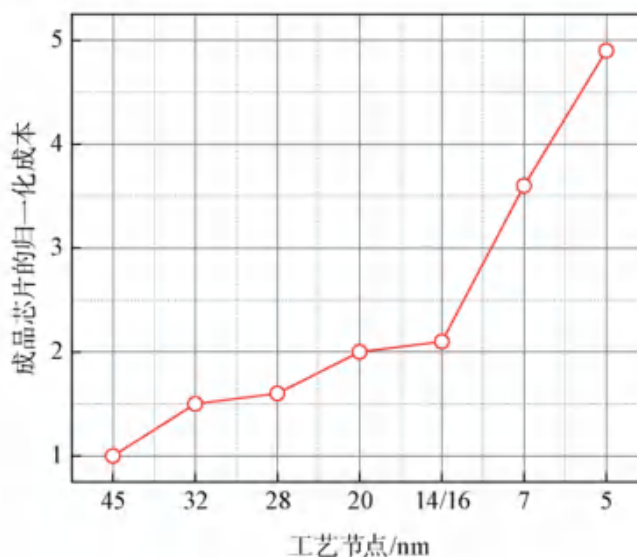
图表 3 集成电路的两条发展路线分别是 **More Moore** 和 **More-than-Moore**



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

推进摩尔定律成本高昂，先进封装能够在不缩小制程节点的背景下，仅通过改进封装方式就能提升芯片性能。摩尔定律是指集成电路上可容纳的晶体管数目，约每隔 18-24 个月便会增加一倍，器件性能也将提升一倍。近年来，摩尔定律的尺寸微缩趋势放缓，先进制程已经逼近物理极限，通过迈向更先进的制程提升芯片性能的成本呈指数级增长。如下图所示，相比于采用 45nm 节点制造的 250 平方毫米芯片，采用 16nm 工艺节点后，每平方毫米的成本增加了 1 倍以上；而采用 5nm 工艺后，成本将增加 4~5 倍。与此同时，先进封装仍处于相对高成本效益的阶段。根据 Semi，晶圆制造的设备投资占比超过 80%，而封装测试的设备投资占比不到 20%。尽管先进封装同样需要使用光刻、刻蚀、沉积等设备，但相较于晶圆制造，先进封装所需的设备的精度要求低，其设备价值也相对较低。此外，先进封装技术目前正处于快速发展阶段，未来有较高的改进和降本空间。

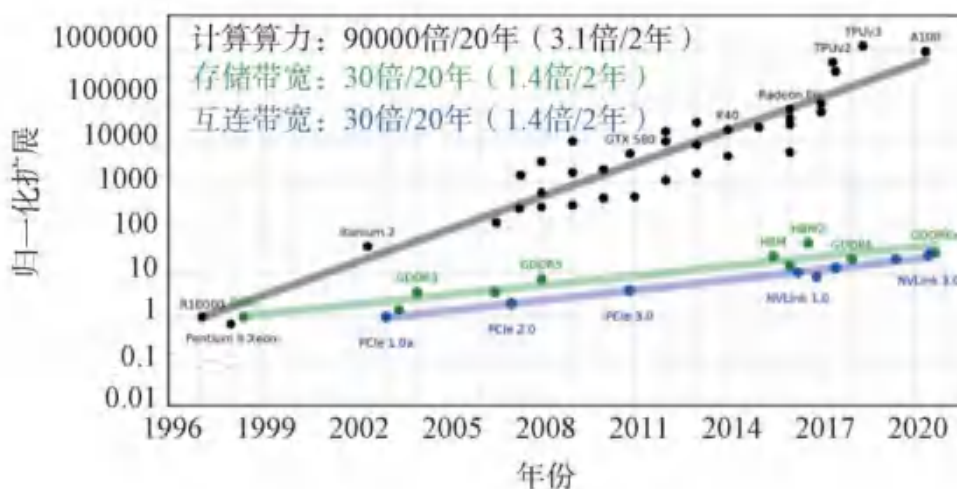
图表 4 随着工艺节点微缩，芯片成本呈指数级增长



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

“存储墙”制约算力性能发挥，先进封装实现近存计算和高带宽内存堆叠，提高传输效率。处理器的峰值算力每两年增长约 3.1 倍，而动态存储器的带宽每两年增长约 1.4 倍。存储器的发展速度远远落后于处理器，两者之间的差距达到 1.7 倍。此外，日益增长的带宽需求也是一个重要瓶颈。数据的爆发式增长对网络信息的传输速度和容量提出了更高的要求。在过去的几十年中，串行通信的速度从 1Gb/s 增长到 100Gb/s，并行通信的速度从 1Tb/s 增长至 100Tb/s。现有计算平台的架构基于冯·诺依曼的“存算分离”，使得数据需要频繁在存储单元和数据单元间搬移。为了解决“存储墙”，业界提出了存内计算和近存计算两种方法。存内计算是指在存储单元中嵌入计算单元，实现数据的实时计算，这种计算方式可以大大减少数据搬运，降低能耗，提高计算效率。近存计算则基于 2.5D/3D 先进封装技术，实现存储单元和计算单元的距离的缩短和多个高带宽内存的堆叠，高效地传输数据。

图表 5 存储容量与计算能力发展的差距形成“存储墙”



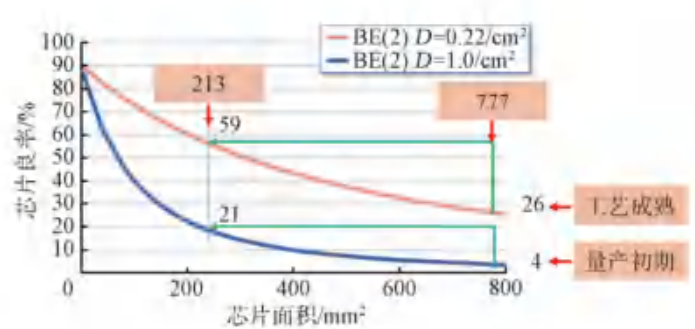
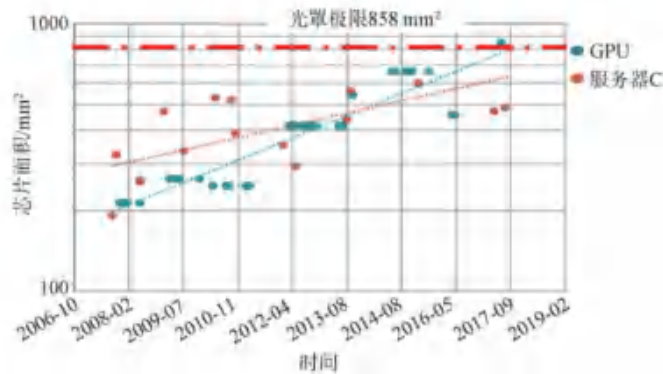
资料来源：《先进封装技术的发展与机遇》，华安证券研究所

集成电路发展受到“面积墙”挑战，先进封装 Chiplet 集成多个小芯粒凸显良率优势。扩大芯片面积可以实现更多晶体管的集成，从而提高芯片性能。然而，光

刻机的光罩限制了芯片的尺寸，目前最先进的极紫外光刻机的最大光罩面积为 858 mm² (26 mm×33 mm)。2020 年，英伟达发布 A100 GPU 芯片，采用台积电 7 nm 工艺，制造了近似于一个光罩面积的芯片，面积为 826 mm² (~25.5 mm×32.4 mm)，具有 540 亿个晶体管，逼近芯片面积极限。此外，随着芯片尺寸的增大，芯片的良率逐渐下降。在工艺成熟的情况下，当芯片面积从 213 mm² 增至 777 mm² 时，良率从 59% 降低至 26%，良率的降低将使芯片的成本变得高昂。而先进封装 Chiplet 能将大尺寸的 SoC 芯片按功能拆分为一个个小芯粒，主要功能采用先进制程，次要功能采用成熟制程，再通过封装技术集成，在采用小芯片的同时实现相近的性能。

图表 6 芯片面积受制于光罩极限

图表 7 芯片良率随着面积增大而下降



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

资料来源：《先进封装技术的发展与机遇》，华安证券研究所

1.3 封装技术持续迭代，发展趋势是小型化、高集成度

传统封装的主要作用包括机械保护、电气连接、机械连接和散热。1) **机械保护**：裸片易碎，容易受到物理性和化学性损坏。半导体封装的主要作用是通过将芯片和器件密封在环氧树脂模塑料 (EMC) 等封装材料中，保护它们免受物理性和化学性损坏。2) **电气连接**：裸片不能直接跟外部电路连接，封装通过芯片和系统之间的电气连接来为芯片供电，同时为芯片提供信号的输入和输出通路。3) **机械连接**：需将芯片可靠地连接至系统，以确保使用时芯片和系统之间连接良好。4) **散热**：封装需将半导体芯片和器件产生的热量迅速散发出去。在半导体产品工作过程中，电流通过电阻时会产生热量。半导体封装将芯片完全地包裹了起来，如果半导体封装无法有效散热，则芯片可能会过热，导致内部晶体管升温过快而无法工作。

先进封装在封装的四大功能的基础上，还肩负着提升芯片性能的作用。具体而言，先进封装对芯片的提升作用包括五个方面：一是实现芯片封装小型化、高密度化、多功能化；二是降低产品功耗、提升产品带宽、减小信号传输延迟；三是可实现异质异构的系统集成；四是延续摩尔定律，提升产品性能的有效途径；五是降低先进节点芯片的设计复杂度和制造成本，缩短开发周期、提高产品良率。

图表 8 半导体封装的作用

传统封装			先进封装
机械保护	电气连接	机械连接	散热
半导体芯片的主要材质是硅，硅像玻璃一样，非常易碎。半导体封装通过将芯片和器件密封在环氧树脂模塑料（EMC）等封装材料中，保护它们免受物理性和化学性损坏。因此，封装材料对于保护芯片至关重要。	裸片不能直接跟外部电路连接，封装通过芯片和系统之间的电气连接来为芯片供电，同时为芯片提供信号的输入和输出通路。	在机械连接方面，需将芯片可靠地连接至系统，以确保使用芯片和系统之间连接良好。	封装需将半导体芯片和器件产生的热量迅速散发出去。在半导体产品工作过程中，电流通过电阻时会产生热量。半导体封装将芯片完全地包裹了起来，如果半导体封装无效散热，则芯片可能会过热，导致内部晶体管升温过快而无法工作。
			提升性能 一是实现芯片封装小型化、高密度化、多功能化；二是降低产品功耗，提升产品带宽，减小信号传输延迟；三是可实现异质异构的系统集成；四是延续摩尔定律，提升产品性能的有效途径；五是降低先进节点芯片的设计复杂度和制造成本，缩短开发周期，提高产品良率。

资料来源：艾邦半导体网、中国电子报，华安证券研究所

封装技术的发展趋势是小型化、高集成度，可分为四个阶段：1）第一阶段（1970年前）：直插型封装，特点是将电子元器件直接焊接在电路板上，并通过引脚与电路板相连，以双列直插封装 DIP（Dual In-line Package）为主；2）第二阶段（1970-1990 年）：表面贴装，其特点是使用更短更细的引线代替引脚或没有引脚，将电子元件直接粘贴在 PCB 的表面，然后通过加热或冷凝的方式将元件固定在电路板上。主要包括小外形封装 SOP（Small Outline Package）、J 型引脚小外形封装 SOJ（Small Outline J-leaded）、无引脚芯片载体 LCC（Leadless Chip Carrier）、扁平方形封装 QFP（Quad Flat Package）四大封装技术和针栅阵列 PGA（Pin Grid Array）等技术；3）第三阶段（1990-2000 年）：面积阵列封装，特点是用体积更小的焊球代替引线，这些球形金属接触点分布在芯片的表面上，形成一种类似于网格的布局。包括 BGA 球栅阵列（Ball Grid Array）、CSP 芯片尺寸封装（Chip Scale Package）、倒装芯片封装 FC（Flip-Chip）等先进封装技术；4）第四阶段（2000 年至今）：三维堆叠和异构集成，晶圆级封装 WLP（Wafer Level Package）、系统级封装 SIP（System In Package）、扇外型封装 FO（Fan-Out）、2.5D/3D 封装等先进封装技术百花齐放。总结来看，每一代封装技术的本质区别是芯片与电路连接方式的区别，随着封装技术的发展，实现了连接密度和传输速率不断提高。

图表 9 封装技术的四个发展阶段

发展阶段	第一阶段	第二阶段	第三阶段	第四阶段
时间	1970年前	1970-1990年	1990-2000年	2000年至今
封装形态	直插形封装	表面贴装	面积阵列封装	三维堆叠和异构集成
特点	将电子元器件直接焊接在电路板上，并通过引脚与电路板相连	使用更短更细的引线代替引脚或没有引脚，将电子元件直接粘贴在PCB的表面，然后通过加热或冷凝的方式将元件固定在电路板上	用体积更小的焊球代替引线，这些球形金属接触点分布在芯片的表面上，形成一种类似于网格的布局	在同一封装体内集成多个芯片，或将不同类型的芯片或器件集成在一个封装体中
封装类型	双列直插封装DIP	小外形封装SOP J型引脚小外形封装SOJ 无引脚芯片载体LCC 扁平方形封装QFP 针栅阵列PGA	BGA球栅阵列 CSP芯片尺寸封装 倒装芯片封装FC	晶圆级封装WLP 系统级封装SIP 扇外型封装FO 2.5D/3D封装

资料来源：《先进封装推动半导体产业新发展》，《先进封装技术的发展与机遇》，华安证券研究所

2 典型封装技术

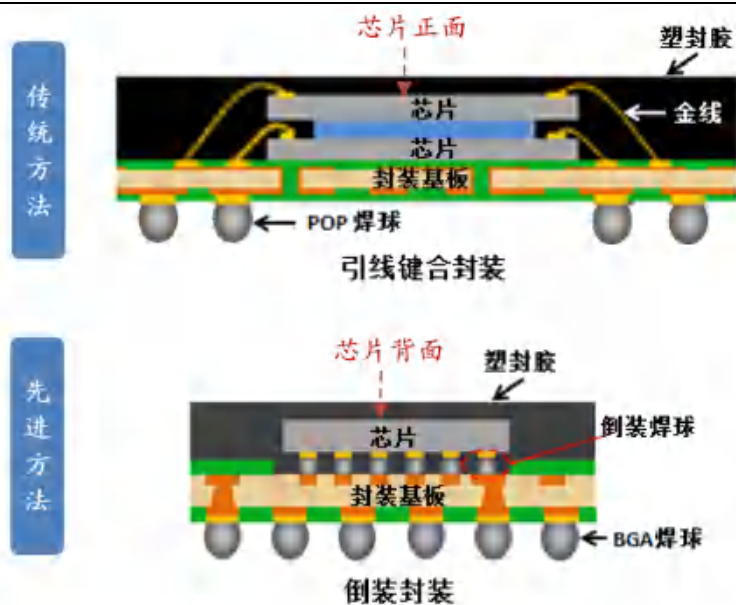
2.1 单芯片封装

2.1.1 倒片封装（Flip-Chip）：芯片倒置，利用凸块连接

倒片封装舍弃金属引线，利用凸块（bumping）连接。传统的引线键合方法采用细金属线进行连接，通过热、压力和超声波能量，将金属引线与芯片焊盘以及基板焊盘牢固焊接，实现了芯片与基板之间的电气互连和芯片之间的信息传递。这一过程中，金属引线在焊接的过程中起到了关键作用，通过引线实现了有效的电连接。引线键合广泛应用于射频模块、存储芯片以及微机电系统器件封装。而倒装封装舍弃引线，在芯片顶侧形成焊球，然后将芯片翻转贴到对应的外部电路的基板上，利用加热熔融的焊球实现芯片与基板焊盘结合。这种封装技术通常被广泛应用于高性能处理器（如 CPU 和 GPU）、芯片组（Chipset）以及其他要求高密度互连和紧凑尺寸的集成电路封装。

倒片封装与引线键合在工艺的不同之处在于：1）倒片封装将芯片倒置，芯片正面倒扣在基板上；2）倒片封装舍弃金属引线，利用凸块连接，需要进行凸块键合。

图表 10 倒装封装相较于引线键合封装的改进



资料来源：深南电路招股说明书，华安证券研究所

与传统的引线键合相比，倒装芯片具备众多优势：1）更高的连接密度：传统的引线键合方法只有外部边缘用于连接，而倒装封装可以充分利用整个芯片表面区域进行互联。倒装芯片面阵列凸点能够提供更多的输入输出管脚，实现更高的传输速度和更低的延迟时间，适用于高功率集成电路封装。2）更短的互联距离：倒装芯片之间的电气连接不再依赖于传统的引线，而是通过焊点直接接触，减少了信号传输时的电阻、电感，降低信号延迟。3）更小的封装尺寸：倒片封装可以实现更小的封装尺寸，因为倒装芯片采用并行工艺，芯片之间的连接不再依赖于引线，而是通过焊点直接接触，减少了封装面积和体积。4）更高的散热效率：倒片封装可以实现更高的散热效率，因为倒装芯片不采用塑封封装，使得芯片背面可以进行有效的冷却，提高散热效率。5）更高的可靠性：倒片封装可以避免引线键合过程中出现的引线断裂、弯曲、错位等问题，通过环氧填充确保了封装的可靠性和耐久性。

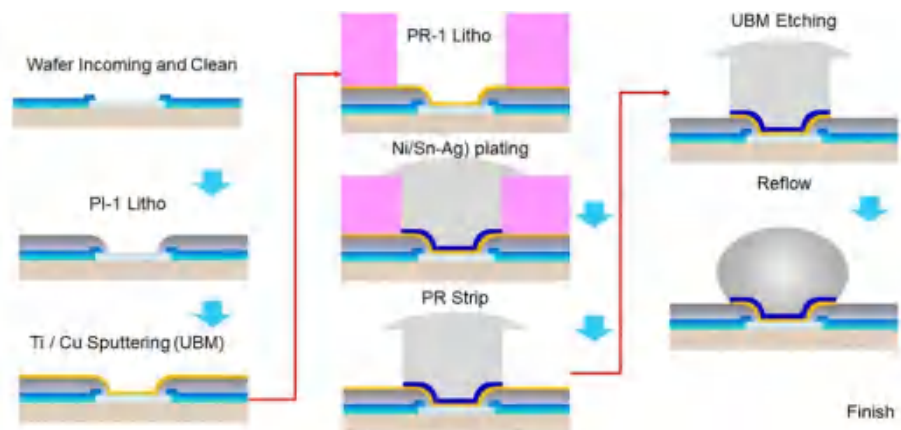
图表 11 倒装封装的优势

优点	详细描述
更高的连接密度	传统的引线键合方法只有外部边缘用于连接，而倒装封装可以充分利用整个芯片表面区域进行互联。倒装芯片面阵列凸点能够提供更多的输入输出管脚，实现更高的传输速度和更低的延迟时间，适用于高功率集成电路封装。
更短的互联距离	倒装芯片之间的电气连接不再依赖于传统的引线，而是通过焊点直接接触，减少了信号传输时的电阻、电感，降低信号延迟。
更小的封装尺寸	倒片封装可以实现更小的封装尺寸，因为倒装芯片采用并行工艺，芯片之间的连接不再依赖于引线，而是通过焊点直接接触，减少了封装面积和体积。
更高的散热效率	倒片封装可以实现更高的散热效率，因为倒装芯片不采用塑封封装，使得芯片背面可以进行有效的冷却，提高散热效率。
更高的可靠性	倒片封装可以避免引线键合过程中出现的引线断裂、弯曲、错位等问题，通过环氧填充确保了封装的可靠性和耐久性。

资料来源：《先进封装关键工艺设备面临的机遇和挑战》，华安证券研究所

倒片封装的关键工艺是 Bumping。凸块是定向生长于芯片表面，与芯片焊盘直接相连或间接相连的具有金属导电特性的凸起物，按材质可分为金凸块、焊球凸块、铜柱凸块。主流的凸块工艺均采用圆片级加工，即在整片圆片表面的所有芯片上加工制作凸块，常用方式有蒸发方式、印刷方式和电镀方式。焊球电镀凸块的工艺流程为：首先，采用溅射或其它物理气相沉积的方式在圆片表面沉积一层 Ti/Cu 作为电镀所需种子层；其次，在圆片表面旋涂一定厚度的光刻胶，并运用光刻曝光工艺形成所需要图形；然后，圆片进入电镀机，通过控制电镀电流、时间等，从光刻胶开窗图形的底部开始生长并得到一定厚度的金属层作为 UBM；最后，通过去除多余光刻胶、UBM Etching 及回流工艺实现电镀凸块制作。

图表 12 焊球电镀凸块的工艺流程



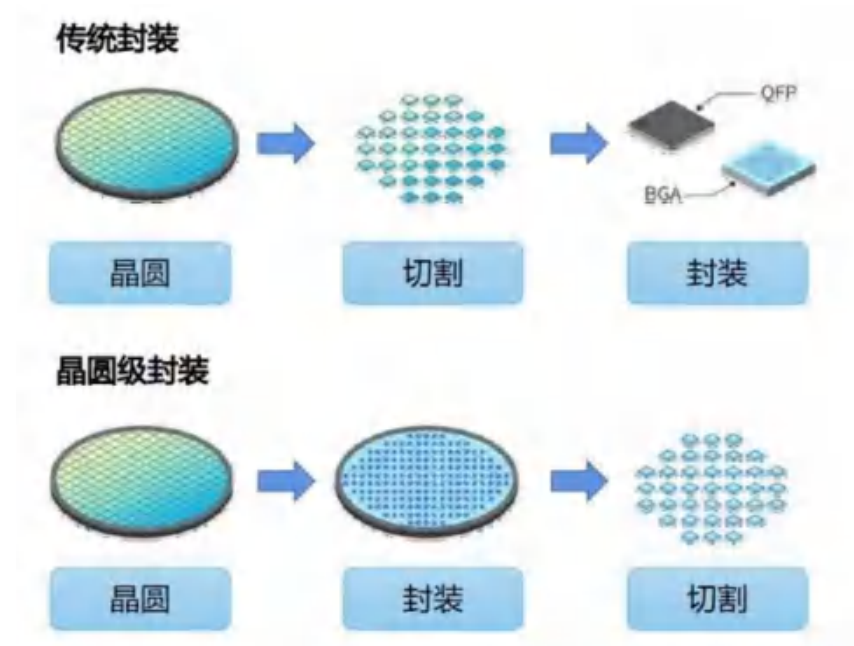
资料来源：屹立芯创、厦门大学，华安证券研究所

2.1.2 扇入型/扇出型封装（Fan-In/Fan-Out）：在晶圆上进行整体封装，成本更低

晶圆级封装（Wafer-Level Packaging, WLP）是一种直接在晶圆上完成封装的技术。晶圆级封装与传统封装的区别在于，传统封装先将成品晶圆切割成单个芯片再封装；晶圆级封装在芯片还在晶圆上时就进行整体封装，封装完成再进行切割分片。**晶圆级封装具备以下优点：**1) **成本更低：**晶圆级封装的成本相对较低，因为批次性处理方式使得成品晶圆能够一次性全部封装。2) **体积更小：**晶圆级封装把整

个芯片作为一个整体进行封装，此外，晶圆级封装通常采用无引脚或极少引脚的形式，进一步减小封装体积。

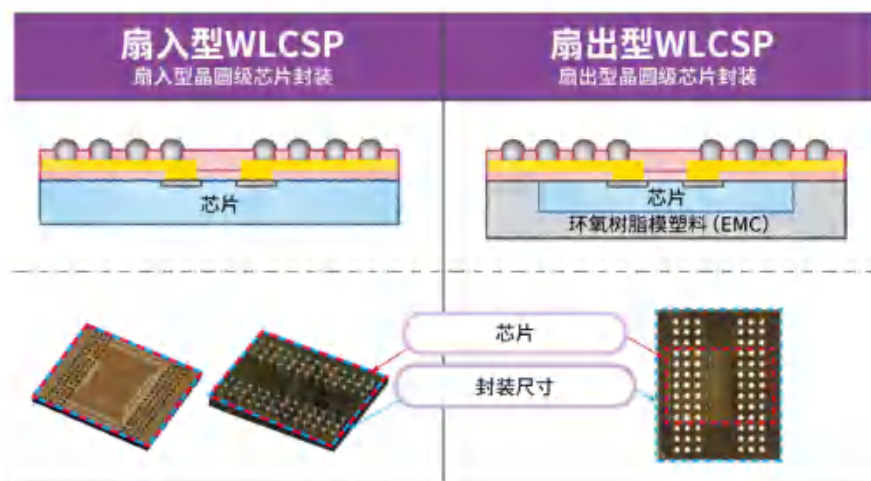
图表 13 晶圆级封装



资料来源：屹立芯创，华安证券研究所

晶圆级封装可分为两大类型：扇入型 WLCSP (Fan-In Wafer Level Chip Scale Package, Fan-In WLCSP) 和扇外型 WLCSP (Fan-Out Wafer Level Chip Scale Package, Fan-Out WLCSP)。在扇入型 WLCSP 中，封装尺寸与芯片本身尺寸相同，封装布线、绝缘层和锡球直接位于晶圆顶部。扇外型 WLCSP 在封装后的尺寸大于芯片本身尺寸，是指先对晶圆进行切割再封装，切割好的芯片排列在载体上，芯片与芯片之间的空隙用环氧树脂模塑料填充，重塑成晶圆。然后，这些晶圆将从载体中取出，进行晶圆级处理，并被切割成扇外型 WLCSP 单元。

图表 14 扇入型封装和扇外型封装



资料来源：海力士，华安证券研究所

扇入型 WLCSP 具备如下优点：1) **尺寸最小化：**扇入型封装实现了尺寸的最小化，最终的二维平面尺寸与芯片尺寸相同；2) **工艺成本低：**无需基板和导线等封装材料，因为锡球直接固定在芯片上；3) **生产效率高：**封装工艺在晶圆上一次性完成。**但扇入型 WLCSP 也存在一些局限。**由于采用硅芯片作为封装外壳，扇入型封装的物理和化学防护性能相对较弱。在封装尺寸上，如果封装锡球的陈列尺寸大于芯片尺寸，将无法进行封装。此外，如果晶圆上的芯片数量较少或生产良率较低，则扇入型 WLCSP 的封装成本要高于传统封装。扇入型封装常用于低 I/O 数量（一般小于 400）和较小裸片尺寸的工艺中。

扇出型 WLCSP 是对扇入型封装的改进，具备如下优点：1) **提高 I/O 数量：**扇入型的封装锡球均位于芯片表面，而扇出型的封装锡球可以延伸至芯片以外。2) **防护性能更强：**扇出型封装受填充的环氧树脂模塑料保护。

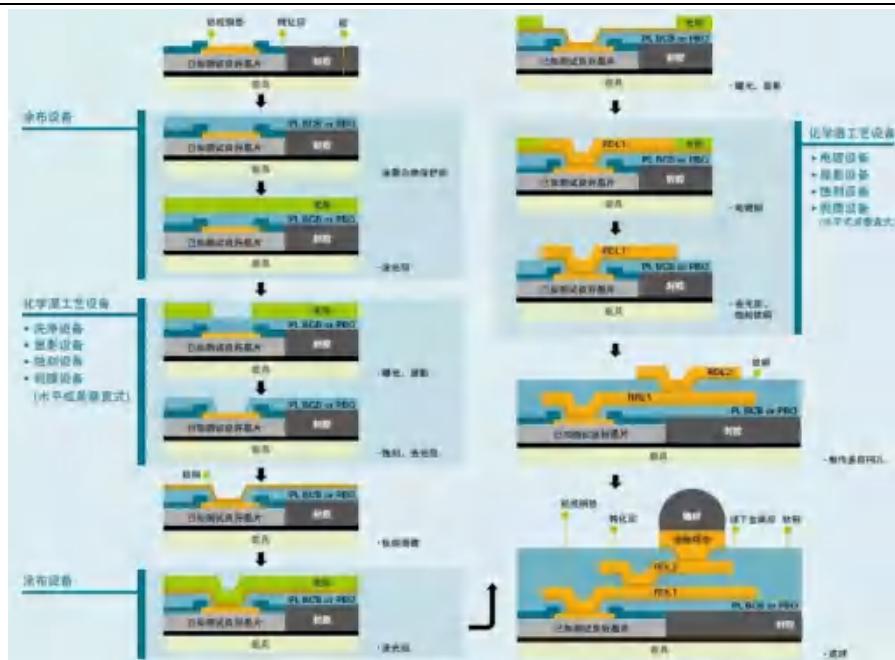
图表 15 扇入型封装和扇出型封装的优缺点

扇入型 WLCSP	优点	尺寸最小化：扇入型封装实现了尺寸的最小化，最终的二维平面尺寸与芯片尺寸相同
		工艺成本低：无需基板和导线等封装材料，因为锡球直接固定在芯片上
		生产效率高：封装工艺在晶圆上一次性完成
扇入型 WLCSP	不足	采用硅芯片作为封装外壳，扇入型封装的物理和化学防护性能相对较弱
		如果封装锡球的陈列尺寸大于芯片尺寸，将无法进行封装
		如果晶圆上的芯片数量较少或生产良率较低，则扇入型 WLCSP 的封装成本要高于传统封装
扇出型 WLCSP	优点	提高 I/O 数量：扇入型的封装锡球均位于芯片表面，而扇出型的封装锡球可以延伸至芯片以外
		防护性能更强：扇出型封装受填充的环氧树脂模塑料保护

资料来源：海力士，华安证券研究所

WLP 工艺流程的关键工艺为重新布线(RDL)。首先，涂覆第一层聚合物薄膜，以加强芯片的钝化层，起到应力缓冲的作用。聚合物种类有光敏聚酰亚胺 (PI)、苯并环丁烯 (BCB)、聚苯并恶唑 (PBO)。其次，重布线层 (RDL)，对芯片的铝/铜焊区位置重新布局，使新焊区满足对焊料球最小间距的要求，并使新焊区按照阵列排布。光刻胶作为选择性电镀的模板以规划 RDL 的线路图形，湿法蚀刻去除光刻胶和溅射层。然后，涂覆第二层聚合物薄膜，使圆片表面平坦化并保护 RDL 层。在第二层聚合物薄膜光刻出新焊区位置。随后，凸点下金属层 (UBM)，采用和 RDL 一样的工艺流程制作。最后，为植球步骤，焊膏和焊料球通过掩模板进行准确定位，将焊料球放置于 UBM 上，放入回流炉中，焊料经回流融化与 UBM 形成良好的浸润结合，达到良好的焊接效果。

图表 16 WLP 工艺流程



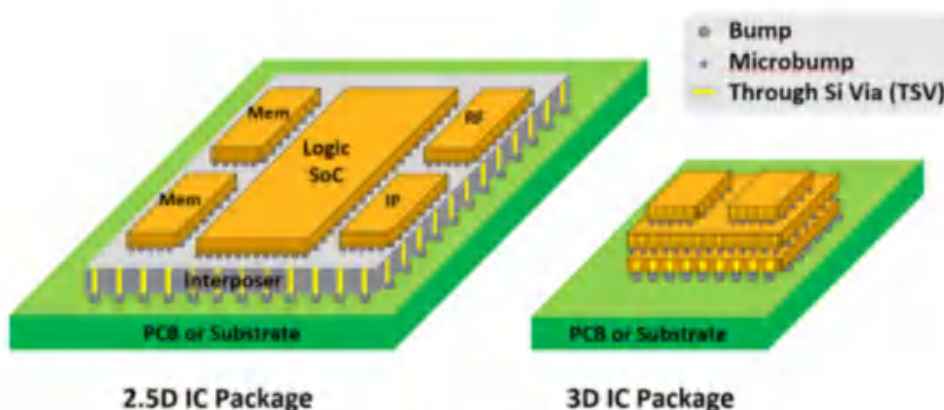
资料来源：屹芯创，华安证券研究所

2.2 多芯片封装

2.2.1 2.5D/3D 封装：多层芯片堆叠，AI 驱动下 HBM 需求大增，CoWoS 产能成为算力关键卡口

2.5D 封装和 3D 封装的区别在于是否有硅中介层 (Si Interposer)。在 2.5D 封装中，所有芯片和被动元器件均在基板平面上方，至少有部分芯片和被动元器件安装在中介层上，中介层通常作为一个载体，承载着各种电路组件和接口。而 3D 封装舍弃中介层，直接在芯片上打孔和布线，电气连接上下层芯片。所有芯片和被动元器件均位于基板平面上方，芯片堆叠在一起，在基板平面的上方有穿过芯片的硅通孔 (TSV)，在基板平面的下方有基板的布线和过孔。

图表 17 2.5D 封装和 3D 封装的定义

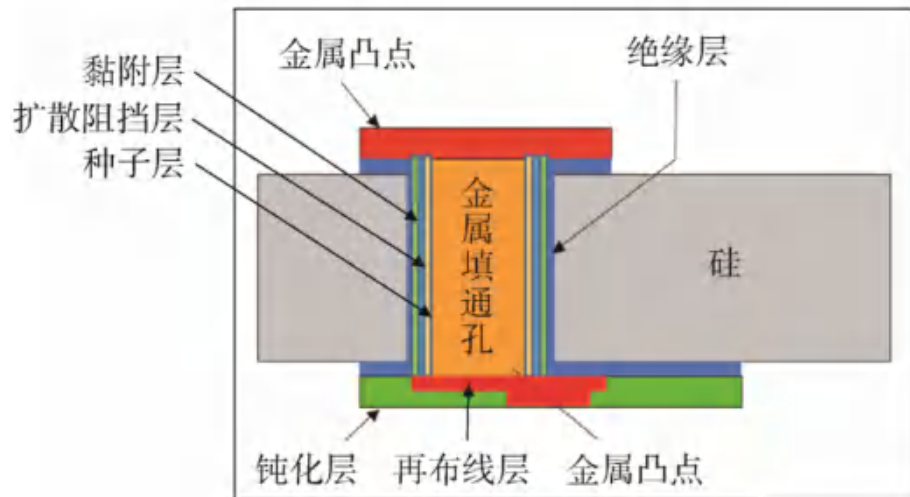


资料来源：芯观点，华安证券研究所

2.5D/3D 封装的关键工艺是硅通孔技术 (through silicon via, TSV)。TSV 是一种垂直互连技术，其概念由威廉·肖克利于 1958 年首次提出，是指连接硅晶圆两

面并与硅衬底以及其他通孔绝缘的电互连结构。TSV 的尺寸通常在 $10\mu\text{m}\times 100\mu\text{m}$ 和 $30\mu\text{m}\times 200\mu\text{m}$ 之间，开口率介于 0.1%~1%。与传统平面互连相比，TSV 能够缩短互连长度、减小信号延迟、降低寄生电容和电感，实现芯片间低功耗和高速通信，同时增加宽带并实现封装的小型化。TSV 目前主要应用于芯片三维堆叠、硅转接板等领域。硅转接板是芯片和有机基板的中间层，分为无源和有源两类，其中无源转接板仅包含金属互连层，而有源转接板则可集成供电、片内网络通信等功能。

图表 18 TSV 基本结构示意图



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

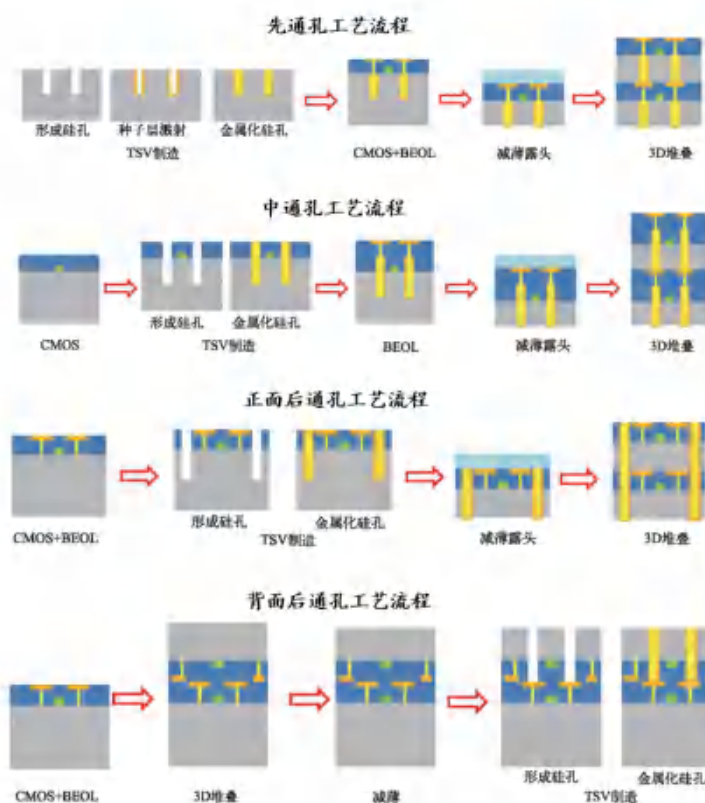
根据 TSV 被制作的时间顺序，有 3 种类型的 TSV 工艺。分为先通孔工艺 (Via First)、中通孔工艺 (Via Middle) 和后通孔工艺 (Via Last)，分别指 TSV 制作在晶圆制作工艺中的前、中或后段。

Via First 是指在器件（如 MOSFET 器件）结构制造之前，先进行 TSV 结构的通孔刻蚀，孔内沉积高温电介质（热氧沉积或化学气相沉积），然后填充掺杂的多晶硅。多余的多晶硅通过 CMP 去除。

Via Middle 常常指在形成器件之后但在制造叠层之前制造的通孔工艺。在有源器件制程之后形成 TSV 结构，然后内部沉积电介质。淀积阻挡层钛金属和铜种子层，然后电镀铜填充通孔，或通过化学气相沉积钨金属填充通孔。

Via Last 包括两种工艺。正面后通孔工艺是在 Back End of Line (BEOL) 工艺处理结束后，从晶圆正面形成通孔的一种制造工艺。从概念上讲，在晶圆上制造的后通孔工艺与中通孔工艺相似，但是对工艺温度有进一步的限制（必须小于 400°C ）。背面的通孔工艺是在 BEOL 工艺处理结束后，从晶圆背面进行通孔结构的一种制造工艺。首先使用粘合剂将两个器件晶圆以面对面方式粘合，接下来，将顶部晶圆减薄，将 TSV 结构刻蚀至顶部晶圆和底部晶圆上的焊盘，孔内沉积电介质，最后，将金属沉积到 TSV 结构中并进行表面金属层再布线。

图表 19 TSV 制作工艺流程



资料来源：《晶圆级封装中的垂直互连结构》，华安证券研究所

HBM 使用 2.5D/3D 封装技术打破“内存墙”制约，成为 AI 及高性能计算需求下的主流方案。高带宽内存(High Bandwidth Memory, HBM)通过逻辑芯片和多层的 DRAM 堆叠来实现高速数据传输，突破了带宽瓶颈，成为 AI 训练芯片的首选。第一代 HBM 的架构如下图所示，由 4 层 DRAM 和逻辑芯片堆叠在一起，每层之间通过 TSV 和微凸点连接。每个 HBM 有 8 个通道，每个通道有 128 个 I/O，因此每个 HBM 有 1024 个 I/O，即合计 1024 个 TSV 位于 HBM 的中间区域。存储器和处理器通过无源转接板上的再布线层 (RDL) 将 HBM 逻辑芯片的端口物理层 (Port Physical Layer, PHY) 与处理器的 PHY 相连。HBM 的性能较传统 GDDR5 更具优势，GDDR5 的带宽最高可达 32 GB/s，而 HBM1、HBM2 和 HBM2 的带宽分别达到了 128 GB/s、307 GB/s 和 819 GB/s。其中，HBM 内部的 DRAM 堆叠属于 3D 封装，而 HBM 与芯片其他部分合封于硅中介层上属于 2.5D 封装。

图表 20 HBM 的架构

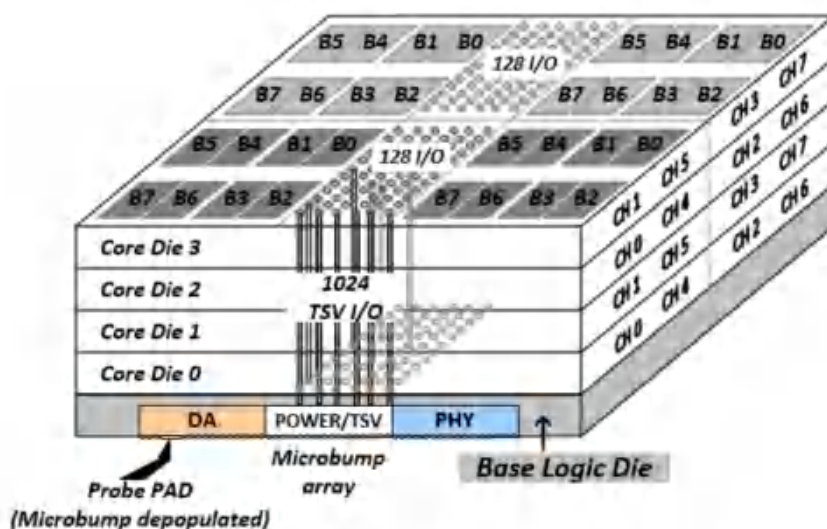
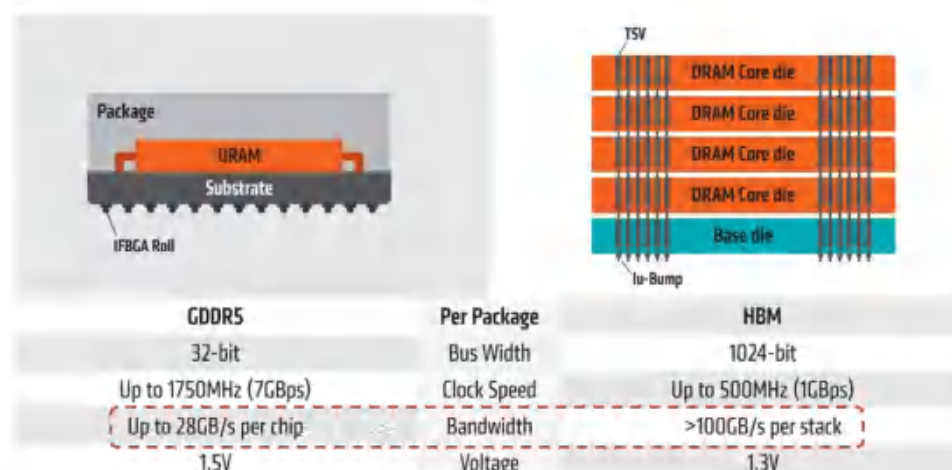


Fig. 1. HBM Stacked-DRAM Architecture

资料来源：《HBM (High Bandwidth Memory) DRAM Technology and Architecture》，华安证券研究所

HBM 的带宽提升源于堆栈式封装带来的高位宽以及 I/O 速率的提升。1) 位宽：
HBM 的位宽是 GDDR5 的 32 倍。 显存带宽是指显示芯片与显存之间的数据传输速率，带宽的计算公式为：显存带宽(GB/s) = 显存实际频率(MHz) × 显存数据倍率 × 显存等效位宽(bit) / 8。GDDR5 的频率可达 1750 MHz，采用 4 倍速率机制，其等效频率为 7000 MHz，但 GDDR5 内部 I/O 位宽仅 32 bit；相比之下，HBM 的频率为 500 MHz，采用 2 倍速率机制，等效频率为 1000 MHz，但 HBM 内部 I/O 位宽高达 1024 bit，将带宽提升至 128 GB/s。HBM 之所以能实现 32 倍于 GDDR5 的 I/O 位宽，是因为它采用了堆栈式设计，通过 TSV 堆栈方式将 DRAM 裸片垂直堆叠放置，从而实现在相同底面积上布置了数倍的 DRAM 颗粒，以达到更高的 I/O 数量。**2) I/O 速率：**在数值上，显存速率和显存频率是相等的，使带宽计算公式简化为：显存带宽(GB/s) = 显存数据速率(Gbps) × 显存等效位宽(bit) / 8。这是因为显存速率表示每秒传输的数据位数，单位为 bps (bits per second)，即 $\text{bit} \cdot \text{s}^{-1}$ 。显存频率以 MHz 为单位，频率单位赫兹的本质就是 s^{-1} ，描述了单位时间内完成周期性变化的次数。因此，在数值上，显存速率和显存频率是相等的。根据 JEDEC 固态技术协会发布的 HBM3 标准，HBM3 定义高达 6.4 Gb/s 的数据速率，堆栈中的 DRAM 芯片数量（四到十六个）及其具体容量（每堆栈 4 GB 到 64 GB）不等，计算得到初始 HBM3 堆栈可提供每堆栈 819 GB/s 的传输带宽。

图表 21 HBM 的高带宽源于位宽和 I/O 速率的提升



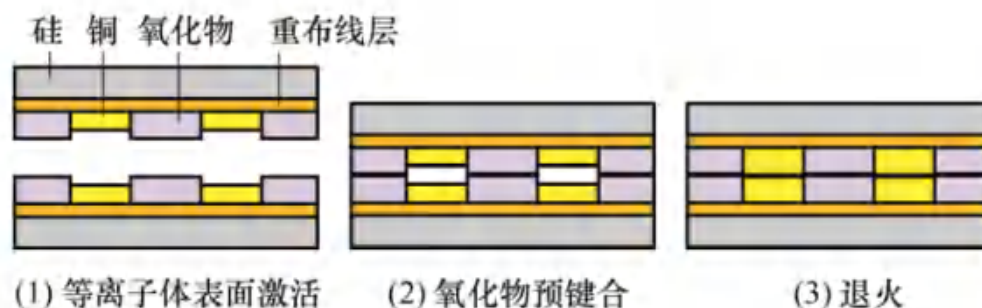
带宽计算公式：显存等效位宽(bit) × 显存数据频率(Gbps) / 8

	位宽 (bit)	I/O速率 (Gbps)	带宽 (GB/S)
GDDR5	32	7	28
HBM1	1024	1	128
HBM2	1024	2.4	307.2
HBM3	1024	6.4	819.2

资料来源：三星官网、expreview、csdn、eet-china，华安证券研究所

HBM 堆栈层数增加对芯片间键合技术提出更高的要求，关键改进是使用混合键合替代原来的微凸点键合。混合键合是一种实现介质层与介质层、金属与金属界面无缝隙键合的技术，芯片键合界面由介质层（通常为 SiO₂）和金属（通常为 Cu）组成。SiO₂ 介质层为集成单元提供机械支撑与电气隔离，Cu-Cu 键合提供芯片间的垂直电气互连。对于 Cu 和 SiO₂ 混合键合结构，首先要对键合表面进行等离子或快速原子束表面激活处理，之后进行直接键合，最后进行退火处理。退火在增强 SiO₂-SiO₂ 键合强度的同时，也促进了 Cu 晶粒的生长和扩散以实现 Cu-Cu 键合。海力士计划将混合键合技术应用于下一代 HBM4 产品，混合键合技术可以大幅缩小电极尺寸，从而实现更高的 I/O 密度，同时可以显著缩小芯片之间的间隙，减少产品厚度。

图表 22 混合键合工艺流程

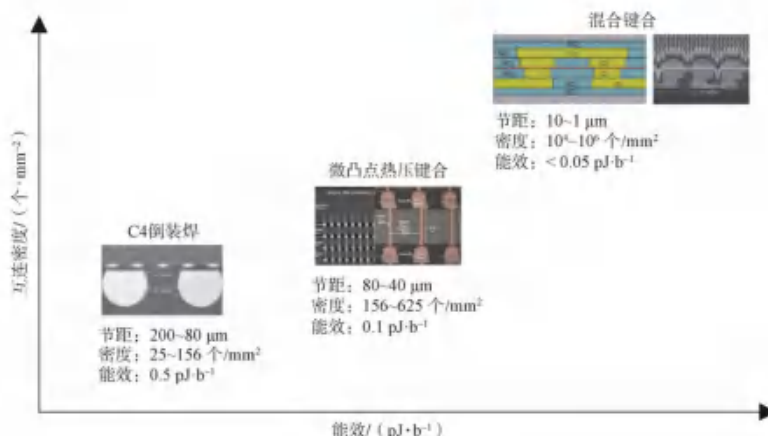


资料来源：《三维系统级封装(3D-SiP)中的硅通孔技术研究进展》，华安证券研究所

混合键合将节距缩小至 1-10 微米，密度增加至 10⁴~10⁶个/mm²，能效降低至 0.05pJ · b⁻¹。混合键合的主要优点包括：1) 缩小互联间距：它可以实现超细间距的芯片互连，比传统微凸点连接提高了 10 倍以上。超细间距的连线将增加布线的有

效使用面积，增加通道数量，并实现数据处理串并行转换，简化 I/O 端口电路，增大数据传输带宽。**2) 降低信号延时：**它可以实现芯片之间的无凸点互连通信，取消微凸点连接，进一步降低通道的寄生电感性和信号延时。**3) 减薄芯片厚度：**混合键合可以实现超薄芯片的制备，通过芯片的减薄可以大幅降低芯片的厚度和重量，并进一步提升互连带宽；**4) 提高键合可靠性：**混合键合还可以提高键合的可靠性，通过分子尺度的铜-铜触点融合和二氧化硅-二氧化硅的分子共价键连接，大幅提高了界面键合力，增强了芯片对环境的适应性。

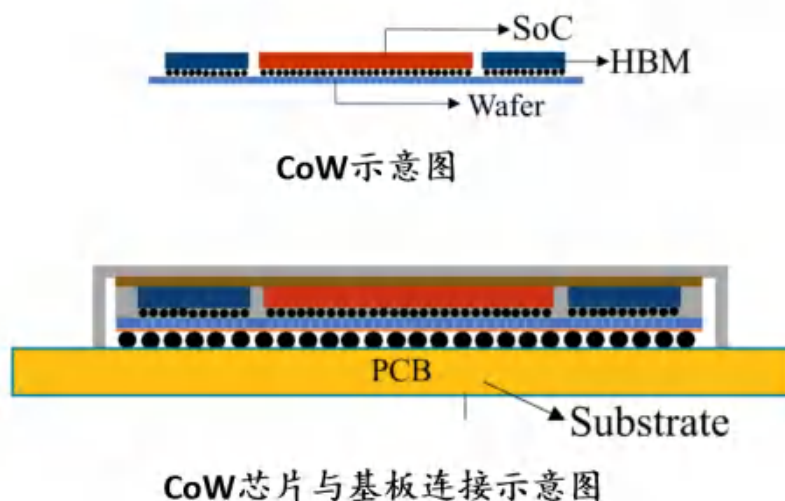
图表 23 不同键合技术的节距、密度及能效对比



资料来源：《先进封装技术的发展与机遇》，华安证券研究所

HBM 的高密度连接和短互联间距，要求台积电的 CoWoS 封装技术。CoWoS 是台积电于 2012 年研发的一种 2.5D 集成封装技术，可分为 CoW 和 oS 两步，CoW (chip on wafer) 是将计算核心、I/O die、HBM 等芯片封装在硅中介层上；然后再把 CoW 芯片整体封装在基板 (Substrate) 上，即 oS (on substrate) 环节。CoWoS 可以节省空间，实现 HBM 所需的高互联密度和短距离连接；还能将不同制程的芯片封装在一起，在满足 AI、GPU 等加速运算的需求的同时控制成本。目前所有先进的 AI 计算芯片都使用 HBM，而几乎所有 HBM 都封装在 CoWoS 上。

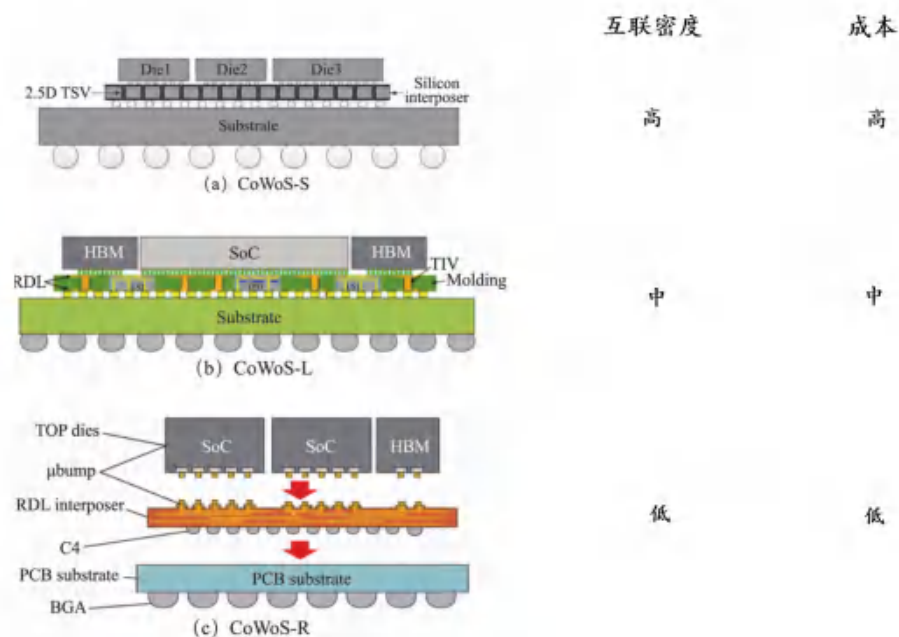
图表 24 CoWoS 可分为 CoW 和 oS 两步



资料来源：chipuller，华安证券研究所

根据中介层材料的不同,CoWoS 有三种变体:CoWoS-S(中介层是 Si 衬底)、CoWoS-R(中介层由 RDL 构成)和 CoWoS-L(中介层由 Chiplet 和 RDL 组成),其中 CoWoS-S 为量产主要配置。CoWoS-S 利用硅片作为桥梁,芯片互联密度最高;出于成本的考虑,CoWoS-R 采用有机转接板,但也导致芯片互联密度较低;CoWoS-L 将小硅桥安装在有机转接板上,仅在芯片链接部分使用硅片,实现邻近芯片边缘的高密度连接,生产成本和性能介于 CoWoS-R 和 CoWoS-S 之间。

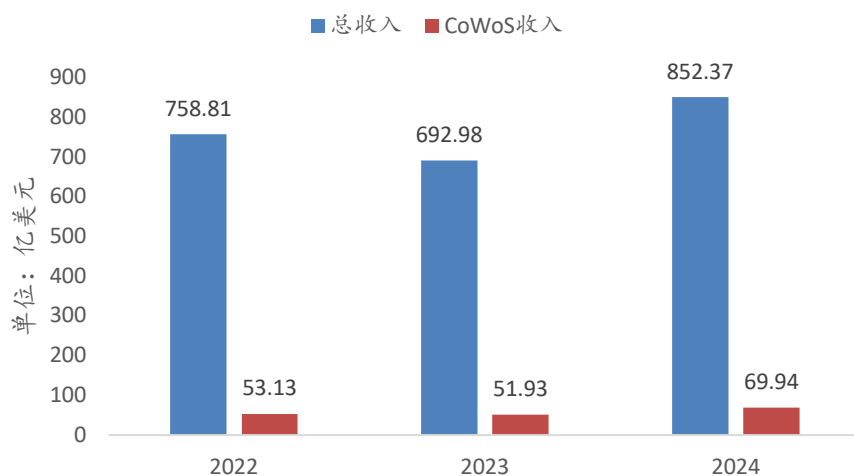
图表 25 CoWoS 三种变体的封装结构



资料来源:《人工智能芯片先进封装技术》, 华安证券研究所

2024 年, CoWoS 预计为台积电带来 70 亿美元营收。AI 需求驱动下, CoWoS 在台积电营收的比重逐渐上升。根据 Information Network 估计, 2022/2023/2024 年 CoWoS 收入占台积电营收的比例将分别达到 7.00%/7.49%/8.21%。以台积电 2024 年全年营收指引 852.37 亿美元估算, AI 将带来约 69.94 亿美元的 CoWoS 营收, 较 2023 年同比增长 34.69%。

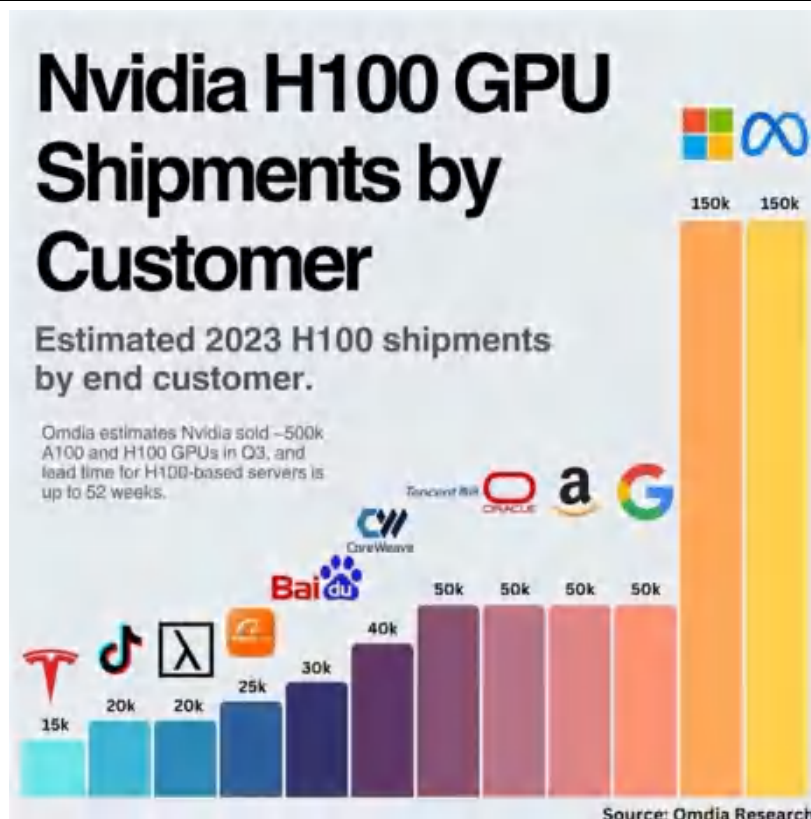
图表 26 2024 年 CoWoS 收入测算



资料来源: Information Network、台积电公告, 华安证券研究所

CoWoS 的绝大多数需求来自 AI。英伟达的 H100、A100 均由台积电代工，并使用 CoWoS 先进封装。根据 Omdia, 2023Q3 英伟达售出近 50 万个 A100 和 H100 GPU, Meta 和微软是最大买家，其次是谷歌、亚马逊、甲骨文和腾讯。得益于人工智能和高性能计算的需求，本财年第三季度，Nvidia 在数据中心硬件上获得了 145 亿美元的收入。庞大的需求量导致 CoWoS 产能供不应求。除了英伟达外，AMD 的最新 AI GPU 产品 MI300 也导入台积电的 CoWoS（2.5D）和 SoIC（3D）的技术。此外，还有一系列 ASIC 芯片，如英特尔的 Habana Gaudi、谷歌的 TPU v5e、亚马逊的 Inferentia 和 Trainium 芯片等。

图表 27 Meta 和微软是英伟达 GPU 的最大买家



资料来源：Omdia，华安证券研究所

根据我们的测算，CoWoS 封装的单价为 722.08 美元/颗，2023 年/2024 年基于 CoWoS 的芯片出货量将达到 346 万颗/693 万颗，其中供给英伟达的芯片分别为 130 万颗/433 万颗。按照 12 英寸晶圆面积 70695 mm²和 H100、A100、Epic Genoa、MI300 四种 AI 芯片平均面积 980mm²，测算得到每张晶圆上芯片数约 72 颗。根据 Information Network 给出的 2022 年 CoWoS 月产能为 8500 片以及前文测算的 2022 年台积电 CoWoS 收入，得到单颗芯片 CoWoS 封装价格约为 722.08 美元。而根据 DigiTimes 的报道，2023 年 CoWoS 年产能约 12 万片，2024 年将冲上 24 万片，其中英伟达将取得 14.4-15 万片。由于这些芯片多在 7nm 和 5nm 节点生产，保守假设良率为 40%。我们以英伟达 2023 年和 2024 年分别取得 4.5 万片和 15 万片的产能来算，预计英伟达出货量约 130 万颗和 433 万颗。全体 AI 芯片出货量约 346 万颗和 693 万颗，对应 2023 年/2024 年 CoWoS 将产生 25 亿美元/50 亿美元收入。

图表 28 CoWoS 的 ASP 及 AI 芯片出货量测算

台积电 CoWoS ASP 测算		
12 英寸晶圆面积 (mm²)	70695	
平均单芯片面积 (mm²)	980	
Chips/wafer	72	
CoWoS 月产能 (wpm)	8500	
每月 CoWoS 封装 (颗)	613171	
CoWoS 收入(亿美元) 2022	53.13	
CoWoS 单价 (美元)	722.08	
台积电 CoWoS 订单测算		
	2023	2024
CoWoS 月产能 (wpm)	10000	20000
英伟达年订单	45000	150000
英伟达订单占比	37.5%	62.5%
良率	40%	40%
每晶圆切割芯片数 (颗)	29	29
英伟达芯片出货量 (万颗)	129.85	432.83
全部芯片出货量 (万颗)	346.26	692.52
对应 CoWoS 价值量 (亿美元)	25.00	50.01

资料来源：Information Network、eet-china、DigiTimes、网易号、腾讯网、utils，华安证券研究所

供需短缺情况将在 13 个月内得到缓解，非台积电供应链 (non TSMC) 有机会受益。台积电已于 2023 年第二季度开始采取行动扩产，包括将部分 InFO 产能从龙潭转移至南科，以便在龙潭转扩 CoWoS 产能。2023 年 7 月 25 日，台积电宣布拟投资 900 亿新台币(约 206 亿元人民币)于竹科辖下铜锣科学园区新建先进封装厂，以加速扩产 CoWoS 产能，预计 2026 年底建厂完成，2027 年开始量产。此外，台积电同时也将部分委外至其他封测厂，联电、安靠、矽品等均提供产能支持。影响 CoWoS 扩产的关键是设备交货时间较长。台积电董事长刘德音在 2023 年 9 月 6 日出席大师论坛专题演讲会时称，CoWoS 预期 1 年半后可 100% 满足客户需求。因此对非台积电供应链来说，在 CoW 端接单的窗口期已不足 13 个月，加之扩产时间考虑，各封测厂商对于扩产态度与规模较为保守。

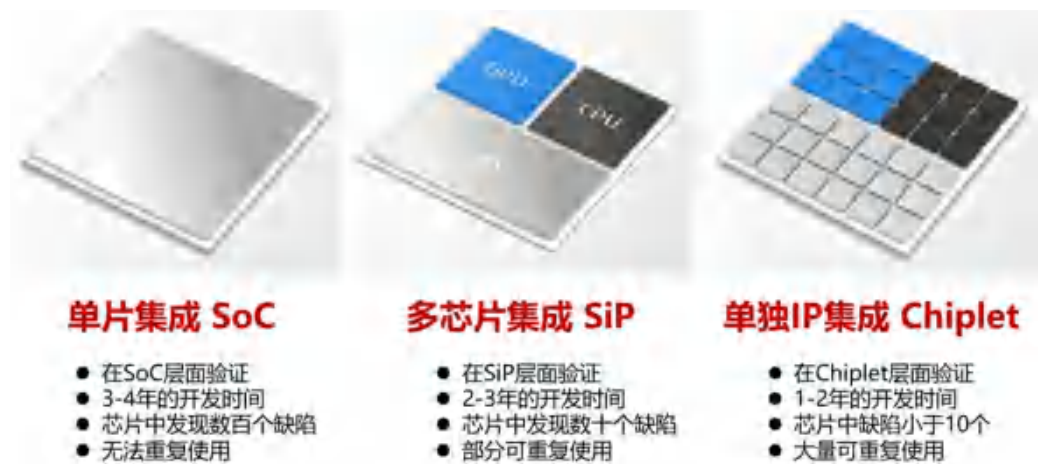
2.2.2 系统级封装 (SiP)：多个子芯片集成，良率更高

系统级封装 (System In Package, SiP) 是指将多个子芯片集成在一个封装中，从而实现一个基本完整的功能的封装方式。传统的摩尔定律主要关注处理器和存储器的技术发展趋势，而这些器件可能只占据整个系统中器件数目的 10%。除此之外，系统中还包括电源、天线、过滤器、传感器、驱动电路、转换电路、开关、电阻和电容等。如果试图将这些技术集成在单一芯片中，可能会导致性能不佳。因此，业界正在积极开发 SiP (系统级封装) 等封装技术，以实现更好的性能和集成。

SiP 封装技术介于 SoC 芯片和 chiplet 封装之间。系统级芯片 SoC (System on a Chip) 将不同功能元器件整合在单个芯片，开发时间长、良率低，且各功能模块的纳米制程必须相同。系统级封装 SiP (System in a Package) 将多芯片异构集成，开发时间较短、良率较高，部分可重复使用。单独 IP 集成 Chiplet 将一类满足

特定功能的小芯粒通过 die-to-die 内部互联，各功能模块的纳米制程可以不同。

图表 29 SoC、SiP 与 Chiplet 的定义



资料来源：CEIA 电子制造，华安证券研究所

SiP 可以采用水平式、堆叠式或嵌入式的封装方式。从结构上看，SiP 可以分为三类，一类是 2D 封装结构，其中多个芯片水平排列在基板上，这种结构的封装面积较大，封装效率较低，但是工艺相对简单和稳定。另一类是堆叠封装，其中芯片垂直叠放，这种结构可以实现高效的封装，充分发挥 SiP 的技术优势，3D SiP 的实现需要多种先进的封装工艺，如芯片堆叠(CoC)、硅通孔(TSV)等，以确保整个系统的可靠性和性能。还有一类是嵌入式封装，需要使用埋入式基底(Embedded Substrate)技术。

图表 30 SiP 的封装形式分类

水平式	堆叠式		嵌入式
	通过衬底互连	裸片直接连接	
- QFP Package - BGA Package - Flip Chip Module	- QFP-type - Wire Bonding Die Stacked - Package on Package - Package in Package	- QFP-type - Wire Bonding + Flip Chip (CoC) - TSV	- Chip Embedded + Package on Surface 3D Chip Embedded-type

资料来源：《先进封装技术综述》，华安证券研究所

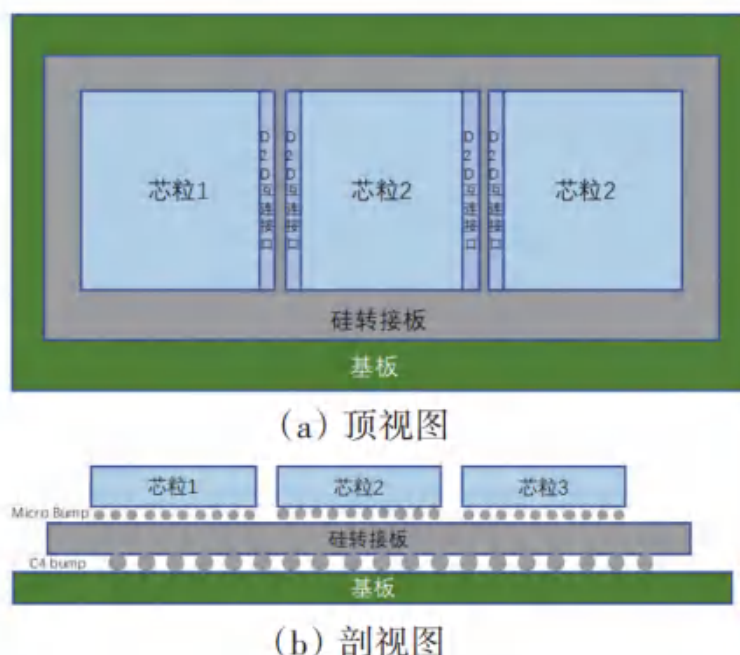
2.2.3 芯粒 (Chiplet)：多颗小芯粒灵活组装，支持异构集成

Chiplet 将芯片划分为小芯粒，具备灵活性和功能性优势。Chiplet 对需要实现的复杂功能进行分解，然后开发出多种具有单一特定功能的裸芯片，这些来自不同功能、不同工艺节点的裸芯片可相互进行模块化组装，最终形成一个完整的芯片。这种方法实现了异质集成，为芯片设计带来了更大的灵活性和可扩展性，有效提升了产品的功能性。当前，Chiplet 架构主要应用于服务器处理器芯片、人工智能加速芯片、通信芯片、移动与桌面处理器芯片和晶圆级处理器芯片。

在 **Chiplet** 架构中，芯粒之间通过互连接口实现电气连接。下图展示了基于 Chiplet 架构的芯片，该芯片包含三种不同功能的芯粒。这些芯粒通过 D2D 互连接口进行电气互连，同时通过硅转接板和基板进行物理连接。芯粒与硅转接板之间通

过 micro bump 互连，以支持芯粒间高速信号的高密度互连。硅转接板与底部基板之间则通过 C4 bump 实现互连，用于传递电源和外部 I/O 等功能。

图表 31 基于 Chiplet 架构的芯片结构图



资料来源：《Chiplet 技术发展现状》，华安证券研究所

Chiplet 具备良率、成本、异构计算优势，适用于复杂功能的定制化需求。由于 Chiplet 由多颗芯粒组成，单颗芯粒的面积较小，其良率高。直接设计一整块 SoC 的面积较大，可能导致较低良率，从而带来高昂的成本。此外，Chiplet 技术支持封装内部的异构集成，可以根据模块功能选择芯片制程，针对特定功能模块设计专用的高性能芯片，对于其他通用芯片粒采用成熟制程。

图表 32 Chiplet 芯片与 SoC 比较

项目	单片 SoC	Chiplet 芯片
设计成本	高，7nm 大于 2 亿美元	比单片 SoC 设计成本低
设计时间	长，一般大于 18 个月	较短，一般 12 个月，后续设计更快
设计风险	高，遗漏功能需要重新设计	较低，重新设计内容可以增减模块芯片
性能	高，针对不能规模化功能的重新设计会造成资源低效使用	较高，可根据模块功能选择芯片制程
功耗	低	接近单片 SoC 功耗
上市时间	慢	较快
产品尺寸	小	较小

资料来源：《后摩尔时代 Chiplet 技术的演进与挑战》，华安证券研究所

Chiplet 封装技术也正迈向 3D 封装，互连节距持续缩小。Chiplet 封装广泛使用各类先进封装技术，包括 2D MCM、2.3D 封装、2.5D-转接板、2.5D-FOP、2.7D-硅桥、3D 封装-bumped、3D 封装-bumpless 等。封装结构已从 2D 封装发展到 3D 封装，互连间距从 12 μ m 缩短至 0.5 μ m 以下，bump 节距从过去的 130 μ m 缩小至 3 μ m。互连带宽逐步增加，互连质量逐步提升。

图表 33 Chiplet 封装技术迈向 3D 封装

封装技术	互连线宽或间距/ μm	bump 节距/ μm	chiplet gap/mm	硅通孔(TSV)	工艺复杂度	互连带宽
2D MCM	9/12	130	>1	不需要	低	较高
2.3D 封装	10/10	80	>1	不需要	低	较高
2.5D-转接板	0.5/0.5	36	<0.2	需要	高	高
2.5D-FOP	2/2	40	<0.2	不需要	较高	高
2.7D-硅桥	0.5/0.5	36	<0.5	不需要	高	高
3D 封装-bumped	0.5/0.5	36	<0.2	需要	高	高
3D 封装-bumpless	<0.5	3	垂直堆叠 X/Y 方向为 0	需要	超高	超高
光电 合封	光引擎 光引擎-主芯片		同 2.5D/3D 同 MCM			高 超高

资料来源：《Chiplet 技术发展现状》，华安证券研究所

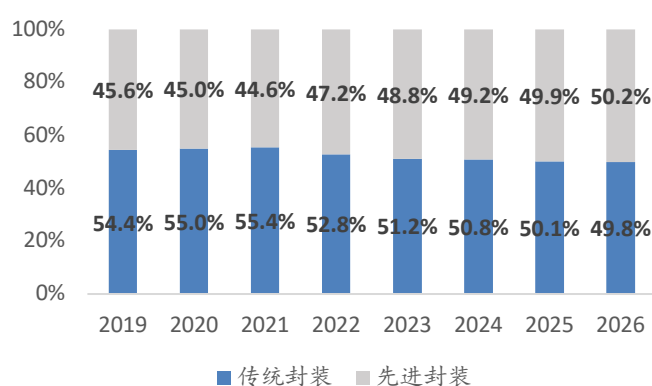
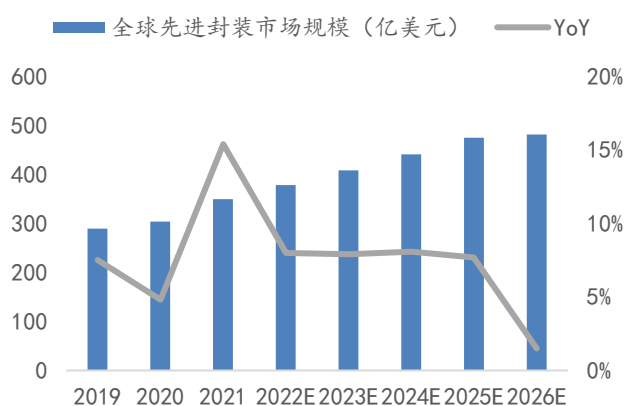
3 先进封装市场

3.1 市场规模：受下游旺盛需求拉动，先进封装增速高于传统封装

AI 及高性能计算需求旺盛，先进封装景气度高于整体封装行业。根据 JW Insights 和 Yole，全球先进封装市场规模有望从 2022 年 378 亿美元上升至 2026 年 482 亿美元，CAGR 约为 6.26%。从全球封装市场结构来看，2022 年先进封装的市场份额为 47.2%。由于先进封装市场增速超过传统封装市场增速，先进封装的市场份额将持续提升，预计至 2026 年将达到 50.2%。

图表 34 全球先进封装市场规模（亿美元）

图表 35 全球封装市场结构



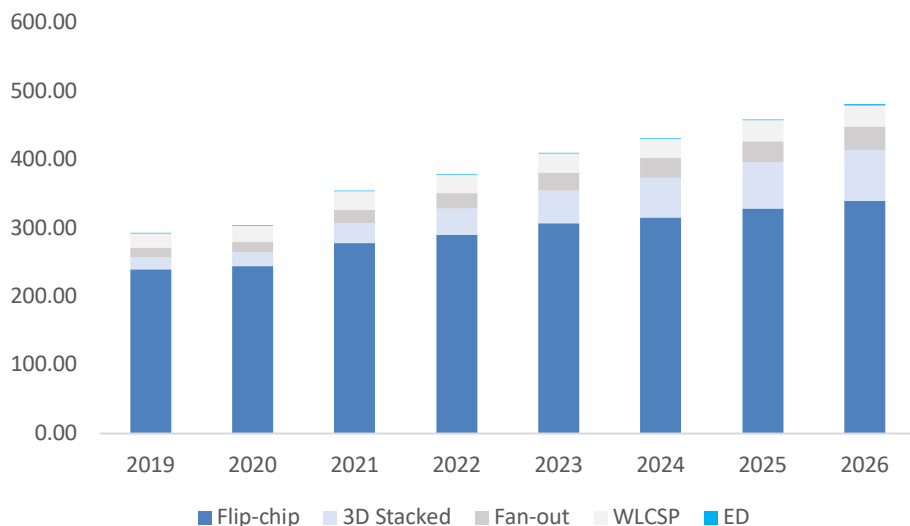
资料来源：2022 年中国集成电路封测产业白皮书，Yole, JW Insights，华安证券研究所

资料来源：2022 年中国集成电路封测产业白皮书，Yole, JW Insights，华安证券研究所

目前先进封装仍然以倒片封装为主，3D 堆叠和 ED 增速较快。根据 JW Insights 和 Yole，Flip-chip 是市场规模最大的先进封装工艺，2022 年市场规模达到 290.94 亿美元，占比 76.7%，其后为 3D 堆叠（38.33 亿美元）、Fan-out（22.05 亿美元）、WLCSP（26.98 亿美元）、ED（0.78 亿美元）。在各先进封装工艺中，成长性较高的是 3D 堆叠和 ED。3D 堆叠封装 2022 年市场规模为 38.33 亿美元，预计 2026 年可

以达到 73.67 亿美元，2022 年-2026 年 CAGR 为 18%，主要是受高性能运算、AI 等领域的需要拉动。嵌入式基板封装（ED）是一种先进的封装技术，在 5G 硬件和 CIS 等场景有较大的增量空间。2022 年 ED 的市场规模为 0.78 亿美元，预计 2026 年可以达到 1.89 亿美元，2022 年-2026 年 CAGR 为 25%。

图表 36 全球细分市场规模及份额

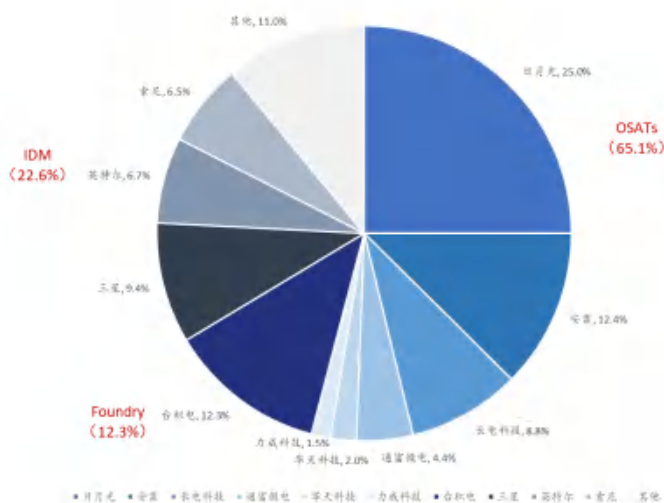


资料来源：2022 年中国集成电路封装产业白皮书，Yole, JW Insights, 华安证券研究所

3.2 竞争格局：海外 IDM 和 Foundry 掌握先进封装前沿技术

IDM（集成电路制造商）和 Foundry（晶圆代工厂）开拓高端 3D 封装，而 OSAT（外包封装公司）主攻中低端倒装、晶圆级封装。根据 Yole，2022 年集成电路先进封装市场中，OSATs 的市场份额为 65.1%，IDM 的市场份额为 22.6%，Foundry 的市场份额为 12.3%。先进封装头部六位玩家市场份额超 70%，包括 3 所外包封装公司日月光（占比 25.0%）、安靠（占比 12.4%）、长电科技（占比 8.8%），1 所晶圆代工厂台积电（占比 12.3%）以及 2 所集成电路制造商三星（占比 9.4%）、英特尔（占比 6.7%）。

图表 37 OSAT、IDM 和 Foundry 均布局先进封装



资料来源：Yole, 华安证券研究所

先进封装向 2.5D/3D 进发，技术路线由海外 Foundry 和 IDM 厂主导。台积电

已成为先进封装技术创新的引领者之一，相继推出了基板上晶圆上的芯片（Chip on Wafer on Substrate, CoWoS）封装、整合扇外型（Integrated Fan-Out, InFO）封装、系统整合芯片（System on Integrated Chips, SoIC）等；英特尔推出了嵌入式多芯片互连桥接（Embedded Multi-Die Interconnect Bridge, EMIB）、三维逻辑芯片封装（Foveros）等先进封装技术；三星推出了 I-Cube（Interposer-Cube）、X-Cube（eXtended-Cube）技术。

图表 38 海外厂商技术布局

封装类型	厂商	产品
2D 封装	台积电	InFO
	日月光	eWLB
	华天科技	eSiFO
	长电科技	ECP
2.5D 封装	台积电	CoWoS
	英特尔	EMIB
	三星	I-Cube
	长电科技	XDFOI
3D 封装	台积电	SoIC
	英特尔	Foveros
	三星	X-Cube
	长电科技	扩展 eWLB
	华天科技	3D eSinC

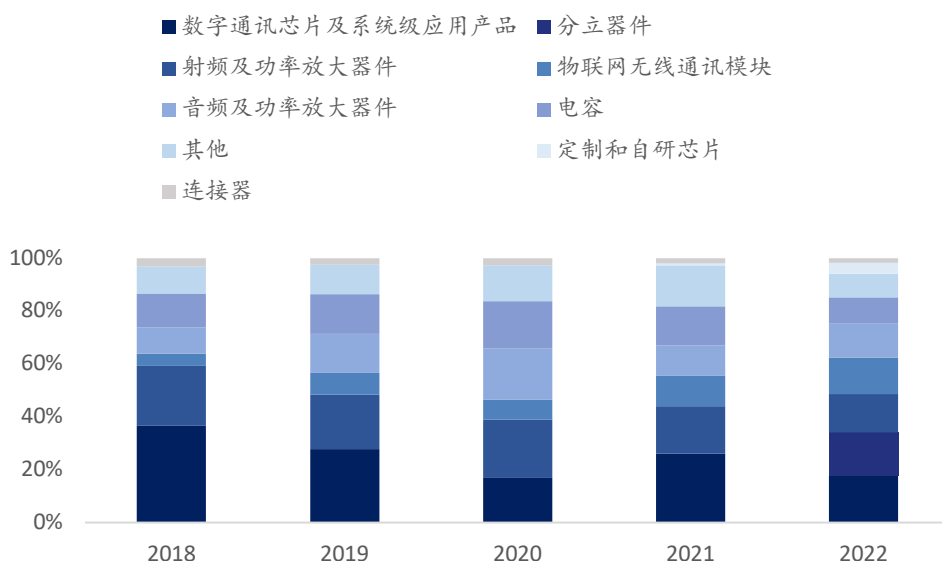
资料来源：屹立芯创，华安证券研究所

4 相关标的

4.1 润欣科技：增资奇异摩尔，专注 Chiplet 解决方案

润欣科技是国内领先的 IC 产品和 IC 解决方案提供商。公司成立于 2000 年，自成立以来一直专注于无线通信 IC、射频 IC 和传感器件的分销、应用设计及技术创新。目前公司主要的 IC 供应商有高通、思佳讯、AVX/京瓷、安世半导体、瑞声科技、恒玄科技等，拥有美的集团、闻泰科技、大疆创新等客户。公司划分三个事业部：第一事业部负责工控和汽车电子客户，以射频、模拟、电源、分立元器件分销业务为主；第二事业部为声学、光学 MEMS 传感器事业部，主要服务手机和 TWS 耳机客户；第三事业部为 AIOT 事业部，负责无线连接芯片、智能处理器芯片和模数混合芯片业务的方案设计、芯片自研和定制业务设计。2022 年 12 月，奇异摩尔与润欣科技签署战略合作框架协议，在芯片架构规划、逻辑设计、后端设计 IP 集成、流片工程服务、晶圆代工厂服务等方面开展合作，进一步完善从芯片架构设计、芯粒组合到定制芯片量产交付的 Chiplet 产业生态。

图表 39 润欣科技营收结构

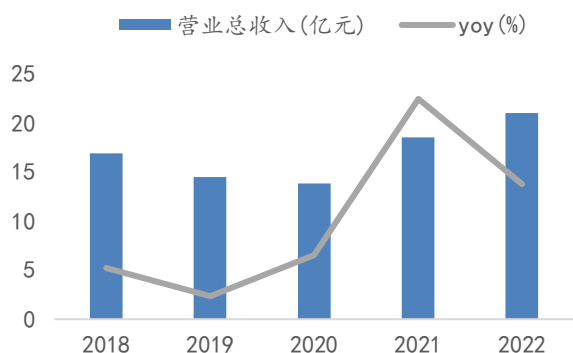


资料来源: Choice, 华安证券研究所

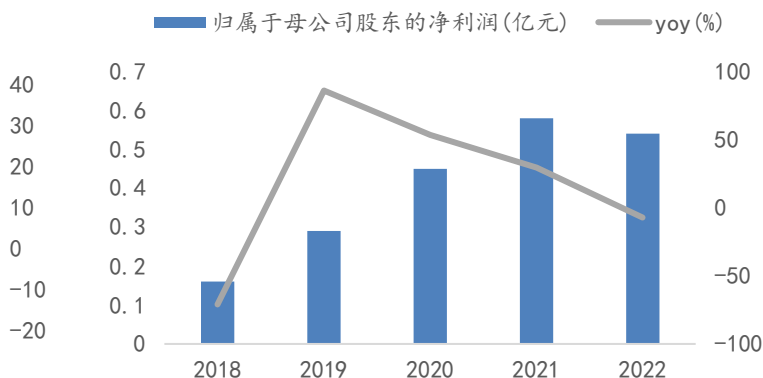
公司业绩持续增长, 芯片研发设计能力提升。2022 年公司实现营业收入 21.02 亿元, 同比增长 13.13%, 实现归母净利润 0.54 亿元, 同比下降 7.10%。主要是由于公司在汽车电子、定制及自研芯片、物联网通讯领域的业务增长显著, 芯片的研发设计能力和持续盈利能力得到了显著的提升。

图表 40 润欣科技营业收入及增速

图表 41 润欣科技归母净利润及增速



资料来源: Choice, 华安证券研究所



资料来源: Choice, 华安证券研究所

润欣科技在 IC 产品的应用设计和市场资源方面具有较强的优势, 与奇异摩尔在 Chiplet 解决方案方面的优势形成互补。奇异摩尔是一家专注于 Chiplet 互联芯粒产品研发及系统级解决方案服务提供商, 成立于 2021 年初, 是国内首批专注于 2.5D 及 3D IC Chiplet 产品及服务的公司, 基于下一代计算体系架构, 提供全球领先的 Chiplet 高性能通用芯粒及解决方案。客户只需自研部分核心芯粒, 复用其他通用单元进行设计组合, 即可快速形成所需专属高性能芯片, 降低研发成本和设计周期。同时, 通过 Chiplet 超高速互连形成超大规模系统级芯片(M-SOC), 持续提升芯片性能, 克服摩尔定律挑战。目前, 奇异摩尔的产品包含高性能互联底座 Base die、高速互联 IO Die、Die2DieIP、Chiplet 软件设计平台等, 涵盖了高算力芯片客户所需的高速互联接口、分布式近存及高效电源网络等功能。公司核心管理团队来自全球半导体巨头公司, 团队过往具有超过 50 亿美金业务管理及市场营销成功经验, 及

超过 10+高性能 Chiplet 量产项目经验。2023 年 11 月，润欣科技拟通过受让奇异摩尔的股东奇摩北京的部分财产份额而间接持有奇异摩尔 2.88%的股权权益，双方将基于各自的客户和技术优势，持续打造端到端定制化的 Chiplet 芯片设计服务平台，提供包含 ASIC、算法设计、Chiplet 晶粒封测和芯片交付，并为客户提供多样化的 IP、功能芯粒选择和异构设计服务。

图表 42 润欣科技产品进展

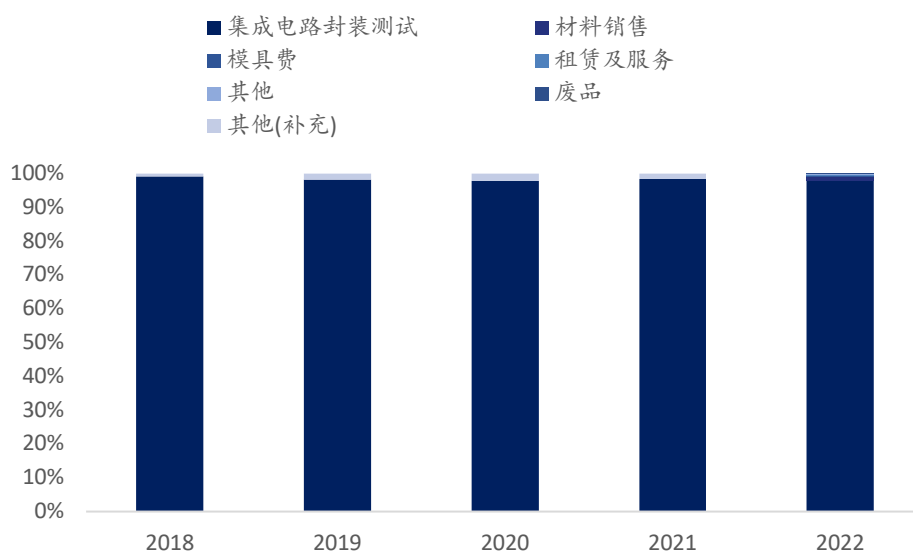
产品类型	产品介绍
高性能通用底座 Base Die	3D 超高速 Die2Die; PCIe、DDR、HBM 等高速接口; Chiplet 片上网络 Kiwi Fabric; 自适应互连控制中心; 大容量 3D 近存; 大电流供电网络; 适用于 3D Chiplet 架构; 支持 3DIC 先进封装。
高速互连芯粒 IO Die	2.xD/2.5D 超高速 Die2Die; PCIe、DDR 等高速接口; Chiplet 片上网络 Kiwi Fabric; 自适应互连控制中心; 适用于 2.xD/2.5D Chiplet 架构; 支持 Substrate, RDL/Silicon Interposer 等先进封装。
Chiplet Die2Die 接口 IP	全面支持 UCle 标准; 业界最佳综合性能, 高带宽、低功耗、低延时; 全面支持 2.xD/2.5D/3D, 包括 Substrate, RDL/Silicon Interposer, 3DIC 等; 含 Controller, PHY, verification IP。
Chiplet 软件设计平台	Chiplet 专用设计工具, 支持 Base Die, IO Die 自动完成产品设计; 支持 Auto-Rounting, 3D-Stacking, Die Configuration 等功能; 无缝结合主流 EDA 工具, 快速完成 Chiplet 系统设计、验证、仿真等工作。
半导体芯片设计	2022 年 5 月, 公司投资设立了上海润欣创芯微电子有限公司 (公司持股 51%), 正式进入半导体设计和测试领域, 为重点客户定制了 Holacon 家电专用智能芯片、TG 超低功耗 BLE 芯片, 目前该两款定制芯片已处于批量出货阶段。公司自研设计的温度传感器控制和显示芯片 XN3650、单线三通道 LED 恒流驱动芯片 XM9823 均已顺利量产并形成规模销售。

资料来源: 奇异摩尔官网、润欣科技 2022 年度报告, 华安证券研究所

4.2 通富微电: 封测行业全球第四, 提供国内最完善的 Chiplet 封装解决方案

通富微电是一家国内领先、世界先进的集成电路封装测试服务提供商。专注于为全球客户提供从设计仿真到封装测试的一站式解决方案。公司的产品、技术、服务覆盖了人工智能、高性能计算、大数据存储、显示驱动、5G 等网络通讯、信息终端、消费终端、物联网、汽车电子、工业控制等多个领域。公司是 AMD 最大的封装测试供应商, 占其订单总数的 80%以上, 收购 AMD 苏州及 AMD 槟城各 85%股权。凭借 7nm、5nm、FCBGA、Chiplet 等先进技术优势, 以及不断强化与 AMD 等行业领先企业的深度合作, 公司巩固和扩大先进产品市占率, 2022 年在全球封测行业的市占率为 6.51%, 上升至全球第四。

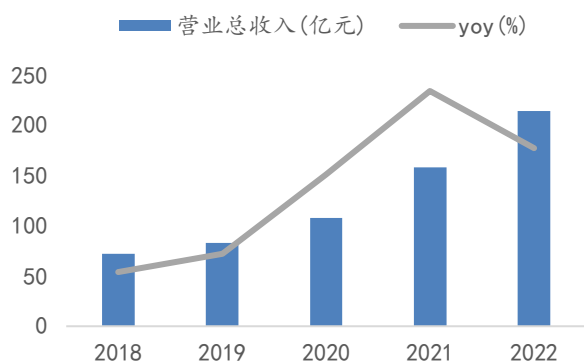
图表 43 通富微电营收结构



资料来源: Choice, 华安证券研究所

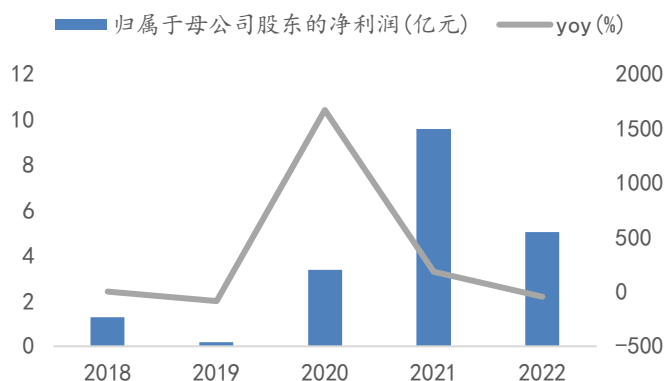
在全球前十大封测企业中, 公司营收增速连续 3 年保持第一。2022 年公司实现营业收入 214.29 亿元, 同比增长 35.52%, 实现归母净利润 5.02 亿元, 同比下降 47.53%。主要是由于猛攻高性能处理器、功率器件、存储及显示驱动等优势市场领域, 有效抓住国际和国内客户的主要需求。

图表 44 通富微电营业收入及增速



资料来源: Choice, 华安证券研究所

图表 45 通富微电归母净利润及增速



资料来源: Choice, 华安证券研究所

公司构建了国内最完善的 Chiplet 封装解决方案, 7nm 产品已大规模量产, 5nm 产品已完成研发并逐步量产。公司通过多芯片组件、集成扇出封装、2.5D/3D 等先进封装技术方面的提前布局, 构建八大封装产品矩阵, 并且已为 AMD 大规模量产 Chiplet 产品。FC 产品方面, 已完成 5nm 制程的 FC 技术产品认证, 同时多芯片 MCM 技术方面已确保 9 颗芯片的 MCM 封装技术能力, 并推进 13 颗芯片的 MCM 研发; 在超大尺寸 FCBGA-MCM 高散热技术方面, 具备了 Indium TIM 等行业前沿材料的稳定量产能力, 并成功完成了新型散热片的开发, 继续保持公司在 FCBGA 封装技术方面的行业领先地位。公司先后承担了多项国家级项目, 并取得了丰硕的创新成果: 自建 2.5D/3D 产线全线通线, 1+4 产品及 4 层/8 层堆叠产品研发稳步推进; 基于 Chip Last 工艺的 Fan-out 技术, 实现 5 层 RDL 超大尺寸封装 (65×65mm); 超大多芯片 FCBGA MCM 技术, 实现最高 13 颗芯片集成及 100×100mm 以上超大封装。公司将持续开展以超大尺寸 FO 及 2.5D 技术为代表的

先进封装技术和产品研发，持续推进 5nm、4nm、3nm 新品研发，不断强化与客户的深度合作，满足客户 AI 算力等方面的需求。

图表 46 通富微电产品进展

产品类型	产品介绍
FCBGA Series & FCCSP Series	倒装芯片互连，已被确定作为一种高性能封装解决方案，以满足对具有更高电气性能、高 I/O 和高系统可靠性的产品的日益增长的需求。公司已完成 5nm 制程的 FC 技术产品认证，同时多芯片 MCM 技术方面已确保 9 颗芯片的 MCM 封装技术能力，并推进 13 颗芯片的 MCM 研发；在超大尺寸 FCBGA-MCM 高散热技术方面，具备了 Indium TIM 等行业前沿材料的稳定量产能力，并成功完成了新型散热片的开发，继续保持公司在 FCBGA 封装技术方面的行业领先地位。
F0 Series	提供 Chip First 和 Chip Last 两种扇出型解决方案。对于 Chip First 技术，第一步是将芯片面朝下放置在具有粘合层的临时载体上。第二步是通过模塑化合物（EMC）覆盖芯片表面。第三步是通过热释放去除粘附层和临时载体；最后，在芯片和化合物表面直接制作 RDL 层和焊球。F0 技术用于 MIC、RF、CPU、GPU 和网络。
HVP Series	HVP 产品是指大容量产品（high volume product），主要包括 SOT 系列和 SOP 系列以及 Mini-QFN 和 DIP。HVP 封装被认为是最成熟的行业标准和传统封装之一，用于所有消费电子产品和汽车电子产品，包括无线/RF 和模拟设备、电源管理、微控制器、蓝牙设备、便携式产品（如手机、数据存储系统和笔记本电脑）、汽车电子和其他领域。
LQFP Series	薄型四边形扁平封装（LQFP）是指主体厚度为 1.0mm 或 1.4mm 的四边形引脚扁平封装。主要适用于 SMT 表面安装技术在 PCB 安装中的应用。封装引脚之间的距离很小，引脚很薄。通常，大规模或超大规模的集成电路都使用这种封装形式。引脚间距为 0.4mm-1.0mm，引脚数量为 32-256。LQFP 的应用包括 ASIC、PMU 控制器、MCU、门阵列（FPGA/PLD）和 PC 芯片组。LQFP 封装特别适用于需要广泛性能特性的电子系统，包括笔记本电脑、视频/音频、电信、射频、数据采集、机顶盒、通信板和汽车。
QFN-DFN Series	QFN（Plastic Quad Flat No-lead）和 DFN（Dual Flat No-lead）是使用 SMD 技术的主要封装。它们被广泛用于低成本的商业应用。通富微电提供引脚数为 4 至 64 的 QFN（封装体厚度为 0.30mm 至 1.00mm）和引脚数为 2 至 64 的 DFN（封装件厚度为 0.30mm-1.00mm）。QFN 和 DFN 封装被认为是最成熟的行业标准封装之一，应用于射频、Wi-Fi、蓝牙、物联网、手机、无线局域网、个人数字助理、数码相机等领域。
SiP Series	SiP（系统级封装）模块包含一个或多个有源芯片、无源元件、闪存和传感器。集成先进的 SMT、EMI 屏蔽技术，提供更小的机身尺寸和更高性能的产品。SiP 解决方案广泛应用于智能家居、智能城市和其他任何无线通信设备。
WBGALGA (HS) PBGAB Series	BGA（Ball Grid Array）是一种层压基板封装解决方案，兼容行业各种 SMT 表面贴装制程。全尺寸小节距 BGA（FBGA）适用于不同封装尺寸（0.8 至 25mm）、厚度（0.5 至 1.6mm）、各种球栅阵列节距（≥ 0.35mm 节距）、不同焊球数量、单晶片多晶片布局、堆叠晶片（1-16）和被动元件集成等设计。行业供应链提供的薄型核心层压基板（1 至 8 个金属层）、超薄塑封体厚度和薄至 50 微米硅晶圆，为打造下一代平板电脑、智能手机、游戏控制器、汽车、工业、数字和视频摄像头和远程设备提供解决方案。

WLCSP Series

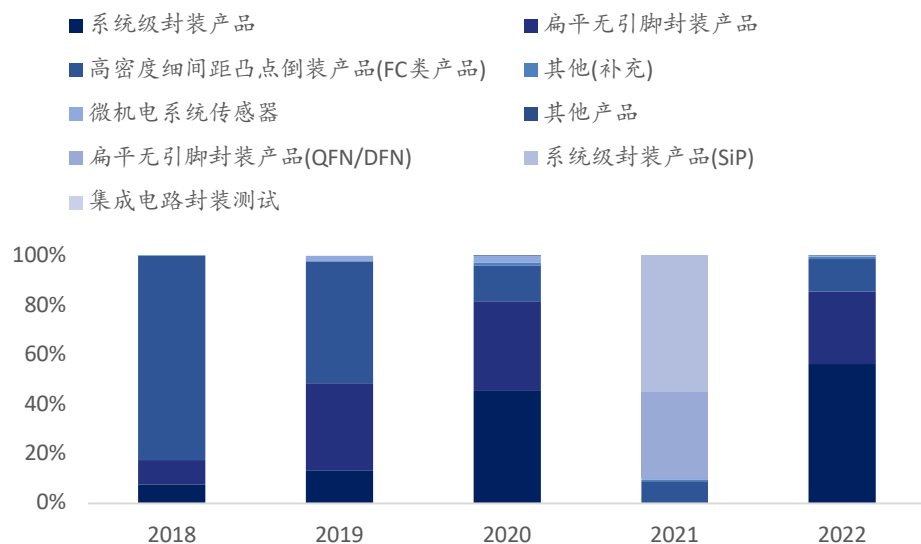
所有的组装和测试过程都在晶圆内进行，所有的输入/输出（I/O）接点都分布在芯片表面内，是一种 Fan-in 晶圆级封装，其核心是利用重分布层技术重新配置芯片周边连接点，然后完成凸块制作（或焊球）。该结构的芯片面积大小和最终封装面积大小是标准的 1:1。晶圆级封装有两个主要应用领域，第一个是用于高引脚数/高性能 ASIC、CPU/GPU、游戏、智能 AP 处理器、存储器、RF 等；第二种是用于消费类便携式产品（包括模拟/混合信号、无线、PMIC、汽车电子等）的低引脚数封装，也可以满足存储芯片轻量化和超薄/大尺寸要求的封装特性。

资料来源：通富微电官网、公告，华安证券研究所

4.3 甬矽电子：Bumping 通线量产，打造“Bumping+CP+FC+FT”一站式封测平台

甬矽电子自成立之初即聚焦集成电路封测业务中的先进封装领域。公司于 2017 年 11 月设立，管理团队具有日月光、长电科技背景，全部产品均为 QFN/DFN、WB-LGA、WB-BGA、Hybrid-BGA、FC-LGA 等中高端先进封装形式。下游客户主要为集成电路设计企业，包括恒玄科技、晶晨股份、富瀚微、联发科、北京君正等，产品主要应用于射频前端芯片、AP 类 SoC 芯片、触控芯片、WiFi 芯片、蓝牙芯片、MCU 等物联网芯片、电源管理芯片、计算类芯片、工业类和消费类产品等领域。目前，公司封装产品根据技术可分为四类，包括系统级封装产品（SiP）、扁平无引脚封装产品（QFN/DFN）、高密度细间距凸点倒装产品（FC 类产品）、微机电系统传感器（MEMS），2022 年营收占比分别为 56.28%、29.02%、13.42%、0.25%。

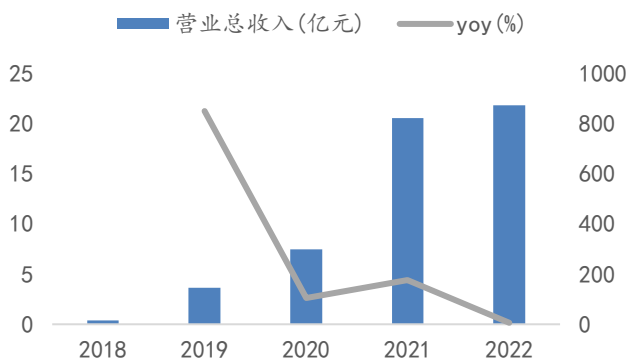
图表 47 甬矽电子营收结构



资料来源：Choice，华安证券研究所

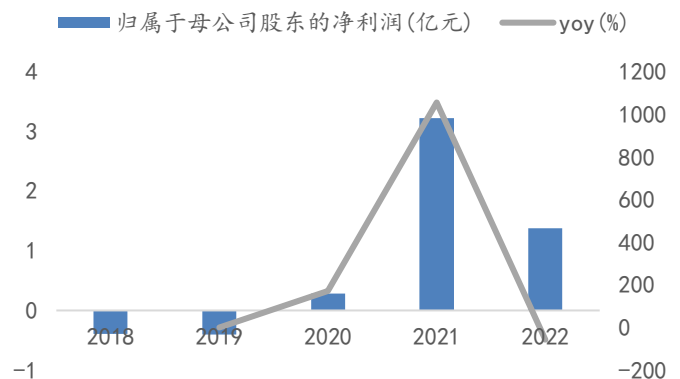
公司加强新产品导入力度，营业收入同比增长。2022 年公司实现营业收入 21.77 亿元，同比增长 5.96%，实现归母净利润 1.38 亿元，同比下降 57.11%。主要是由于 SiP 产品及 FC 产品的销售收入增长。

图表 48 甬矽电子营业收入及增速



资料来源: Choice, 华安证券研究所

图表 49 甬矽电子归母净利润及增速



资料来源: Choice, 华安证券研究所

Bumping 已通线量产, 初步形成“Bumping+CP+FC+FT”一站式交付能力。

在 Bumping 方面, 公司 Bumping 项目已通线量产, 以 12 吋为主, 有少量客户需要 8 吋也会匹配其需求。公司研发的 Bumping 先进封装技术, 微凸块最小高度为 20um, 最小凸块直径 20um, 最小间距可达 34um, 单晶粒(3mm*3mm)上的凸块数量达到了 3000 个以上。公司研发的细线宽技术, 最小线宽可达 5um, 最小线间距可达 5um。通过实施 Bumping 项目, 掌握了 RDL 及凸点加工能力, 为公司后续开展晶圆级封装、扇出式封装及 2.5D/3D 封装奠定了工艺基础。在倒装芯片 Flip Chip 方面, FC-CSP/FC-BGA 为先进的高精度倒装芯片级封装, 具有铜柱或焊料凸块, 将芯片翻转并连接到基板上。公司量产的 FC-CSP 先进封装倒装芯片, 封装尺寸达到 17mm*17mm 以上, 最小凸点间距<80um, 最小凸点直径 40um, 单晶粒上的凸点数量在 3400 个以上; 公司开发的高密度 FC-BGA 产品, 单晶粒上的凸点数量达到了 18000 个。在射频芯片/模组封装方面, 公司已实现 5G 高密度射频模组 PAMiF、PAMiD 批量量产, 成功开发 DiFEM 模组工艺。同时公司紧跟射频模组技术的发展趋势, 布局开发更高集成密度的双面 Double side SiP (DBSiP) 先进模组技术。此外, 公司在 SiP、BGA、QFN、MEMS 领域也拥有先进的核心技术。公司一期项目以成熟的 QFN 和 SiP 等产品为主; 二期总投资 111 亿元, 以 Bumping、FC 及晶圆级封装为主, 达产后具备年销售额 80 亿元的生产能力。

图表 50 甬矽电子产品进展

产品类型	产品介绍
Bumping	Bumping 已通线量产, 形成“Bumping+CP+FC+FT”的一站式封测平台, 公司 Bumping 以 12 吋为主, 有少量客户需要 8 吋也会匹配其需求。公司研发的 Bumping 先进封装技术, 微凸块最小高度为 20um, 最小凸块直径 20um, 最小间距可达 34um, 单晶粒(3mm*3mm)上的凸块数量达到了 3000 个以上。公司研发的细线宽技术, 最小线宽可达 5um, 最小线间距可达 5um。通过实施 Bumping 项目, 掌握了 RDL 及凸点加工能力, 为公司后续开展晶圆级封装、扇出式封装及 2.5D/3D 封装奠定了工艺基础。
Flip-Chip	FC-CSP/FC-BGA 为先进的高精度倒装芯片级封装, 具有铜柱或焊料凸块, 将芯片翻转并连接到基板上。公司量产的 FC-CSP 先进封装倒装芯片, 封装尺寸达到 17mm*17mm 以上, 最小凸点间距<80um, 最小凸点直径 40um, 单晶粒上的凸点数量在 3400 个以上; 公司开发的高密度 FC-BGA 产品, 单晶粒上的凸点数量达到了 18000 个。

射频芯片/模组封装	公司已实现 5G 高密度射频模组 PAMiF、PAMiD 批量量产，成功开发 DiFEM 模组工艺。同时公司紧跟射频模组技术的发展趋势，布局开发更高集成密度的双面 Double side SiP (DBSiP) 先进模组技术。
SiP	公司的混合系统级封装是将在先进系统级封装基础上，采用“倒装芯片封装+正装焊线芯片封装”的整合封装技术，在一个封装体内集成了电容、电阻、电感、晶振、滤波器、先进倒装芯片以及高密度焊线芯片。目前所封装的 Hybrid-BGA 芯片组尺寸为 8.6mm*7.4mm，通过系统级混装工艺，在一枚芯片组中封装了 5 颗晶粒，其中 1 颗为倒装晶粒，4 颗为焊线晶粒。公司 Hybrid-LGA 芯片组产品尺寸为 5.5*4.5mm，通过系统级混装工艺，在一枚芯片组中封装了 7 颗晶粒，其中 5 颗为倒装晶粒，2 颗为焊晶粒，并同时封装了 24 颗 SMT 元件。
BGA	公司目前最先进的 WB-BGA 产品已实现 5 层焊线封装的稳定量产，最高线数达 1500 根，最小焊垫尺寸 (BP0) 和间距 (BPP) 分别达到 38.7um 和 43um。
QFN	QFN 采用铜引脚框架进行封装。公司研发团队在 0.4mm 常规引脚间距 QFN 封装产品稳定量产的前提下，向 0.35mm 及 0.3mm 高密度细间距引脚 QFN 封装技术发起挑战，并实现规模化量产。公司稳定量产焊线数最多达到 500 根，尺寸达 10*10mm~12.3*12.3mm 的大颗高密度 QFN 封装产品，并进阶研发出超大颗 QFN (>13*16mm) 封装产品。
MEMS	公司 MEMS 封装主要为微机电麦克风产品，在基板上贴装 ASIC 芯片和 MEMS 芯片，再采用金属线键合连接方式 (Wire Bonding) 将芯片与基板互连，最后贴装金属盖。包括 1.65mm x 2.53mm、3.5mm x 2.65mm、3.76mm x 2.95mm 等多种不同规格，并采用了较为先进的 SMT 贴装、焊线和空腔基板工艺，主要应用于麦克风传感器、麦克风降噪传感器等领域。

资料来源：甬矽电子 2022 年度报告、公告、招股说明书、eet-china，华泰证券研究所

4.4 其他先进封装相关公司

长电科技：全球领先的 OSAT 厂商，Chiplet 4nm 节点芯片封装出货。长电科技以 10.71% 的市占率在 2022 年全球委外封测 (OSAT) 榜单中排名第三，中国大陆第一。公司的先进封装技术覆盖全面，包括晶圆级封装 (WLP)、2.5D/3D 封装、系统级封装 (SiP)、高性能倒装芯片封装 (FC) 和引线键合技术等。公司研发的 XDFOI Chiplet 高密度多维异构集成系列工艺已进入稳定量产阶段，同步实现国际客户 4nm 节点多芯片系统集成封装产品出货，最大封装体面积约为 1500mm² 的系统级封装。

华天科技：推出三维晶圆级封装平台 3D Matrix，六大生产基地分工明确。公司为专业的集成电路封装测试代工企业，现已掌握了 SiP、FC、TSV、Bumping、Fan-Out、WLP、3D 等集成电路先进封装技术，目前已构建三维晶圆级封装平台 3D Matrix，由 TSV、eSiFo (Fan-out)、3D SiP 三大封装技术构成。公司有六大主要生产地：天水基地以引线框架类产品为主，产品主要涉及驱动电路、电源管理、蓝牙、MCU、NOR Flash 等。西安基地以基板类和 QFN、DFN 产品为主，产品主要涉及射频、MEMS、指纹产品、汽车电子、MCU、电源管理等。南京基地以存储器、MEMS 等集成电路产品的封装测试为主，涵盖引线框架类、基板类、晶圆级全系列。昆山基地为封装晶圆级产品，主要产品包括 TSV、Bumping、WLCSP、Fan-Out 等。韶关基地以引线框架类封装产品、显示器件和显示模组产品为主。Unisem 封装产品包括引线框架类、基板类以及晶圆级产品，主要以射频类产品为主。

晶方科技：聚焦 CIS 封测，具备晶圆级芯片尺寸封装量产能力。公司专注于传

感器领域的封装测试业务，同时具备 8 英寸、12 英寸晶圆级芯片尺寸封装技术规模量产封装线，涵盖晶圆级到芯片级的一站式综合封装服务能力。封装产品主要包括图像传感器芯片、生物身份识别芯片、MEMS 芯片等。公司自主研发了超薄晶圆级芯片尺寸封装技术、硅通孔封装技术、扇出型封装技术、系统级封装技术及应用于汽车电子产品的封装技术等，并引进了光学型晶圆级芯片尺寸封装技术、空腔型晶圆级芯片尺寸封装技术。客户群体涵盖 SONY、豪威科技、格科微、思特威等全球知名传感器设计企业。

图表 51 其他先进封装相关公司

产品类型	产品介绍
长电科技	全球领先的 OSAT 厂商，Chiplet 4nm 节点芯片封装出货。长电科技以 10.71% 的市占率在 2022 年全球委外封测（OSAT）榜单中排名第三，中国大陆第一。公司的先进封装技术覆盖全面，包括晶圆级封装（WLP）、2.5D/3D 封装、系统级封装（SiP）、高性能倒装芯片封装（FC）和引线键合技术等。公司研发的 XDFOI Chiplet 高密度多维异构集成系列工艺已进入稳定量产阶段，同步实现国际客户 4nm 节点多芯片系统集成封装产品出货，最大封装体面积约为 1500mm ² 的系统级封装。
华天科技	推出三维晶圆级封装平台 3D Matrix，六大生产基地分工明确。公司为专业的集成电路封装测试代工企业，现已掌握了 SiP、FC、TSV、Bumping、Fan-Out、WLP、3D 等集成电路先进封装技术，目前已构建三维晶圆级封装平台 3D Matrix，由 TSV、eSiFo（Fan-out）、3D SiP 三大封装技术构成。公司有六大主要生产基地：天水基地以引线框架类产品为主，产品主要涉及驱动电路、电源管理、蓝牙、MCU、NOR Flash 等。西安基地以基板类和 QFN、DFN 产品为主，产品主要涉及射频、MEMS、指纹产品、汽车电子、MCU、电源管理等。南京基地以存储器、MEMS 等集成电路产品的封装测试为主，涵盖引线框架类、基板类、晶圆级全系列。昆山基地为封装晶圆级产品，主要产品包括 TSV、Bumping、WLCSP、Fan-Out 等。韶关基地以引线框架类封装产品、显示器件和显示模组产品为主。Unisem 封装产品包括引线框架类、基板类以及晶圆级产品，主要以射频类产品为主。
晶方科技	聚焦 CIS 封测，具备晶圆级芯片尺寸封装量产能力。公司专注于传感器领域的封装测试业务，同时具备 8 英寸、12 英寸晶圆级芯片尺寸封装技术规模量产封装线，涵盖晶圆级到芯片级的一站式综合封装服务能力。封装产品主要包括图像传感器芯片、生物身份识别芯片、MEMS 芯片等。公司自主研发了超薄晶圆级芯片尺寸封装技术、硅通孔封装技术、扇出型封装技术、系统级封装技术及应用于汽车电子产品的封装技术等，并引进了光学型晶圆级芯片尺寸封装技术、空腔型晶圆级芯片尺寸封装技术。客户群体涵盖 SONY、豪威科技、格科微、思特威等全球知名传感器设计企业。

资料来源：长电科技官网、长电科技 2023 半年度报告、华天科技公告、华天科技 2023 半年度报告、网易号、晶方科技 2023 半年度报告，华安证券研究所

风险提示：

市场需求不及预期、技术迭代不及预期、行业竞争加剧等风险。

分析师与研究助理简介

分析师：陈耀波，华安证券电子行业首席分析师。北京大学金融管理双硕士，有工科交叉学科背景。曾就职于广发资管，博时基金投资部等，具有 8 年买方投研经验

重要声明

分析师声明

本报告署名分析师具有中国证券业协会授予的证券投资咨询执业资格，以勤勉的执业态度、专业审慎的研究方法，使用合法合规的信息，独立、客观地出具本报告，本报告所采用的数据和信息均来自市场公开信息，本人对这些信息的准确性或完整性不做任何保证，也不保证所包含的信息和建议不会发生任何变更。报告中的信息和意见仅供参考。本人过去不曾与、现在不与、未来也将不会因本报告中的具体推荐意见或观点而直接或间接接收任何形式的补偿，分析结论不受任何第三方的授意或影响，特此声明。

免责声明

华安证券股份有限公司经中国证券监督管理委员会批准，已具备证券投资咨询业务资格。本报告由华安证券股份有限公司在中华人民共和国（不包括香港、澳门、台湾）提供。本报告中的信息均来源于合规渠道，华安证券研究所力求准确、可靠，但对这些信息的准确性及完整性均不做任何保证。在任何情况下，本报告中的信息或表述的意见均不构成对任何人的投资建议。在任何情况下，本公司、本公司员工或者关联机构不承诺投资者一定获利，不与投资者分享投资收益，也不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。投资者务必注意，其据此做出的任何投资决策与本公司、本公司员工或者关联机构无关。华安证券及其所属关联机构可能会持有报告中提到的公司所发行的证券并进行交易，还可能为这些公司提供投资银行服务或其他服务。

本报告仅向特定客户传送，未经华安证券研究所书面授权，本研究报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。如欲引用或转载本文内容，务必联络华安证券研究所并获得许可，并需注明出处为华安证券研究所，且不得对本文进行有悖原意的引用和删改。如未经本公司授权，私自转载或者转发本报告，所引起的一切后果及法律责任由私自转载或转发者承担。本公司并保留追究其法律责任的权利。

投资评级说明

以本报告发布之日起 6 个月内，证券（或行业指数）相对于同期相关证券市场代表性指数的涨跌幅作为基准，A 股以沪深 300 指数为基准；新三板市场以三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）为基准；香港市场以恒生指数为基准；美国市场以纳斯达克指数或标普 500 指数为基准。定义如下：

行业评级体系

- 增持—未来 6 个月的投资收益率领先市场基准指数 5%以上；
- 中性—未来 6 个月的投资收益率与市场基准指数的变动幅度相差-5%至 5%；
- 减持—未来 6 个月的投资收益率落后市场基准指数 5%以上；

公司评级体系

- 买入—未来 6-12 个月的投资收益率领先市场基准指数 15%以上；
- 增持—未来 6-12 个月的投资收益率领先市场基准指数 5%至 15%；
- 中性—未来 6-12 个月的投资收益率与市场基准指数的变动幅度相差-5%至 5%；
- 减持—未来 6-12 个月的投资收益率落后市场基准指数 5%至；
- 卖出—未来 6-12 个月的投资收益率落后市场基准指数 15%以上；
- 无评级—因无法获取必要的资料，或者公司面临无法预见结果的重大不确定性事件，或者其他原因，致使无法给出明确的投资评级。