

走进“芯”时代系列之七十六—HBM之“设备材料”深度分析 HBM迭代，3D混合键合成设备材料发力点

分析师：孙远峰 S0910522120001

分析师：王海维 S0910523020005

2024年3月4日



华金证券客户中的专业投资者参考

更多免费行业报告

并购家

www.ipoipo.cn

并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

HBM技术迭代，3D混合键合助力设备材料

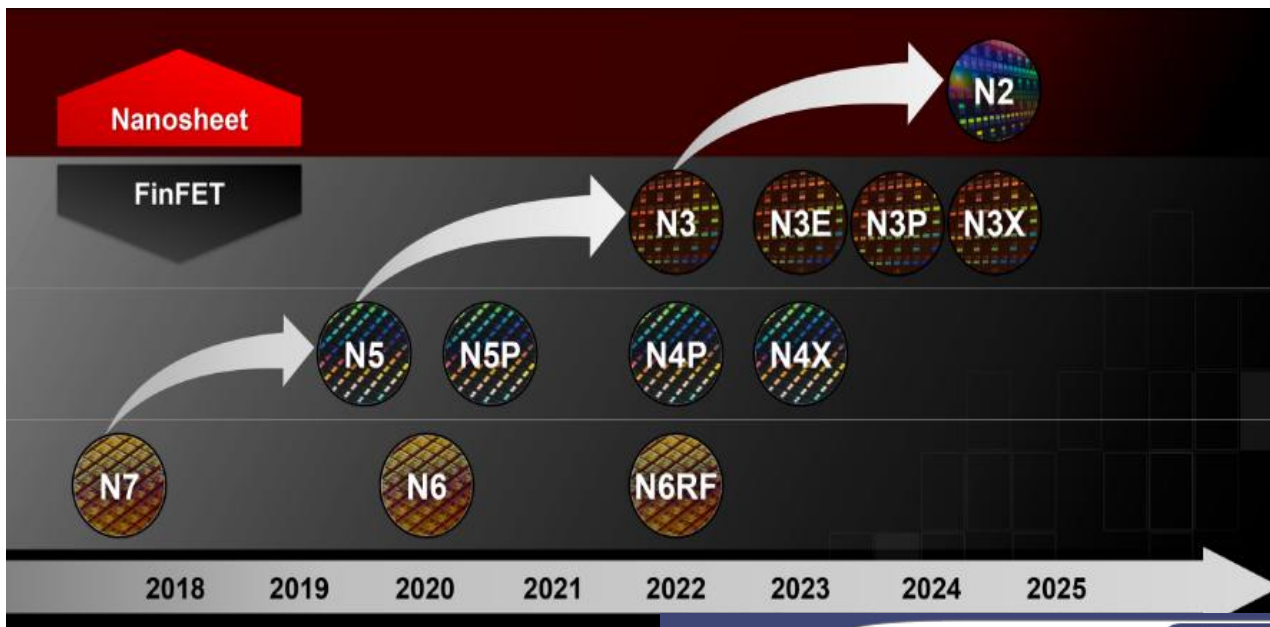
- **HBM加速迭代，市场空间足：**HBM突破“内存墙”，实现高带宽高容量，成为AI芯片最强辅助，我们认为HBM将持续迭代，I/O口数量以及单I/O口速率将逐渐提升，HBM3以及HBM3e逐渐成为AI服务器主流配置，且产品周期相对较长，单颗容量及配置颗数逐步增加，预计HBM4于2026年发布。2024年全球HBM市场有望超百亿美元，市场空间足，国产供应链加速配套。
- **HBM3海力士率先引入MR-MUF，HBM4剑指混合键合：**当前HBM采用“TSV+Bumping”+TCB键合方式堆叠（TSV一般由晶圆厂完成，封测厂可在堆叠环节进行配套），但随着堆叠层数的增加散热效率很差，TCB不再满足需求，海力士率先引入MR-MUF回归大规模回流焊工艺，芯片之间用液态环氧模塑料作为填充材料，导热率比TC-NCF中的非导电薄膜高很多，但海力士也预计HBM4会引入混合键合Hybrid Bonding方案，取消互连凸块。**我们预判当前HBM主流依然是TCB压合，MR-MUF方案为过渡方案，未来混合键合是大趋势。**液态塑封料LMC依然是晶圆级封装至关重要的半导体材料之一。
- **混合键合与TSV是3D封装的核心，HBM“连接”与“堆叠”带来设备材料端发展新机遇：**混合键合分为晶圆对晶圆W2W和芯片对晶圆D2W，3D NAND使用W2W，典型案例为长鑫存储的Xstacking，CMOS层+存储层采用W2W混合键合方案，预计HBM未来亦会采用W2W方案，W2W与D2W方案相比一般应用于良率非常高的晶圆，避免损失。根据我们产业链研究，混合键合将充分带动永久键合设备与减薄+CMP需求，根据BESI官方数据，预计存储领域未来贡献混合键合设备明显增量，保守预计2026年需求量超过200台，减薄+CMP亦成为重要一环。当前HBM方案主要带动固晶机、临时键合与解键合、塑封装备以及TSV所需的PECVD、电镀、CMP等设备；材料端则是TSV电镀液、塑封料等。
- **相关标的：**包括封测环节：通富微电（先进封装）、长电科技（先进封装）等；设备环节：拓荆科技（PECVD+ALD+键合设备）、华海清科（减薄+CMP）、华卓精科（拟上市，键合设备）、芯源微（临时键合与解键合）等；材料环节：华海诚科（环氧塑封料）、天承科技（RDL+TSV电镀添加剂）、艾森股份（先进封装电镀）等
- **风险提示：**行业与市场波动风险，国际贸易摩擦风险，新技术、新工艺、新产品无法如期产业化风险，产能扩张进度不及预期风险，行业竞争加剧风险。

- 01 HBM—突破“内存墙”
- 02 AI算力快速迭代，HBM为最强辅助
- 03 HBM核心—“连接”与“堆叠”，3D混合键合成趋势
- 04 HBM核心设备材料，替代进行时
- 05 相关标的
- 06 风险提示

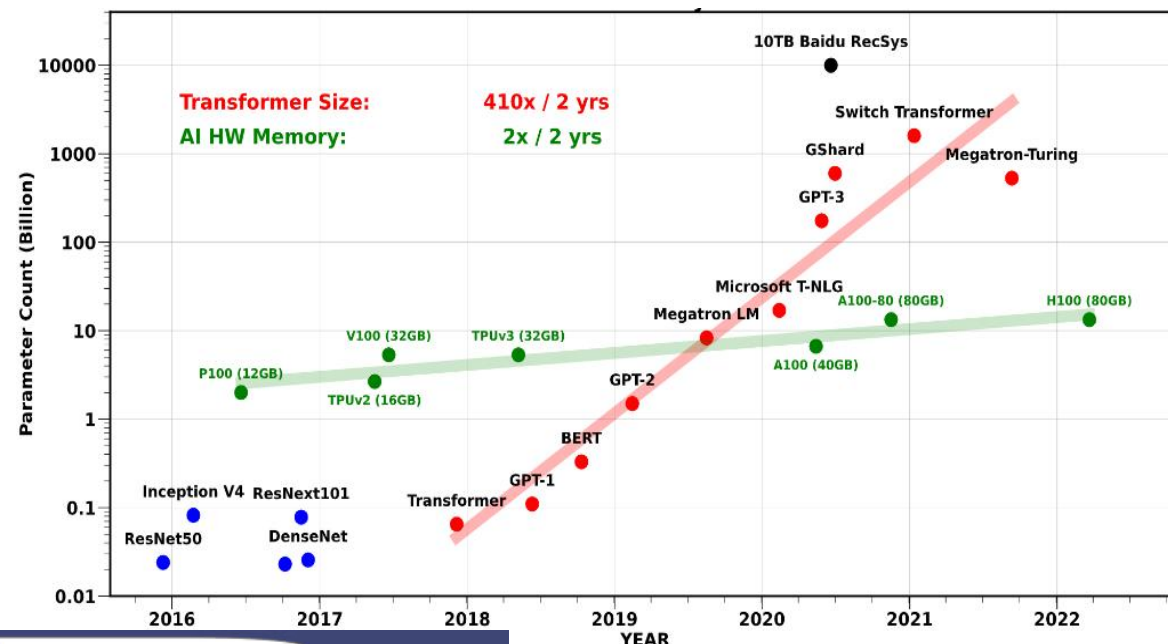
HBM—突破“内存墙”

- CPU与存储之间“内存墙”：随着摩尔定律的不断迭代，CPU运行速度快速提升，CPU主频高达5GHz，而DRAM内存性能取决于电容充放电速度以及DRAM与CPU之间的接口带宽，存储性能提升远慢于CPU，DRAM内存带宽成为制约计算机性能发展的重要瓶颈；
- DRAM：DDR4内存主频为2666~3200MHz，带宽为6.4GB/s，但是在AI应用中（高性能计算/数据中心），算力芯片的数据吞吐量峰值在TB/s级，主流的DRAM内存或显存带宽一般为几GB/s到几十GB/s量级，与算力芯片存在显著的差距，“内存墙”由此形成。以Transformer类模型为例，模型大小平均每两年翻410倍，AI硬件上的内存大小仅仅是以每年翻2倍的速率在增长；
- 内存墙问题不仅与内存容量大小有关，也包括内存的传输带宽；内存容量和传输的速度都大大落后于硬件的计算能力。

图：2018年~2025年 台积电先进工艺制程节点



图：AI与内存墙

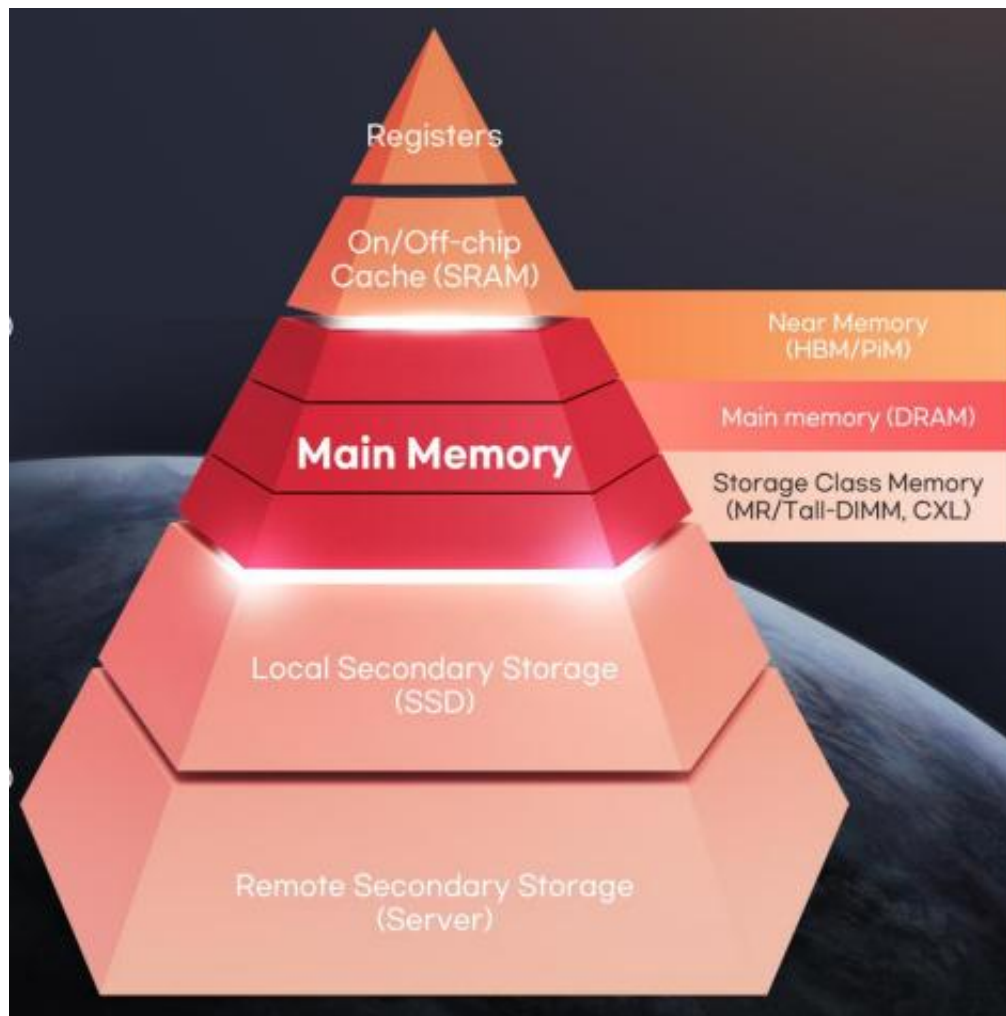


HBM—突破“内存墙”

图：异构内存结构

1) 容量更小
2) 更快
3) 价格高（单位比特）

1) 容量更大
2) 更慢
3) 价格低（单位比特）



异构内存

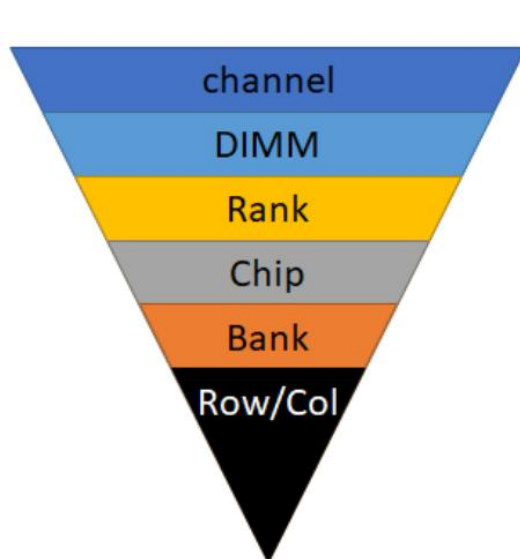
近存
(HBM/PiM)

主存DRAM

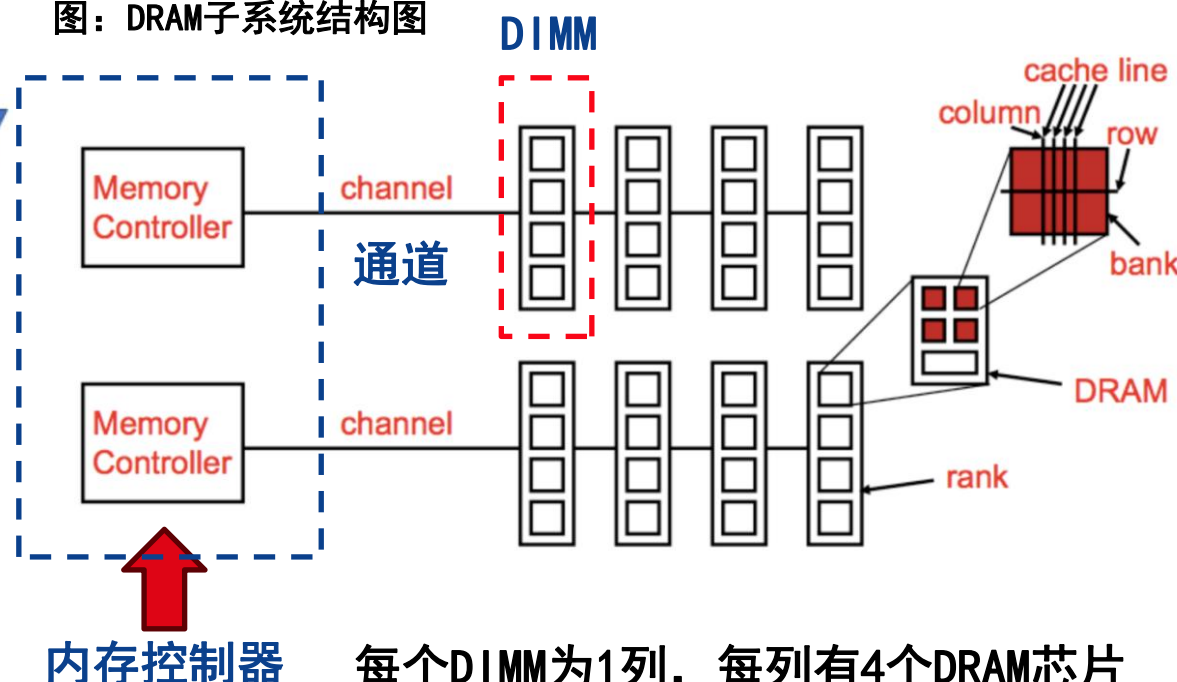
MR-DIMM：多级
缓冲内存模组；2
个DDR5 DIMM组
合

- 典型的DRAM中，每个芯片有八个DQ引脚（数据传输路径，用作处理器和存储器之间通信的数据总线，必须具备读写功能，所以具备双向特性），即数据输入/输出引脚；
- 组成DIMM模块单元后（双列直插式存储模块，安装在PCB板上的存储模块，包含多个存储芯片，被用作PC或者服务器中的主存储单元），共有64个DQ引脚。随着数据处理速度等方面的要求不断提高，数据传输量也不断增加，传统DRAM DQ引脚的数量已无法保证数据快速通过；
- 传统DRAM需要大量空间与CPU/GPU等处理器通信，同时封装的形式看需要通过引线键合或PCB进行连接，DRAM不可能对海量数据进行并行处理。

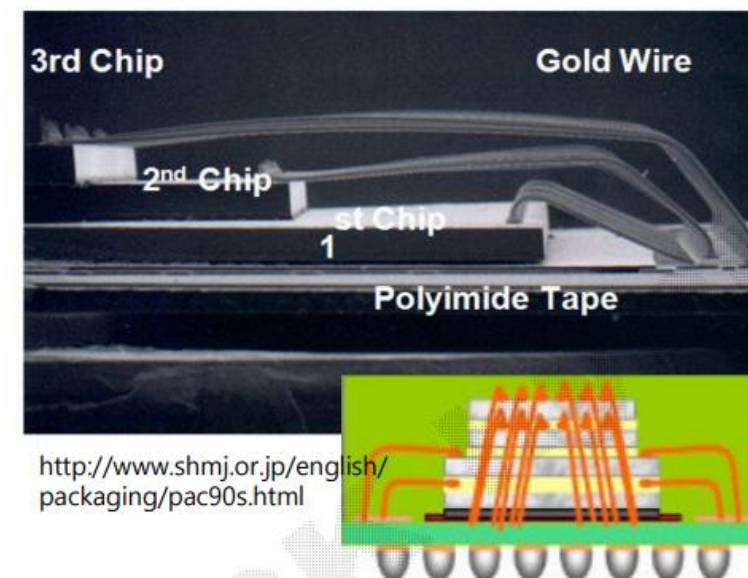
图：DRAM子系统结构图



图：DRAM子系统结构图

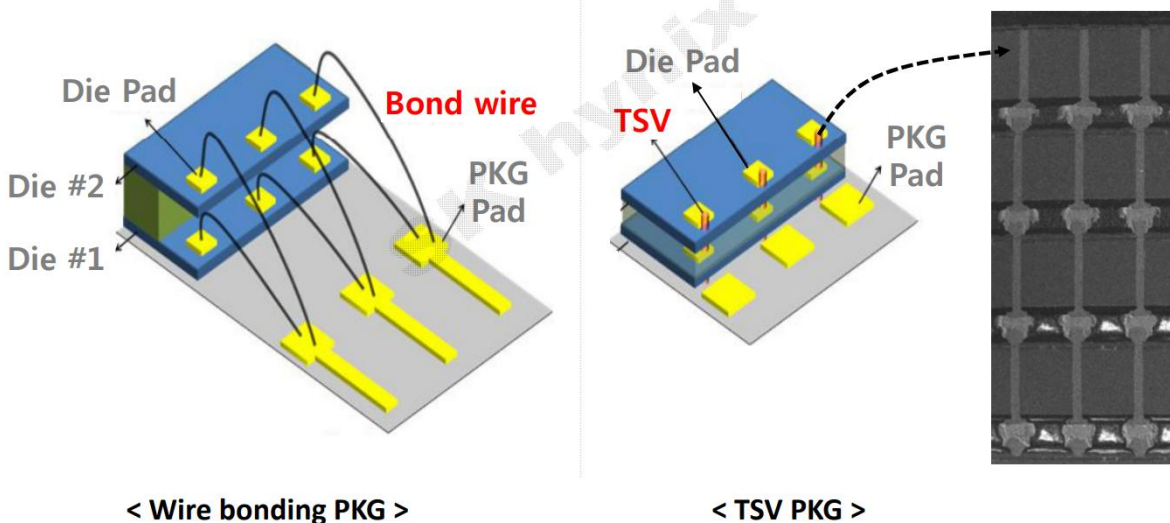


图：DDR3 打线封装

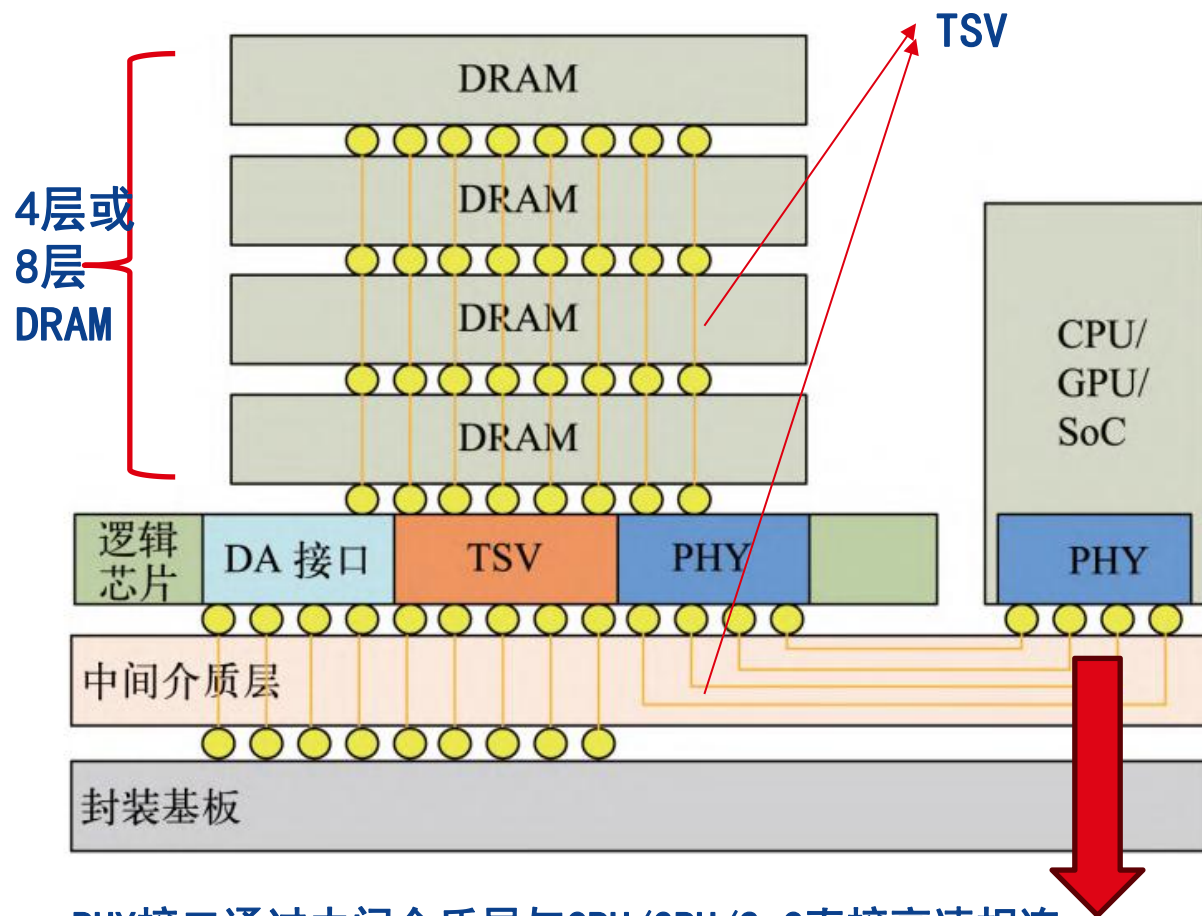


- 随着2.5D/3D系统级封装（SiP）和硅通孔（TSV）技术日益成熟，为高带宽、大容量的存储器产品提供基础；
- 高带宽存储器HBM（Highband Memory）使用硅通孔TSV和微凸块技术垂直堆叠多个DRAM可以显著提升数据处理速度，性能提升的同时尺寸有所减少；
- 2013年开始，JEDEC制定了高带宽存储器系列标准（包括HBM, HBM2, HBM2E, HBM3），其中，HBM3相比2代标准有显著的提升，芯片单个引脚速率达到6.4Gbit/s，总带宽超过1TB/S。

图：TSV技术，3D堆叠核心



图：HBM堆叠结构



PHY接口通过中间介质层与CPU/GPU/SoC直接高速相连，直接存取DA接口提供HBM中多层DRAM芯片的测试通道。

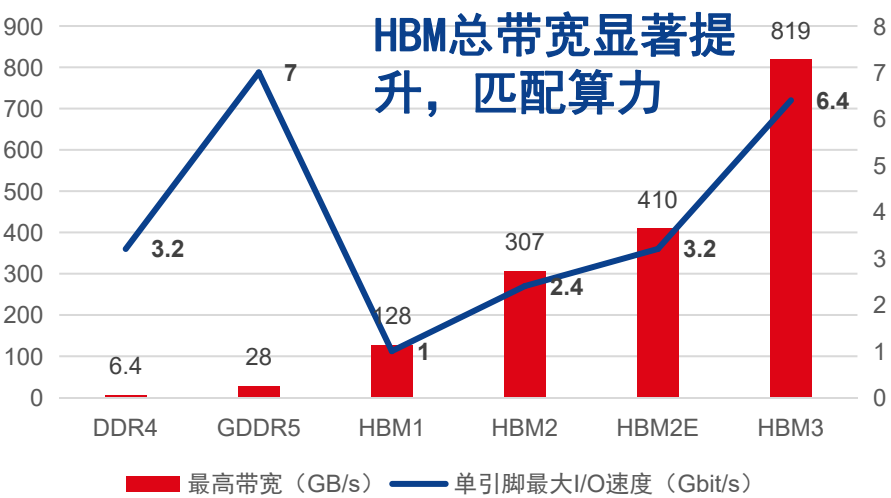
HBM技术特点—高速/高带宽

- HBM2E和HBM3的单引脚最大输入/输出（I/O）速度分别达3.2Gbit/s和6.4Gbit/s，低于GDDR5存储器的7Gbit/s，但HBM的堆栈方式可通过更多的I/O数量使总带宽远高于GDDR5；例如HBM2带宽可以达到307 GB/s；
- 海力士官网数据显示：HBM3E的数据处理速度，相当于可以在1s内下载230部全高清（FHD）级电影（每部5千兆字节，5GB），优化后可用于处理人工智能领域的海量数据。

图：海力士（左）/美光（右） HBM3E



图：HBM高速、高带宽性能指标



图：HBM迭代对比分析

	HBM	HBM2	HBM2/HBM2E	HBM3	HBM3 三星	HBM3 gen2 美光	HBM3E 海力士
单引脚传输速率	1Gbps	2Gbps	2.4Gbps	6.4Gbps	-	9.2Gbps	8.0Gbps
容量	-	-	8,16GB	24GB	-	24GB（8层） 36GB（12层）	24GB（12层）
最大容量	4GB	8GB	24GB	64GB	64GB	64GB	64GB
最高带宽	128GBps	256GBps	307GBps	819.2GBps	-	1.2TB/s	1.15TB/s
封装形式				COWOS		COWOS	COWOS
推出时间	2013.12		2019.8 HBM2E	2021.10 海力士		2023.7 美光	2023.4
量产供应				2022.6	23年下半年		-

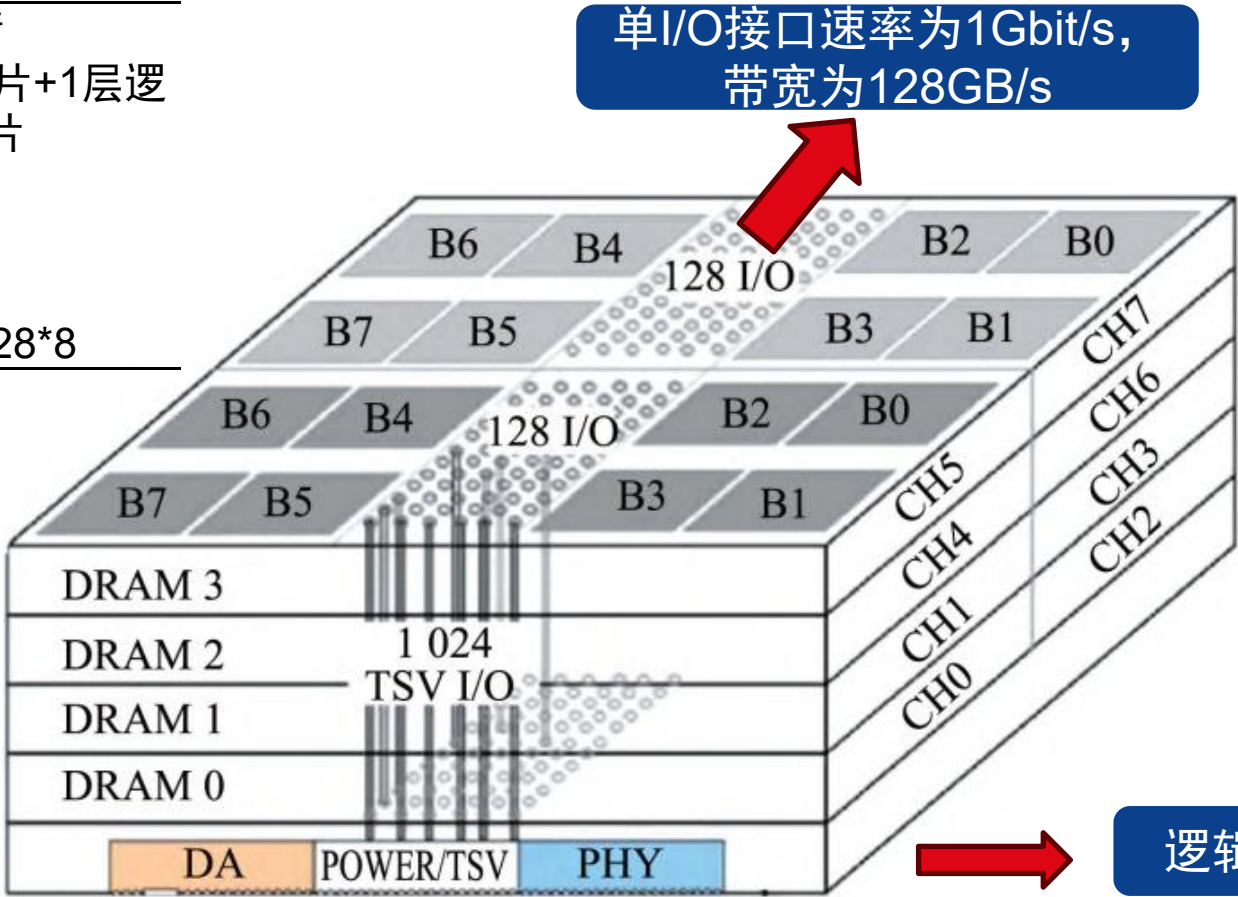
HBM结构特点—可扩展容量

图：HBM1 堆叠DRAM 架构

指标	详情
堆叠	4层DRAM芯片+1层逻辑芯片
每颗芯片通道数	2
总通道数	8
每个通道I/O引脚数	128
IO引脚/KGSD	1024=128*8

每个DRAM芯片具有2个128bit通道，共有8个阵列（B0~B7）

4层DRAM芯片，每颗DRAM 容量2GB

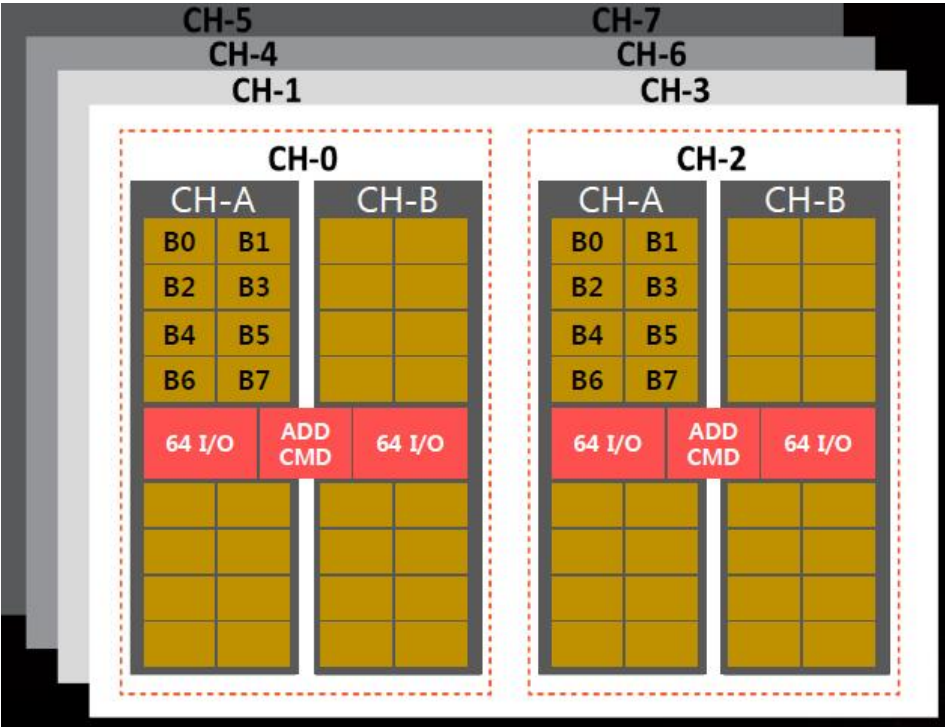


单层DRAM 芯片容量可 扩展

堆叠更多 DRAM，4层， 8层，12层堆 叠

HBM结构特点—可扩展容量

图：HBM2 堆叠DRAM 架构



图：HBM3 堆叠DRAM 架构

- 4层DRAM芯片，每层芯片4个通道
- 独立通道16个，每个通道2个伪通道，实际是支持32个通道
- 支持4层/8层/12层TSV堆叠，并为未来扩展至16层TSV做好准备

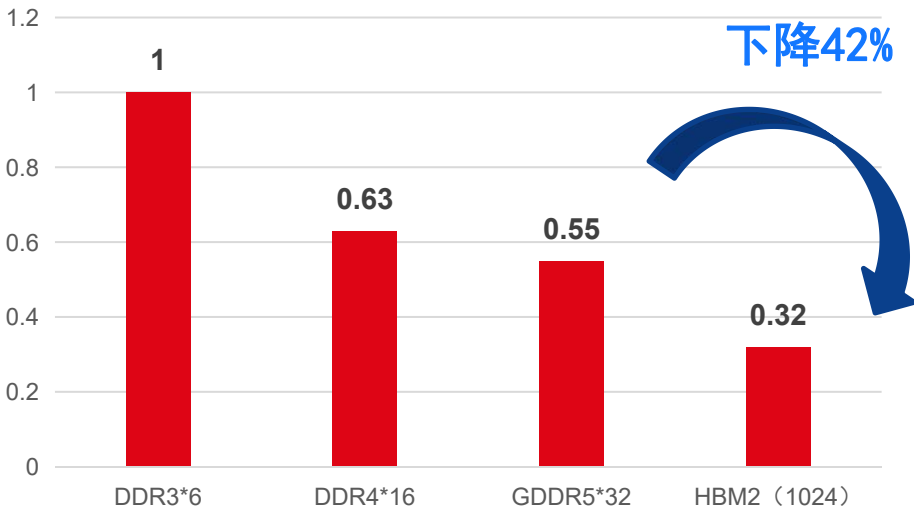


指标	HBM2	HBM2E	HBM3
通道数，I/O引脚数	8CH*128 I/O（1024 I/O）	8CH*128 I/O（1024 I/O）	16CH*64 I/O（1024 I/O）
带宽	307GB/s(2.4Gbps/pin)	512GB/s(4.0Gbps/pin)	820GB/s(6.4Gbps/pin)
推出时间	2018年	2020年	2022年
单引脚I/O速率（Gbit/s）	2.4	3.2/3.6	6.4
单片最大容量/Gbit	16	16	32
堆叠层数	2/4/8/12	2/4/8/12	4/8/12/16
最大容量/GB	24	24	64

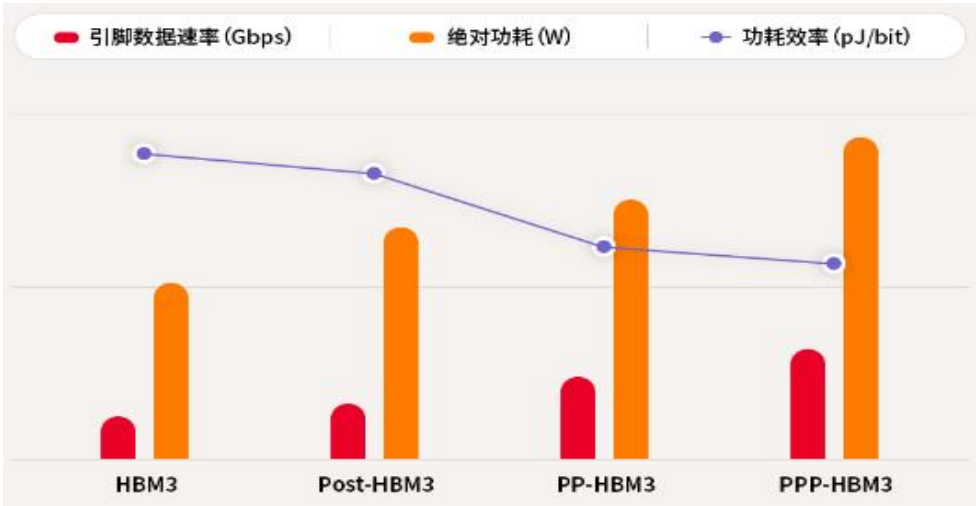
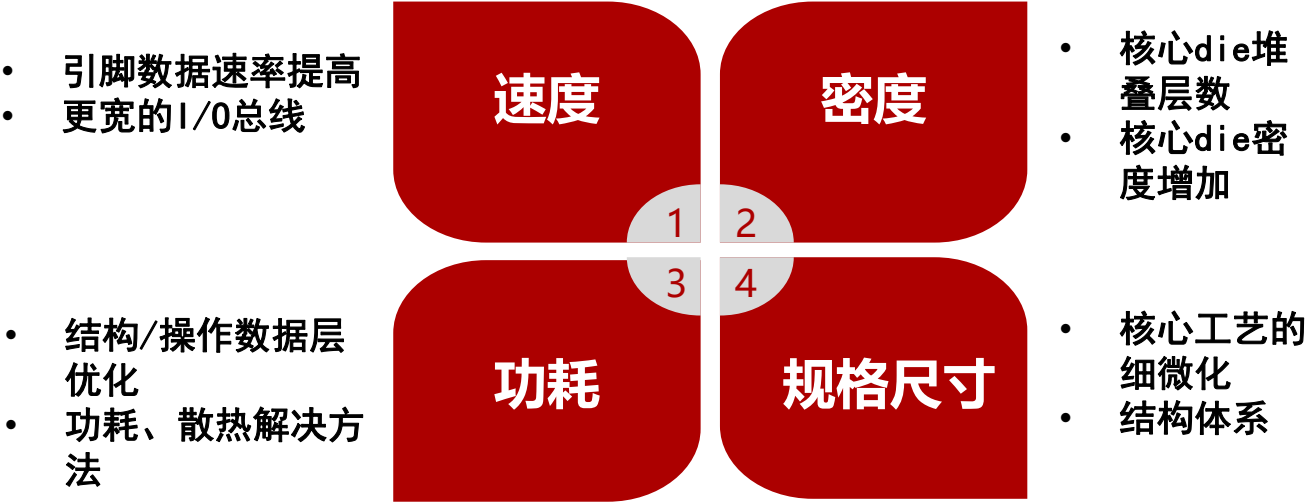
HBM技术特点—更低功耗

- 采用微凸块和TSV技术，存储和算力芯片信号传输路径短，单引脚I/O速率较低，使HBM具备更好的内存功耗能效特性；
- 以DDR3存储器单引脚I/O带宽功耗为基准，HBM2的I/O功耗比明显低于DDR3/DDR4和GDDR5，相比于GDDR5存储器，HBM2的单引脚I/O带宽功耗比数值降低42%。

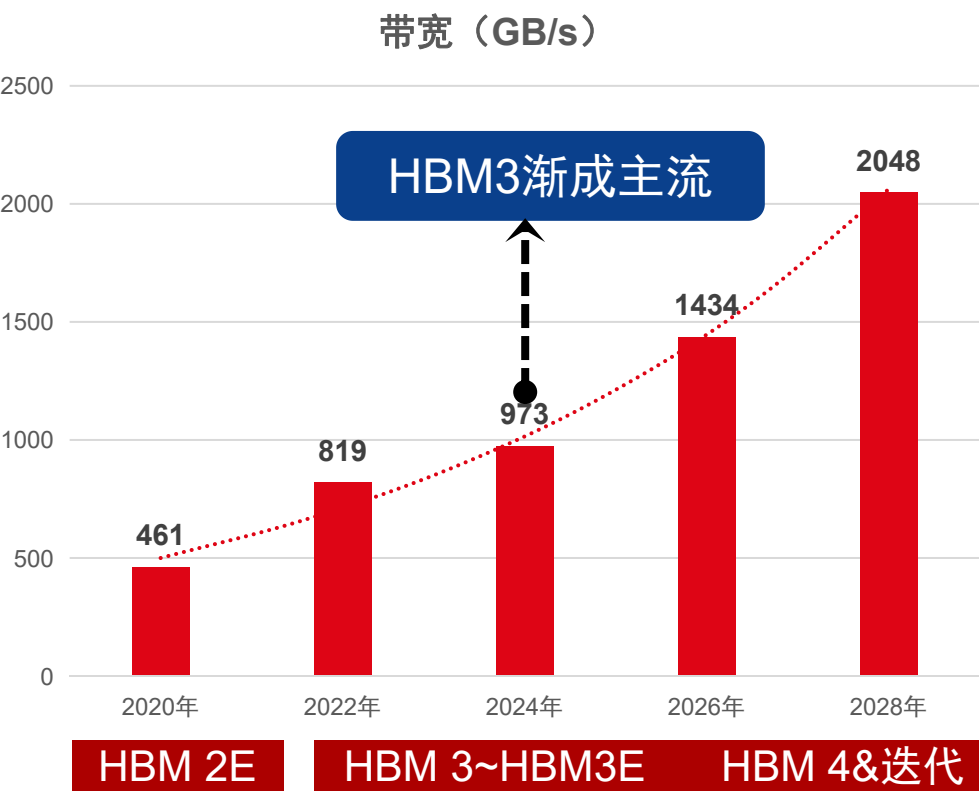
图：HBM2与传统DDR存储器的单引脚I/O带宽功耗对比比率（Mw/Gbps/Pin）



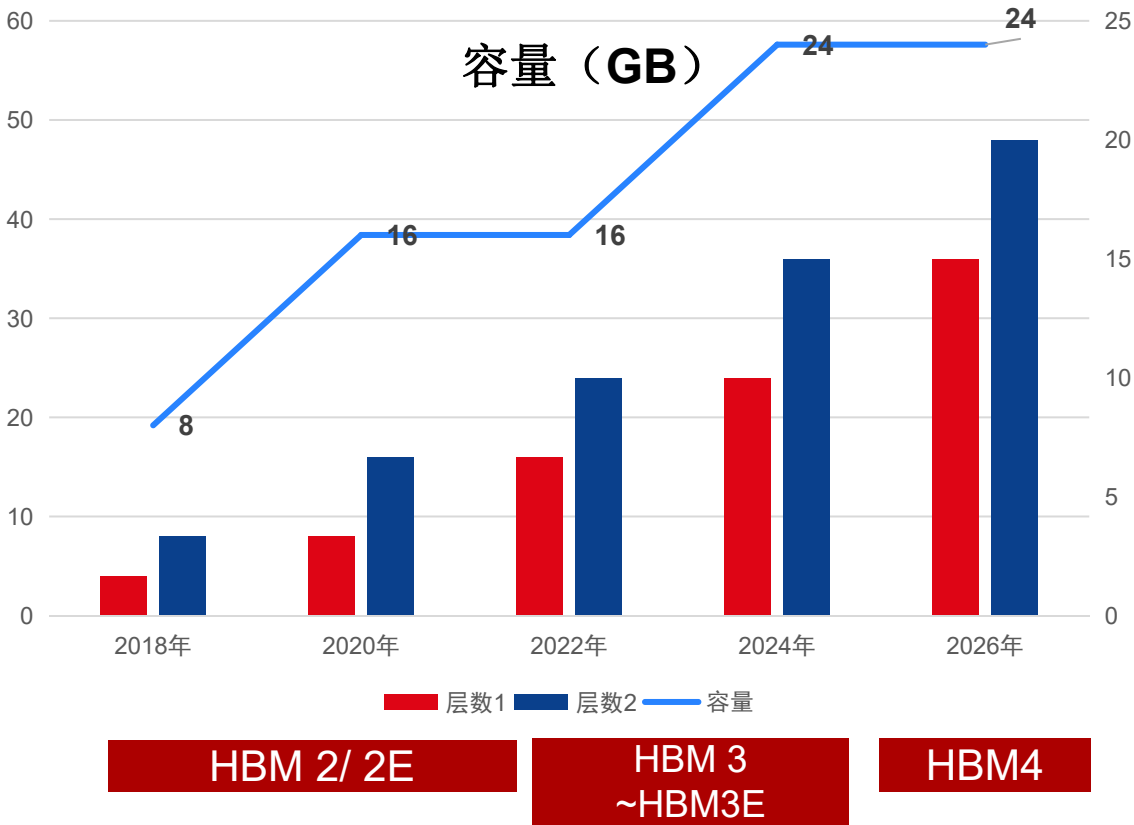
图：影响HBM性能因素/HBM在速度与功耗方面取舍趋势（下图）



图：HBM带宽升级（GB/s）



图：HBM颗粒密度（容量，GB）



- 01 HBM—突破“内存墙”
- 02 AI算力快速迭代，HBM为最强辅助
- 03 HBM核心—“连接”与“堆叠”，3D混合键合成趋势
- 04 HBM核心设备材料，替代进行时
- 05 相关标的
- 06 风险提示

➤ 由于BIS 2022年针对高算力芯片的规则3A090 管控指标较高，英伟达等厂商通过降低芯片互联速率方式对中国持续供应，同时，美国商务部认为中国企业通过海外子公司或者其他海外渠道，规避许可证相关规定获取先进计算芯片。2023年新规修改了3A090芯片及相关物项的技术指标，扩大了针对高算力芯片的许可证要求及直接产品原则的适用范围，并增加了先进计算最终用途管控。

图：BIS算力芯片管制细则

3A090.a	3A090.b
- 总处理性能为4800或以上；或 - 总处理性能为1600或以上，且性能密度为5.92或以上	- 总处理性能为2400-4800，且性能密度为1.6（包含本数）至5.92以下（不包含本数）； - 总处理性能为1600或以上，且性能密度为3.2（包含本数）至5.92以下（不包含本数）

备注：

TPP（Total processing performance）

PD（Performance Density）

数据来源：君合、semianalysis、华金证券研究所

图：主要算力芯片管控参数分析（TPP=算力*位宽，PD=TPP/芯片面积）

GPU	存储容量 GB	存储带宽 Tbps	TeraLOPs	Bitlength	TPP TeraLOPs* Bitlength	面积	性能密度 TPP/面积	Rule 3A090.a	Rule 3A090.b
H100 SXM	80	3.4	1979	8	15832	814	19.45	适用	不适用
H20 SXM	96	4	296	8	2368	814	2.91	不适用	不适用
L40S	48	0.9	733	8	5864	608	9.64	适用	不适用
L40	48	0.9	362	8	2896	608	4.76	不适用	适用
L20	48	0.9	239	8	1912	608	3.14	不适用	不适用
L4	24	0.3	242	8	1936	295	6.56	适用	不适用
L2	24	0.3	193	8	1544	295	5.23	不适用	不适用
A100 SXM	40	1.6	312	16	4992	826	6.04	适用	不适用
V100 SXM	16	0.9	125	16	2000	815	2.45	不适用	不适用
RTX 4090	24	1	661	8	5288	609	8.68	适用	不适用
RTX 4080	16	0.7	320	8	2560	379	6.75	适用	不适用
AMD MI210	64	1.6	181	16	2896	770	3.76	不适用	适用
AMD MI250X	128	3.2	383	16	6128	1540	3.98	适用	不适用
AMD MI300X	192	5.6	2400	8	19200	2381	8.06	适用	不适用
intel gaudi2	96	2.5	700	8	5600	826	6.78	适用	不适用

AI算力带动HBM成最强“辅助”

图：英伟达/AMD 部分AI服务器使用HBM情况

平台	英伟达			AMD
	A100	H100(SXM5)	MI250X	MI300(CPU+GPU)
发布时间	2020.05	2022.03	2021.11	2023.01
处理单元数量	6912 cuda核心	16896 cuda cores	14080 stream 处理器	NA
制程节点	7nm	4nm	6nm	5nm
HBM带宽	1.5TB/s	3TB/s	3.2TB/s	NA
HBM容量	40G	80G	128G	128G
HBM配置	HBM2e*6	HBM3*5	HBM2e*8	HBM3*8
接口	Pcle 4.0	SXM5	Pcle 4.0	Pcle 5.0
封装形式	CoWoS	CoWoS	EFB	CoWoS

图：英伟达HBM使用明细

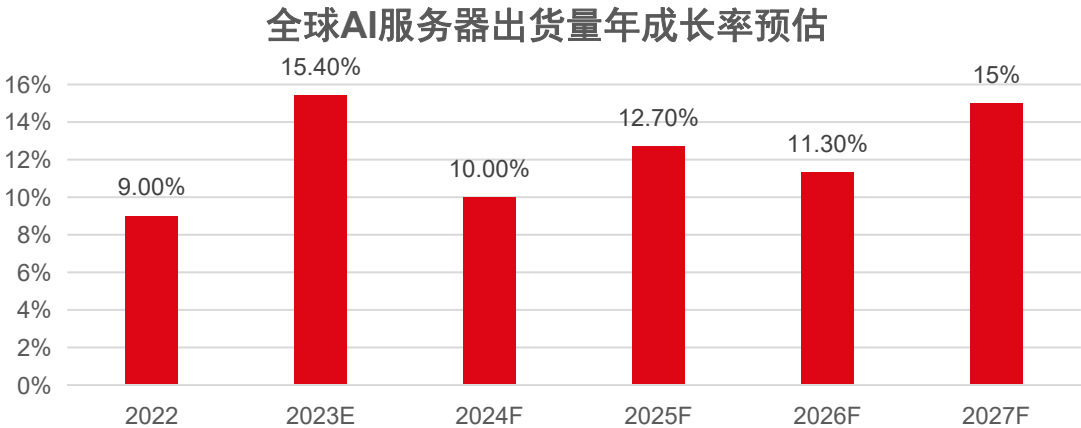
	A100 40GB Pcle	A100 80GB Pcle	A100 40GB SXM	A100 80GB SXM	H100 Pcle	H100 SXM	H100 NVL	H100S SXM
容量（GB）	40	80	40	80	80	80	192	120/144
HBM版本	2	2E	2	2E	2E	3	3	3
HBM颗数	5	5	5	5	5	5	12	5 /6
HBM层/颗	4/8+1	8+1	4/8+1	8+1	8+1	8+1	8+1	12+1
带宽（GB/s）	1555	1935	1555	2039	2039	3350	7800	3854/4301

图：谷歌/AMD/AWS HBM使用明细

	google TPUv4i	google TPUv4	google TPUv5i	google TPUv5	AMD MI250x	AMD mi300A	AMD MI300X	AWS Trainium/Inferentia 2
容量（GB）	8	32	16	64	128	128	192	32
HBM版本	2	2	2E	3	2E	3	3	2E
HBM颗数	2	4	2	4 /6	8	8	8	2
HBM层/颗	4+1	8+1	4+1	8+1	8+1	8+1	12+1	4+1
带宽（GB/s）	585	1200	819	2662/3993	3277	5325	5734	819

AI算力带动HBM成最强“辅助”

图：2022~2027F 全球AI服务器出货量成长率预估（%）



图：英伟达AI服务器配置数据表

	DGX A100数据表	DGX H100数据表
GPU	8个英伟达A100 80GB Tensor core GPU	8个英伟达H100 Tensor Core GPU
GPU显存	640GB	640GB
性能	5 petaFLOPS AI 10 petaOPS INT8	32 petaFLOPS FP8
英伟达NVSwitch	6	4X
系统功耗	最大6.5千瓦 双路AMD Rome 7742，共128个核心；	最高10.2kW
CPU	2.25GHz（基准频率）、3.4GHz（最大加速频率）	双路x86
系统内存	2TB	2TB

图：各类服务器DRAM/SSD/HBM使用容量

	服务器	AI服务器	未来AI服务器
服务器DRAM容量	500~600GB	1.2~1.7TB	2.2~2.7TB
服务器SSD容量	4.1 TB	4.1 TB	8TB
HBM使用	-	320~640GB	512~1024GB

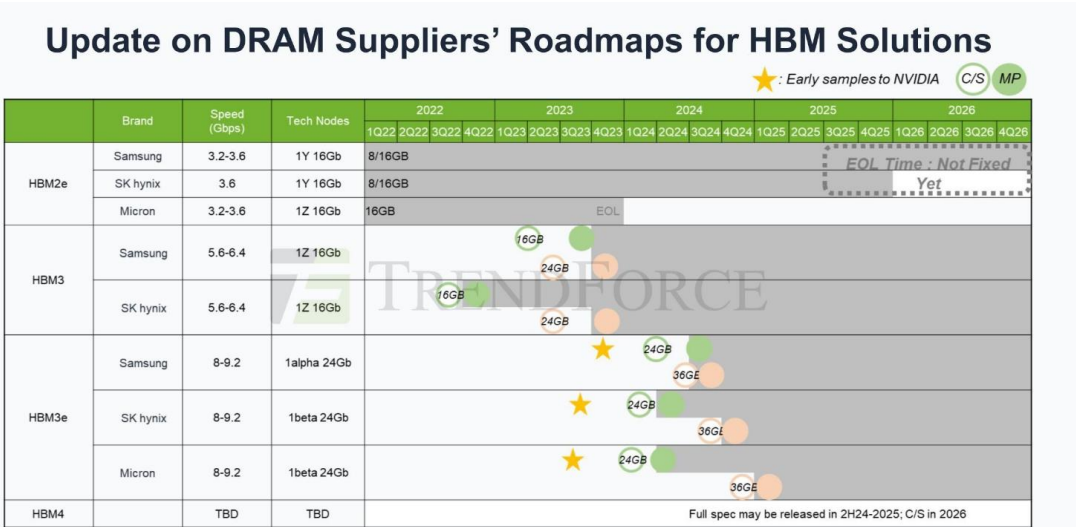
图：HBM升级后同等容量下GPU显存带宽显著提升，与算力同步

	A100 80GB SXM	H100 80GB SXM
Tensor Float 32 (TF32)	312 TFLOPS	989 teraFLOPS
GPU显存	80GB HBM2	80GB HBM3
GPU显存带宽	1935GB/s	3.35TB/s

HBM供给侧趋势

- ✓ 从三大家HBM供给侧趋势看，HBM3及以上版本逐渐成为主流，从容量看24GB/32GB逐渐替代16GB成为主流配置；
- ✓ HBM4预计于2026年开始量产；
- ✓ 工艺节点看，HBM3e 三星和海力士的制程节点为1 alpha，美光为1 beta；
- ✓ 海力士与三星占据主要市场份额；
- ✓ 假设2023年和2024年HBM单价分别为15美元/12美元，2024年HBM市场规模预计为120亿美元。

图：三大家HBM公司产品Roadmap



图：2022年~2024年HBM产品结构占比（%，上）/三大家份额（%）

	2022年	2023F	2024F
HBM3	8%	39%	60%
HBM2e	70%	50%	25%
其他	22%	11%	15%

公司	2022年	2023E	2024F
SK海力士	50%	46~49%	47~49%
三星	40%	46~49%	47~49%
美光	10%	4~6%	3~5%
合计	100%	100%	100%

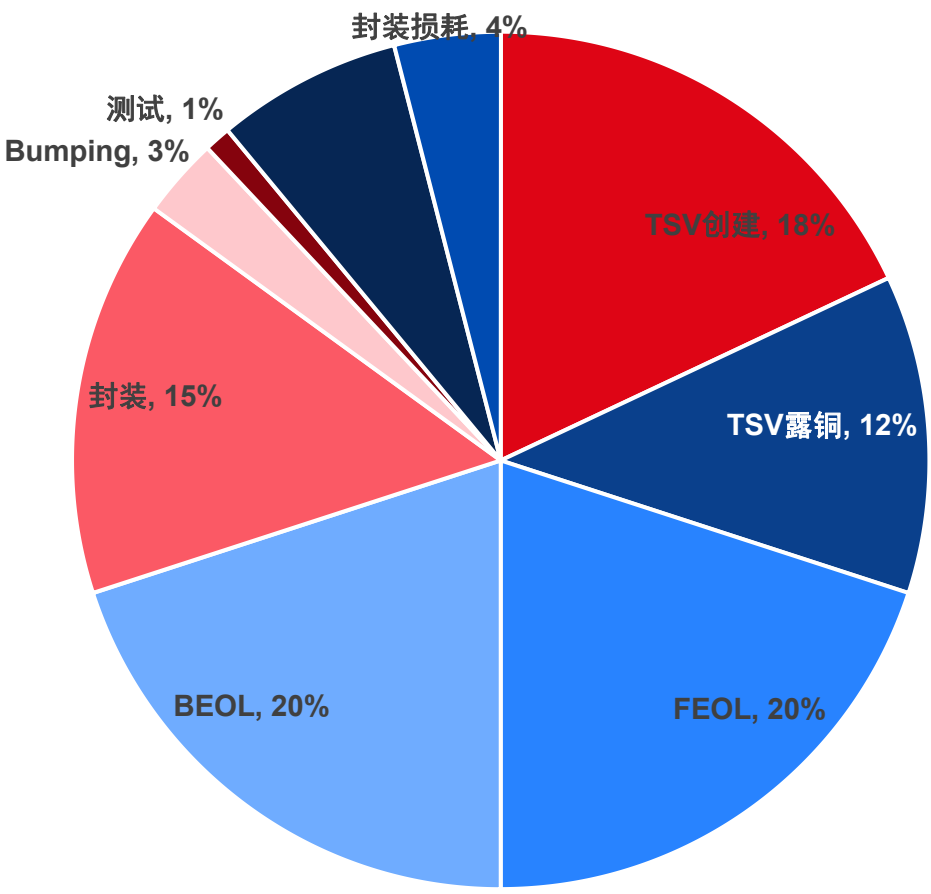
图：HBM市场规模（亿美元）

	2023年	2024年
HBM需求量预计（亿GB）	3.2	10
假设HBM单价（美元/GB）	15	12
HBM市场规模测算（亿美元）	48	120

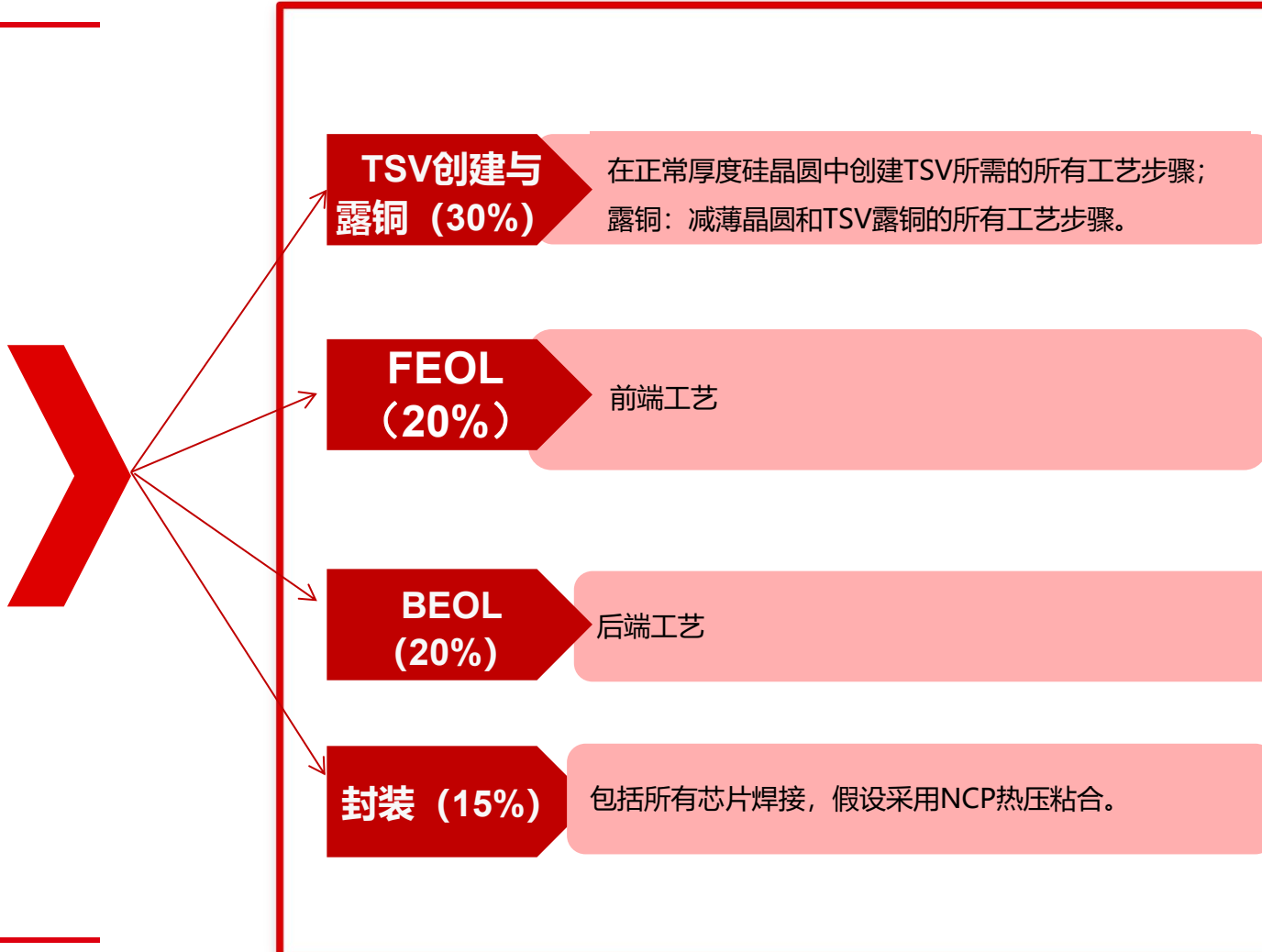
- 01 HBM—突破“内存墙”
- 02 AI算力快速迭代，HBM为最强辅助
- 03 HBM核心—“连接”与“堆叠”，3D混合键合成趋势
- 04 HBM核心设备材料，替代进行时
- 05 相关标的
- 06 风险提示

HBM制造核心：TSV 和封装

图：3D封装成本分析（4层5mm*7mm存储颗粒+1层逻辑芯片），假设每层芯片封装的良率为99.5%

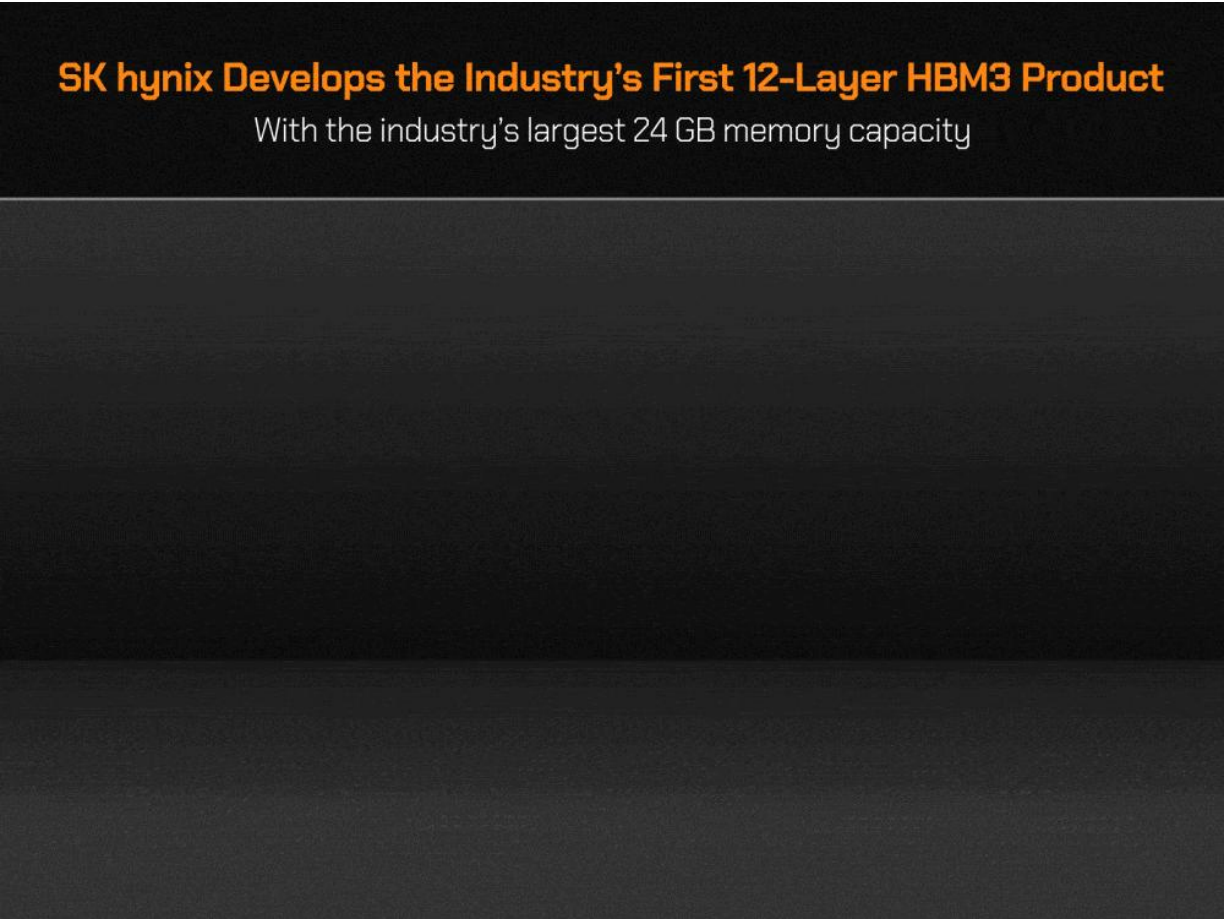


图：HBM封装工艺步骤

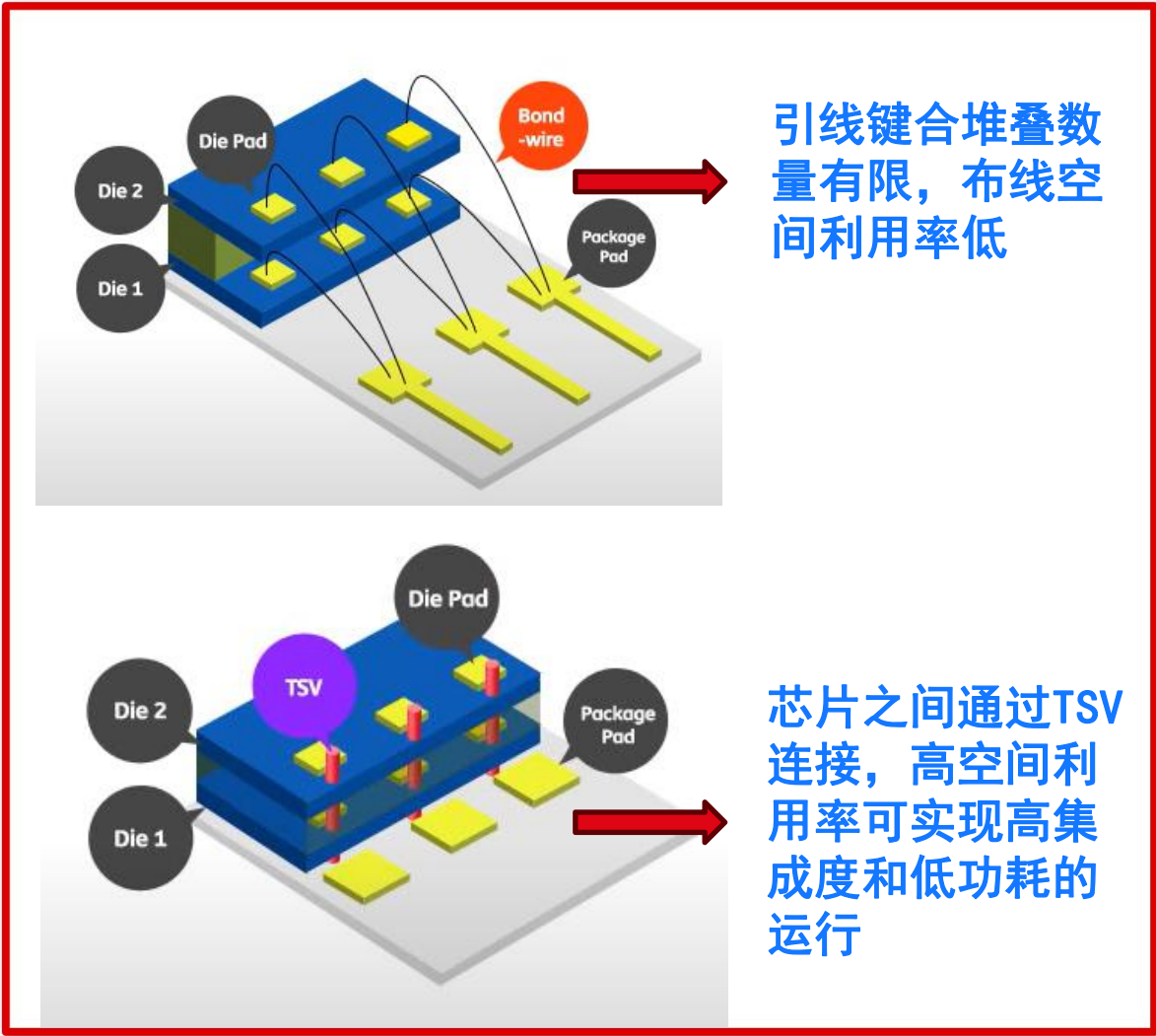


HBM制造核心：TSV 和封装

图：SK海力士量产行业首款12层HBM3

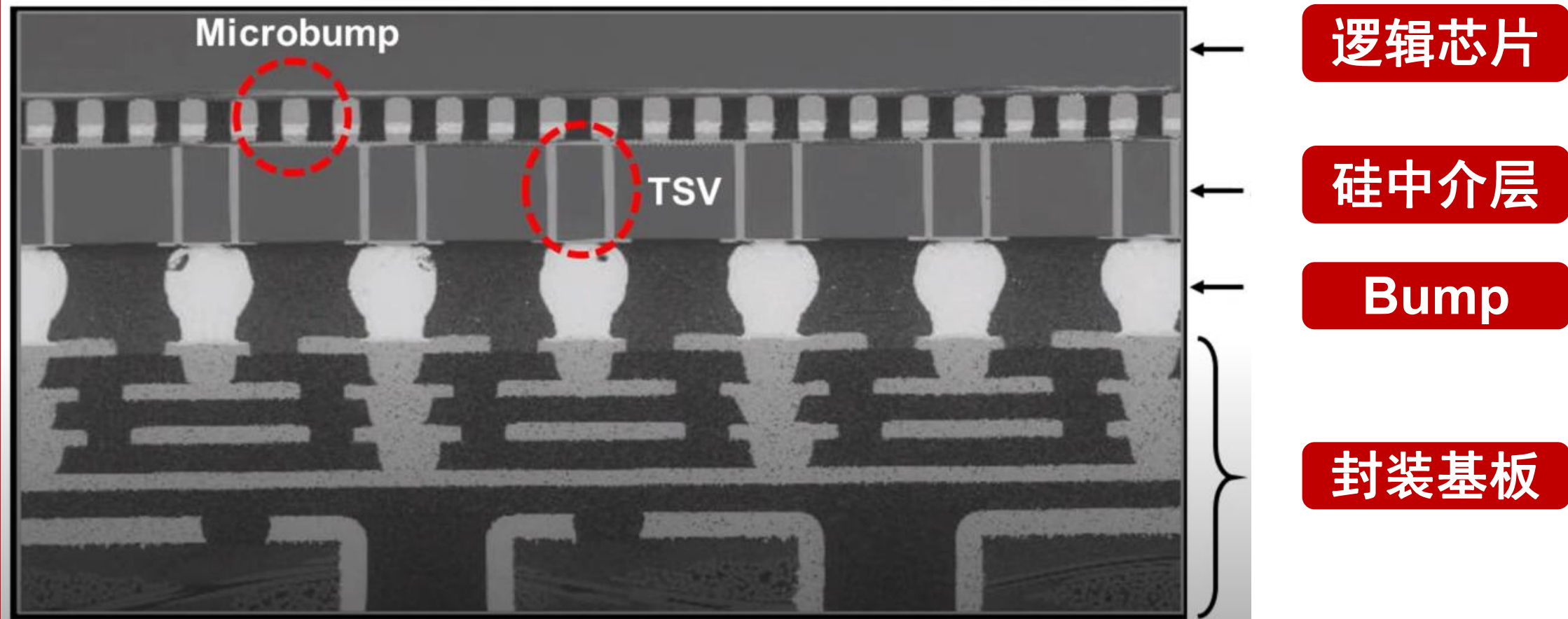


图：引线键合与TSV对比



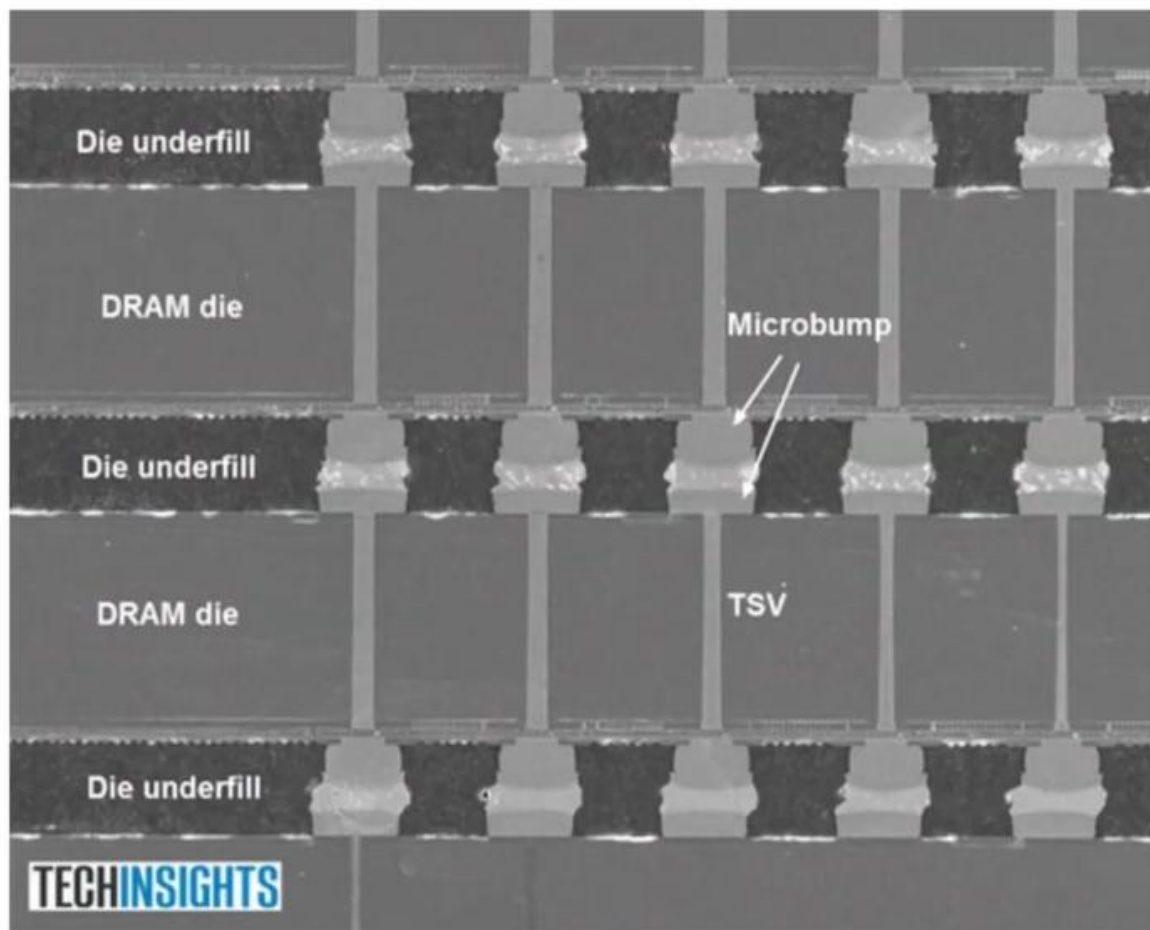
2.5D封装中TSV结构图

图：硅中介层部分的TSV放大结构图（2.5D和3D封装核心）



HBM中TSV结构图

图：HBM中TSV结构图

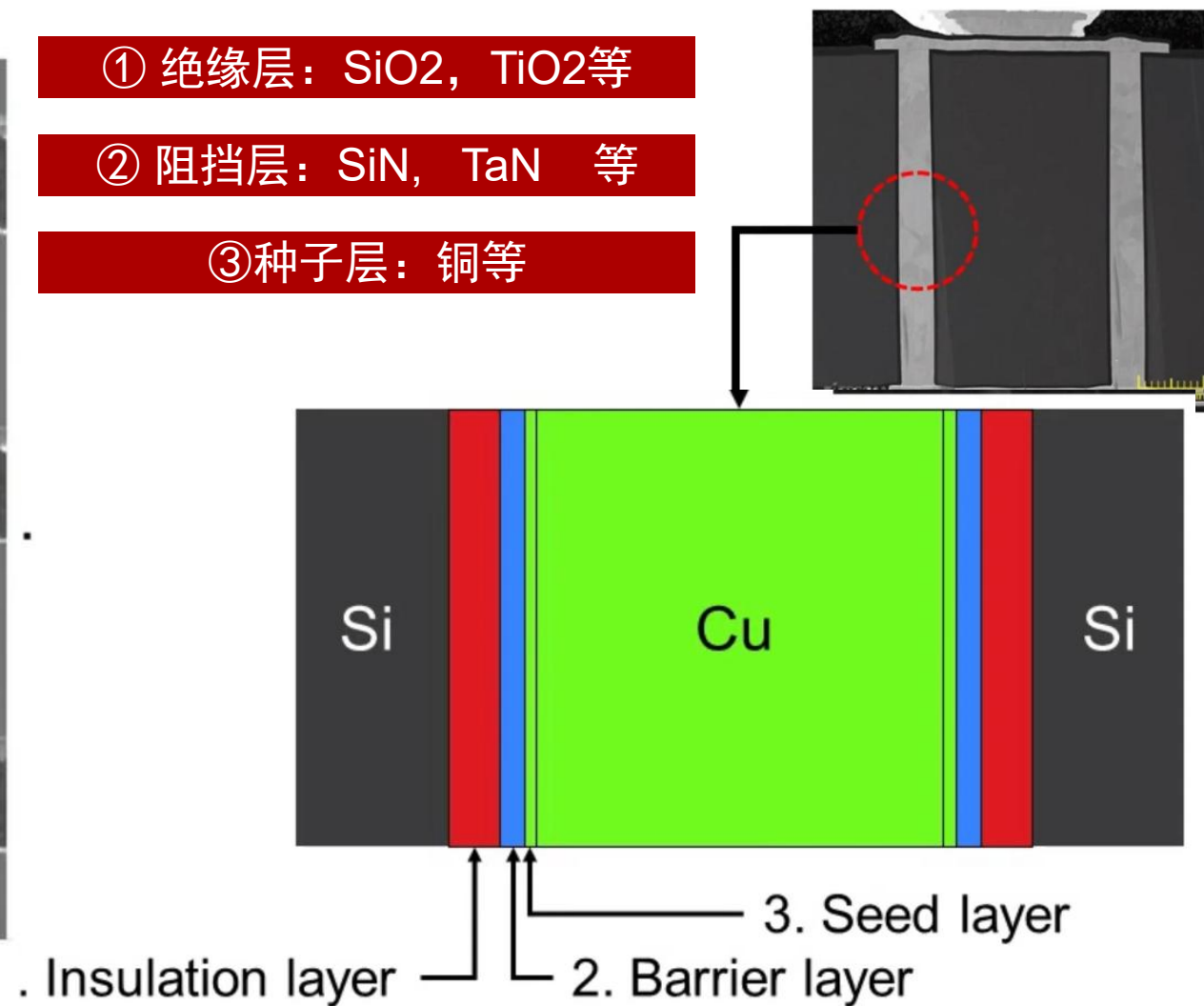


图：TSV结构图

① 绝缘层：SiO₂, TiO₂等

② 阻挡层：SiN, TaN 等

③ 种子层：铜等



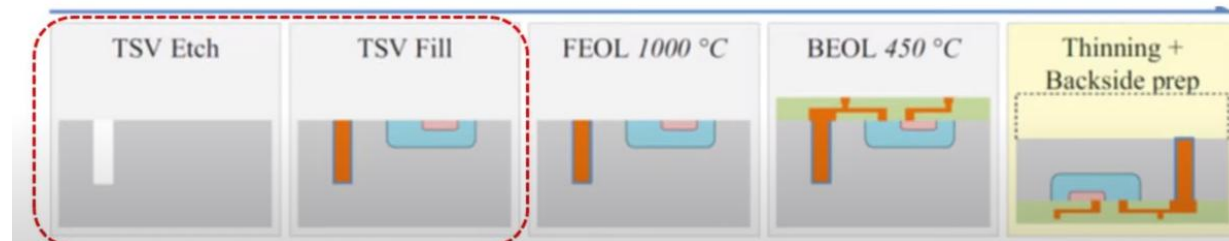
TSV 分类（按时间顺序）

图：TSV分类（按时间顺序分类）

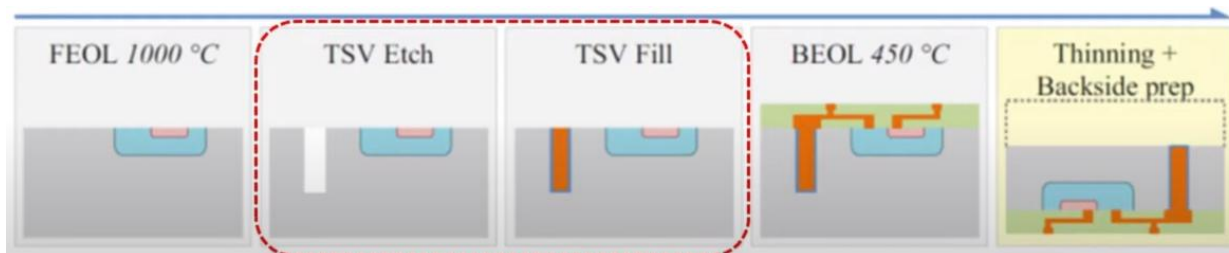


图：TSV分类（按时间顺序分类）

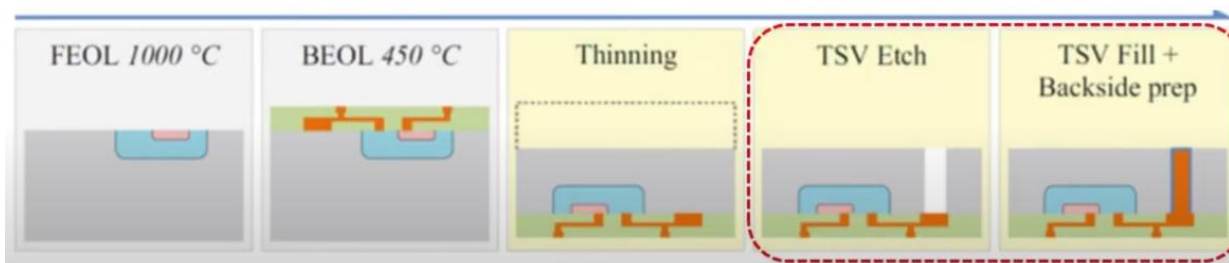
TSV在第一步



TSV在中间步骤

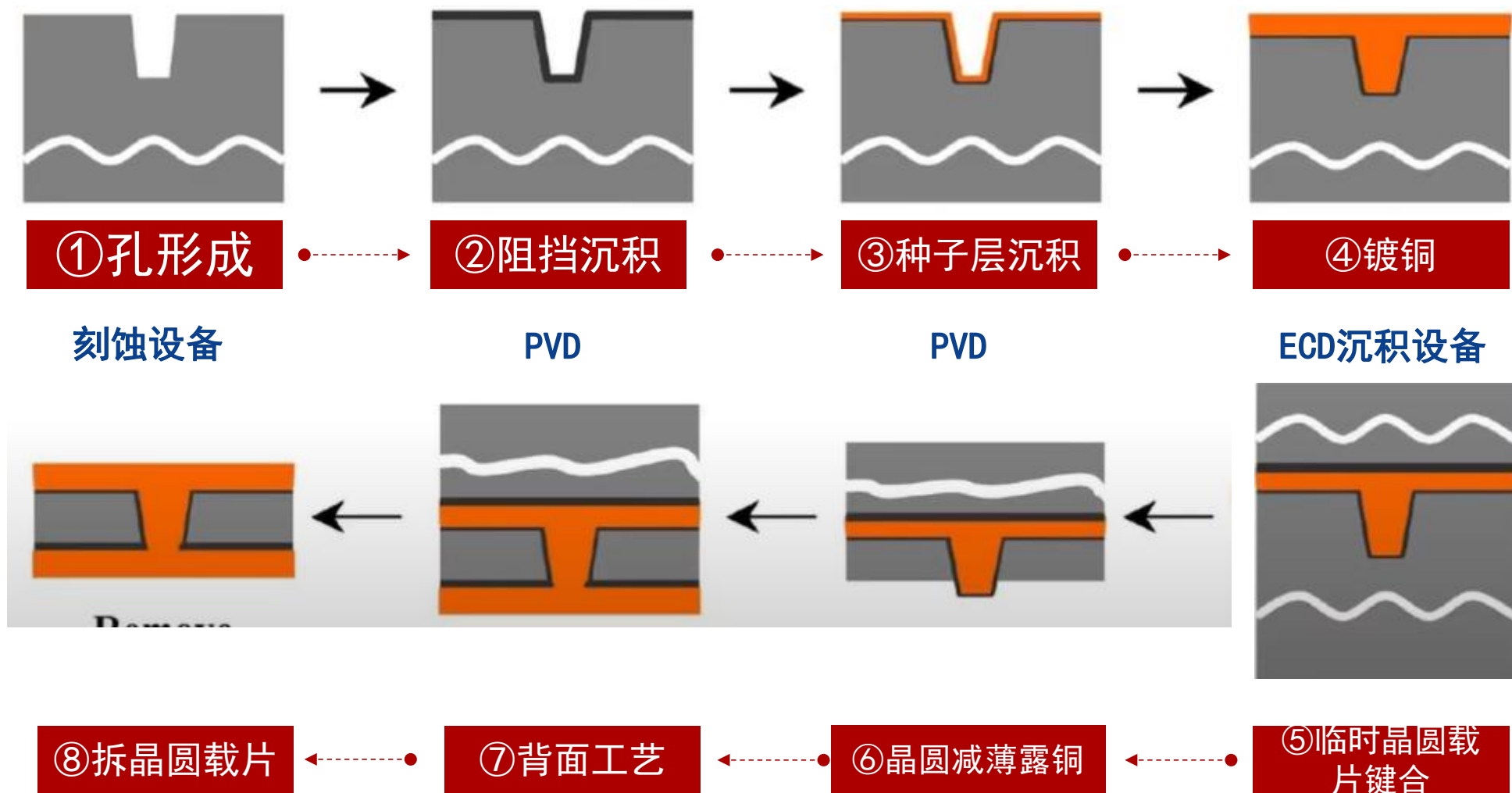


TSV在最后一步



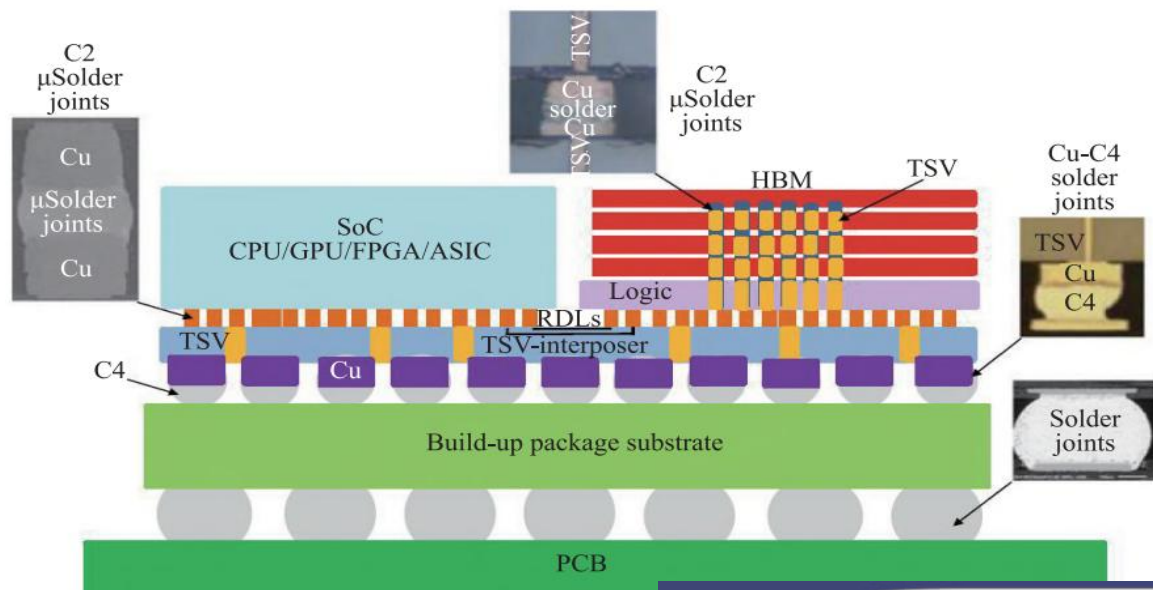
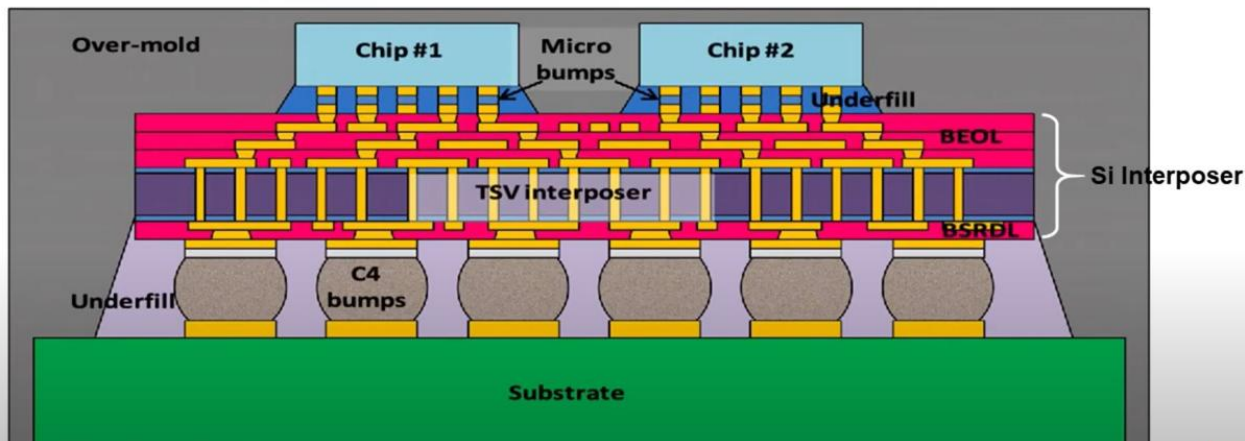
TSV工艺流程（通用）

✓ TSV制造分为两种类型，孔底部**不需要直接导电**和孔底部**需要直接导电**连接，后者增加孔底部绝缘层去除。

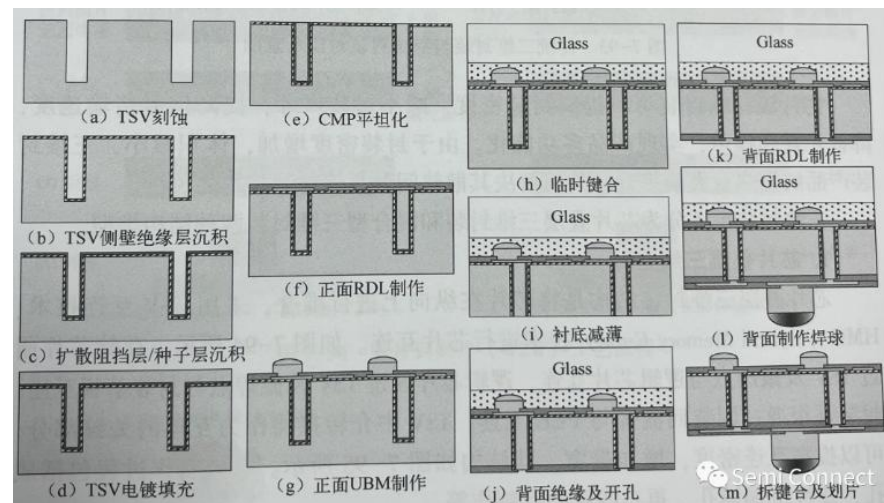


TSV工艺流程（应用于2.5D 硅中介层）

图：2.5D TSV转接板异质集成结构图

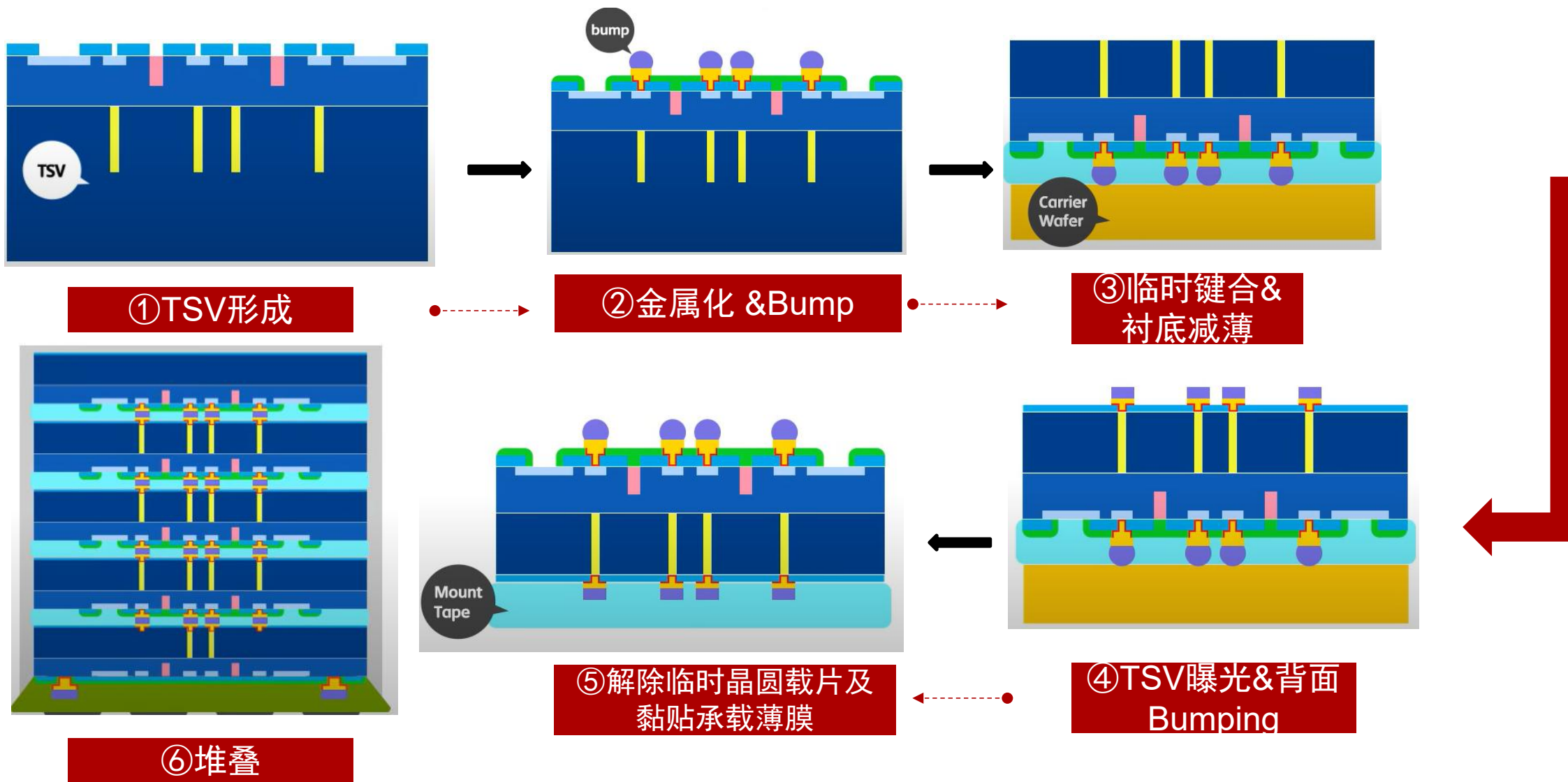


图：TSV用作2.5D硅中介层工艺流程

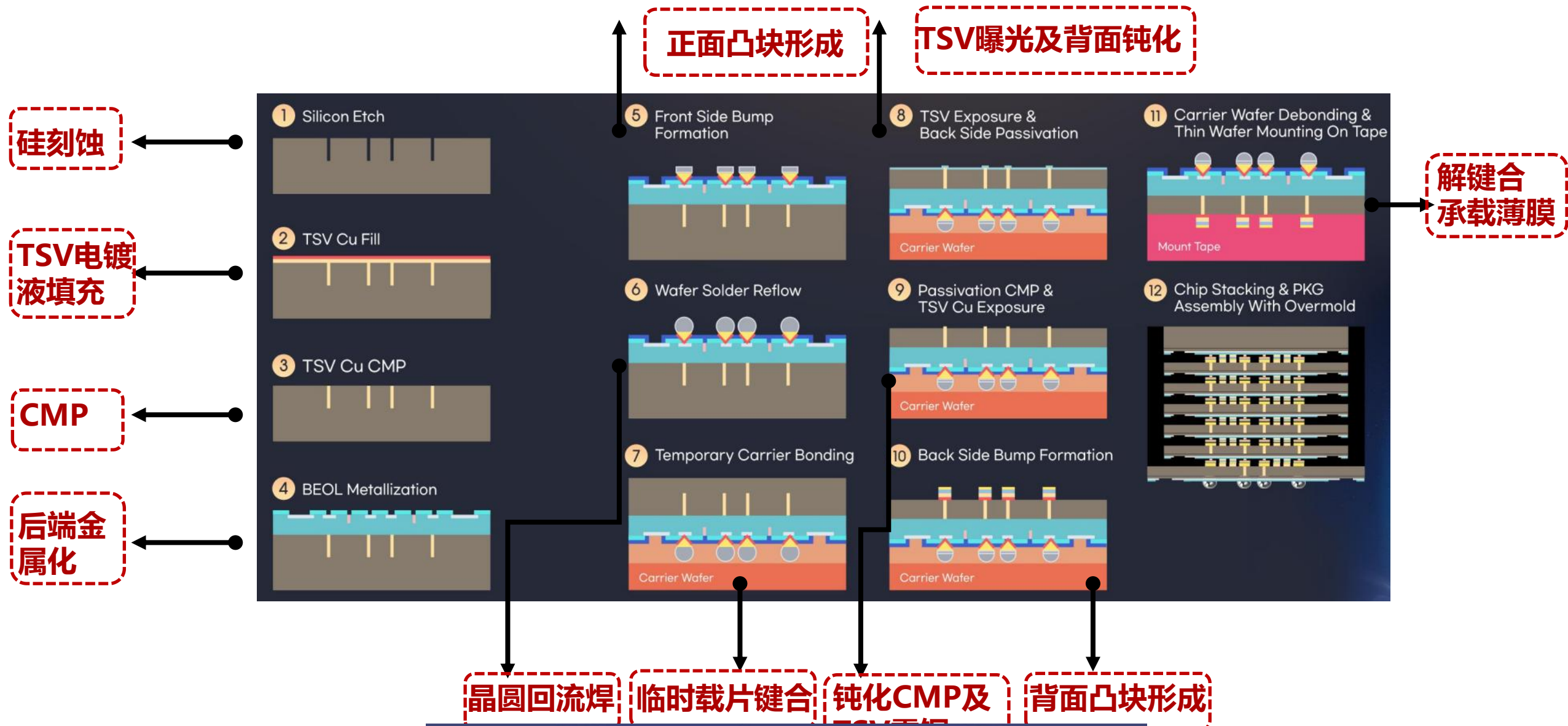


- ✓ RDL/微凸点加工：
 - 线宽小于 $1\text{ }\mu\text{m}$ 的RDL，需要用到镶嵌（大马士革工艺）；
 - 线宽大于 $1\text{ }\mu\text{m}$ 的RDL，可采用厚膜掩膜电镀加成式工艺实现
- ✓ 衬底减薄：
 - 无TSV孔：仅需要处理硅材料，只要保证平整度；
 - 有TSV孔：先将TSV从衬底背面露铜，考虑硅与TSV填充材料（铜）的同步研磨或抛光，控制不能导通或者污染硅衬底。

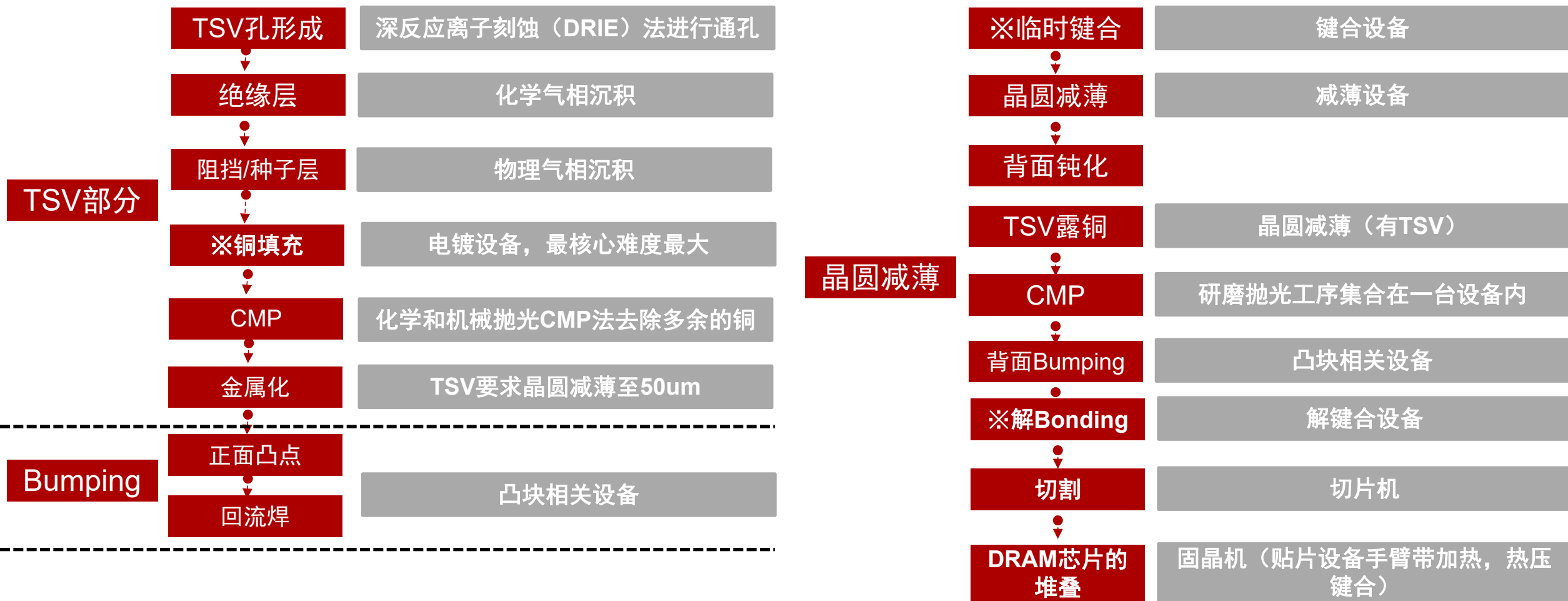
TSV工艺流程（存储中3D堆叠用途）



HBM制造工艺流程



HBM工艺流程中所需设备



HBM堆叠核心：MR-MUF(向上堆叠方式)

- SK海力士表示，通过先进的MR-MUF堆叠技术加强了工艺效率和产品性能的稳定性；随着对高速高容量的需求不断增加，散热问题预计将成为HBM产品持续迭代的重大技术障碍；
- MR-MUF：将半导体芯片堆叠后，为了保护芯片和芯片之间的电路，在其空间中注入液体形态的保护材料，并固化的封装工艺技术。与每堆叠一个芯片铺上薄膜型材料的方式对比 工艺效率高，散热方面也更有效；
- 具体步骤：1) 连接芯片的微凸块采用金属塑封材料；2) 一次性融化所有的微凸块，连接芯片与电路；3) 芯片与芯片之间或者芯片与载板之间的间隙填充，绝缘和塑封同时完成

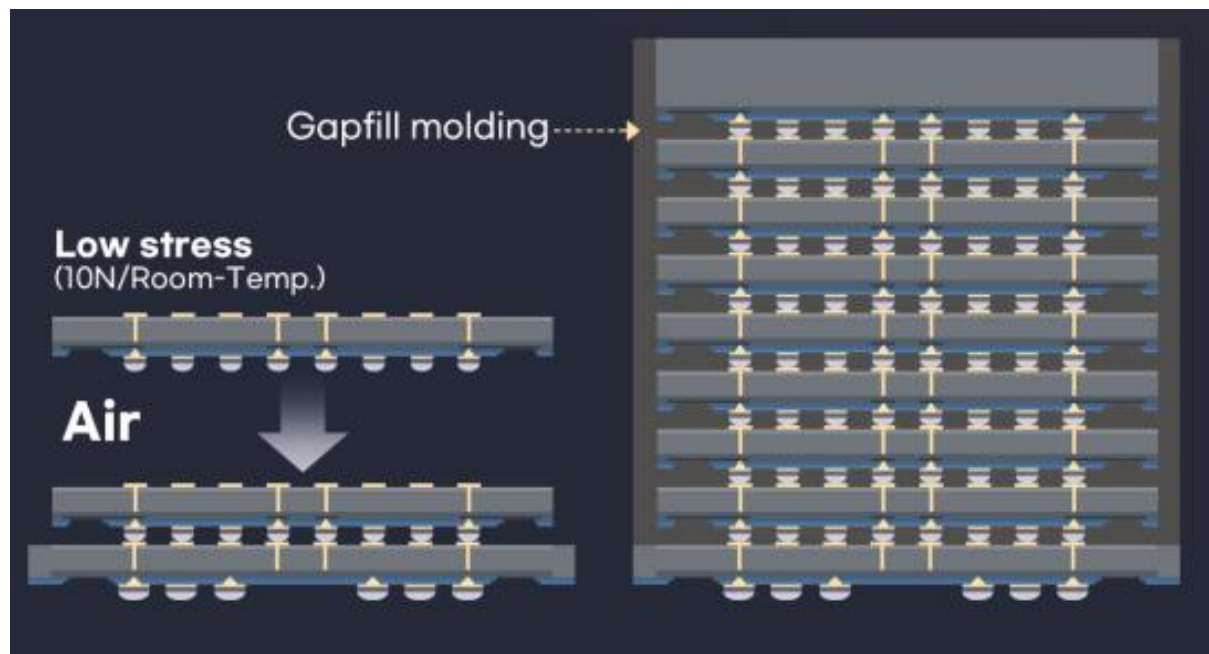
图：MR-MUF工艺流程



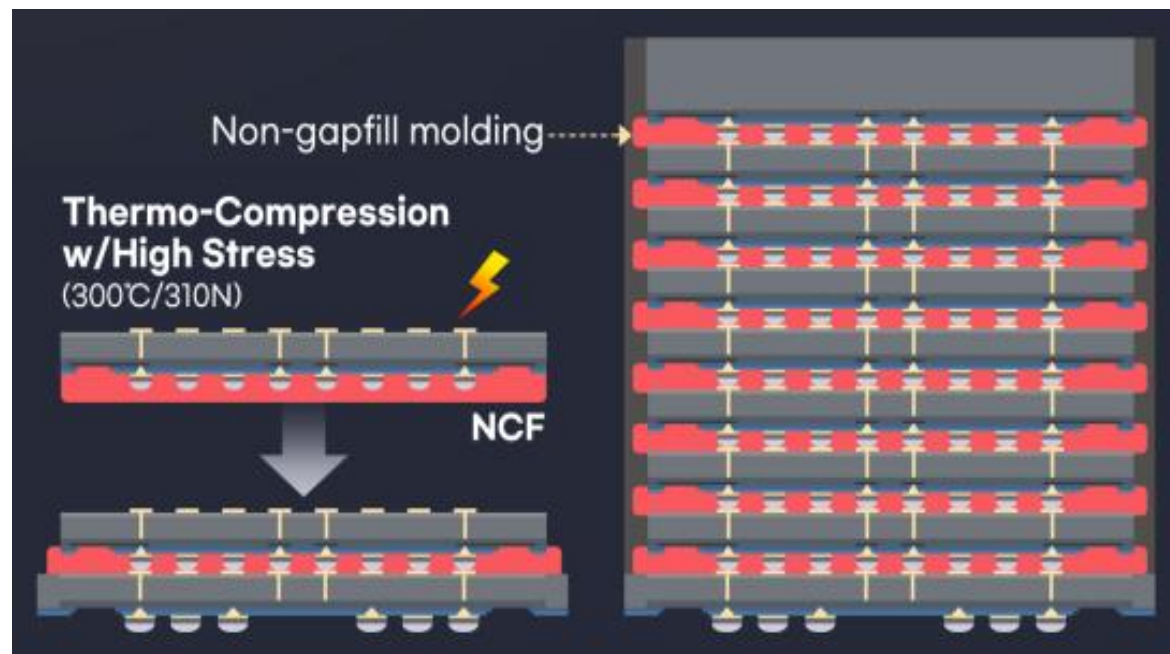
HBM堆叠核心：MR-MUF与TC-NCF对比

- ✓ TC-NCF在高温下通过间隙填充模塑渗透微凸块，同时需要外力；
- ✓ MR-MUF键合的关键技术：①**芯片翘曲控制**；②**间隙填充-MUF材料**；
- ✓ 芯片翘曲控制和规模量产良率有关；MUF与芯片之间的空隙可靠性有关。

图：MR-MUF



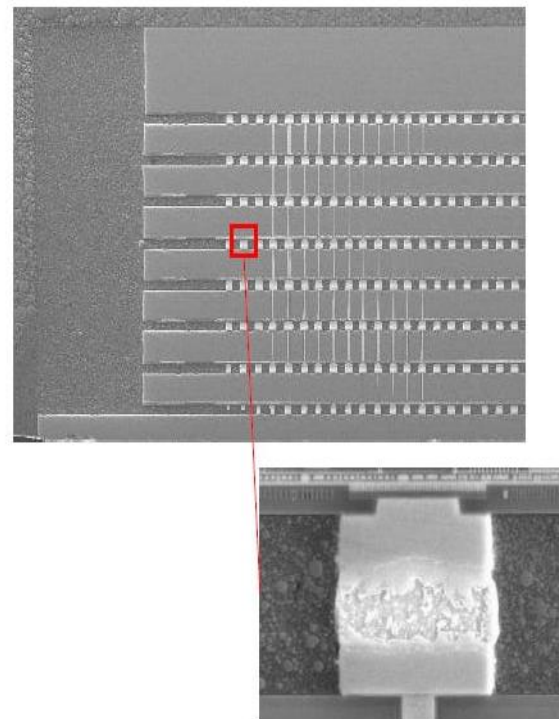
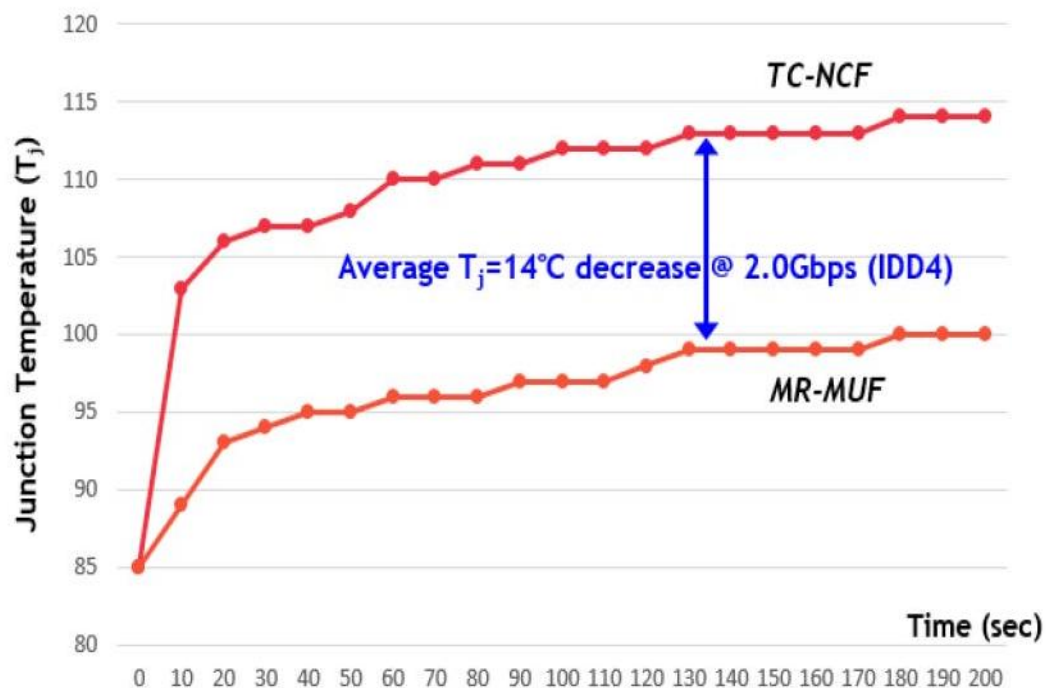
图：TC-NCF



MR-MUF (Mass Reflow – Molded Underfill)

- ✓ MR-MUF：芯片之间用环氧模塑料作为填充材料，导热率比TC-NCF中的非导电薄膜高很多，鉴于GPU等高功率芯片散热管理的重要性，这是重要的优势之一；
- ✓ MR-MUF使用传统的倒装芯片大规模回流焊工艺堆叠芯片（整个吞吐量高得多）批量工艺堆栈整体执行一次回流焊。

图：TC-NCF 与 MR-MUF 结温（实际半导体芯片的最高温度，器件结温越低越好）

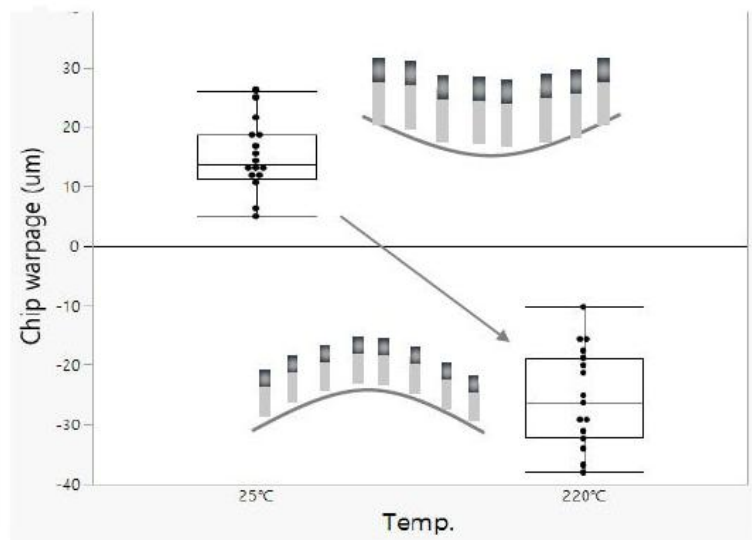


MR-MUF (Mass Reflow – Molded Underfill)

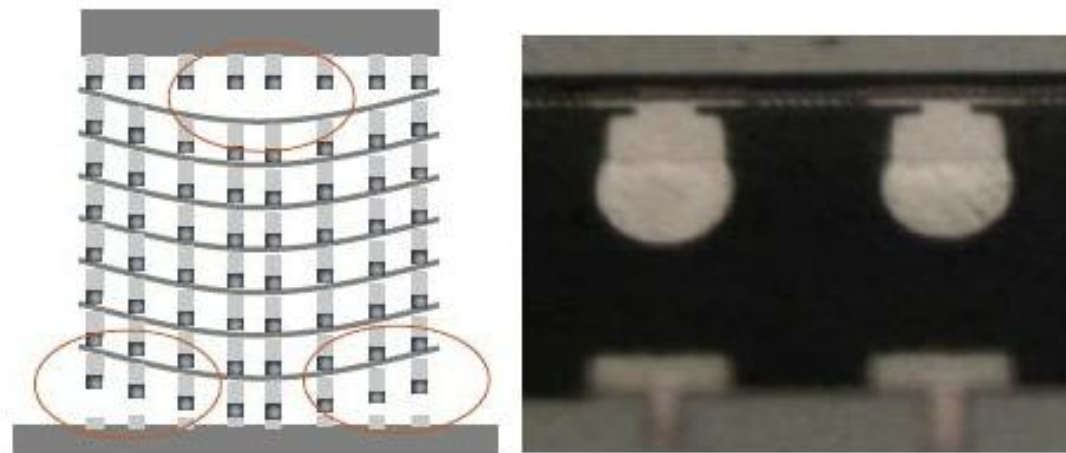
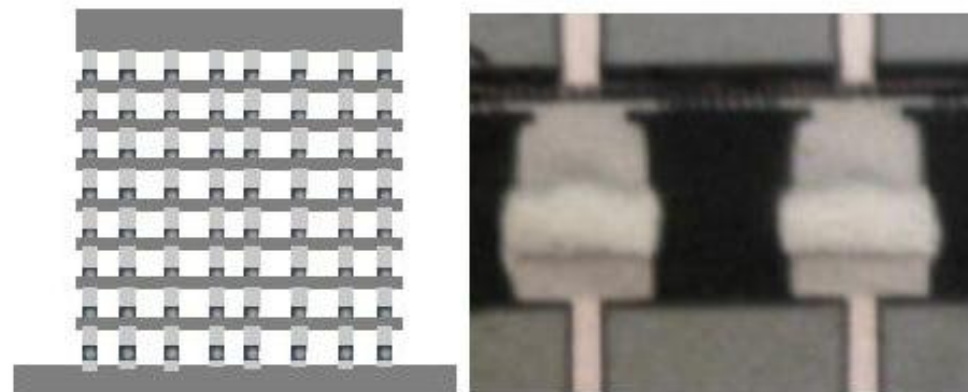
✓ MR-MUF挑战一：控制芯片翘曲

- 对于非常薄的芯片实现高堆叠，如果翘曲太大，就会导致结形成不精确。而TCB的优点便是可以更好地解决翘曲的问题，这也是TCB成为HBM封装第一种主流技术的原因；
- 英特尔在封装形式上相比OSAT封测厂和代工封装更广泛采用TCB，英特尔的专利细节较少，海力士的方法是在晶圆背面沉积一层预应力薄膜来控制翘曲，此前HBM封装多采用TCB。

图：室温和高温下 芯片翘曲趋势



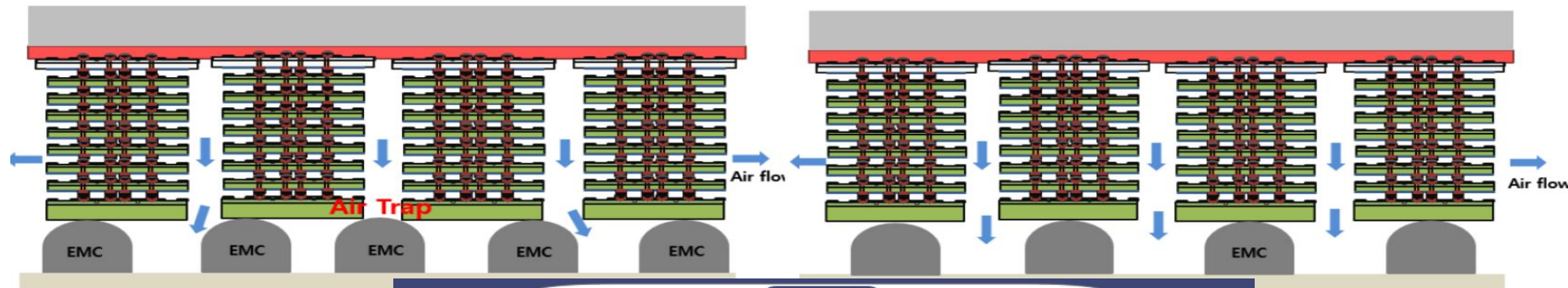
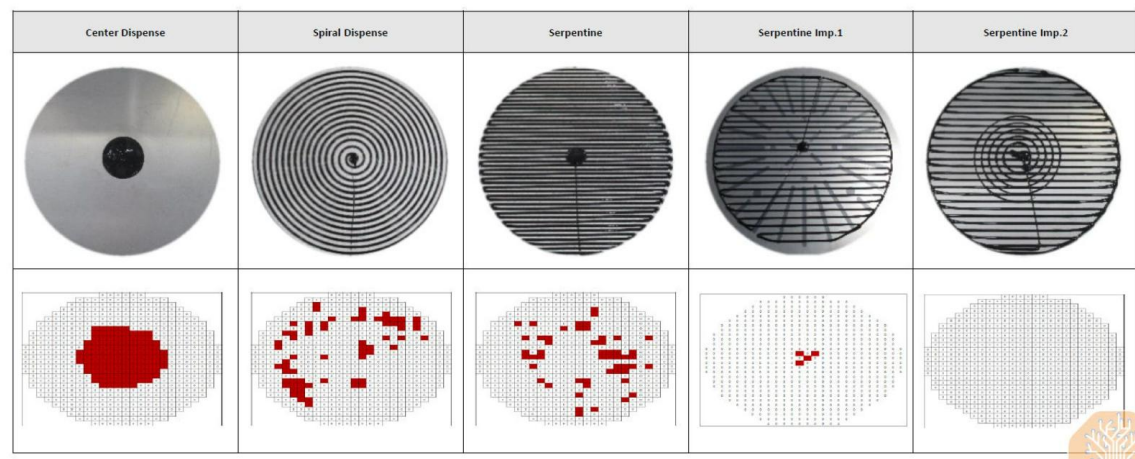
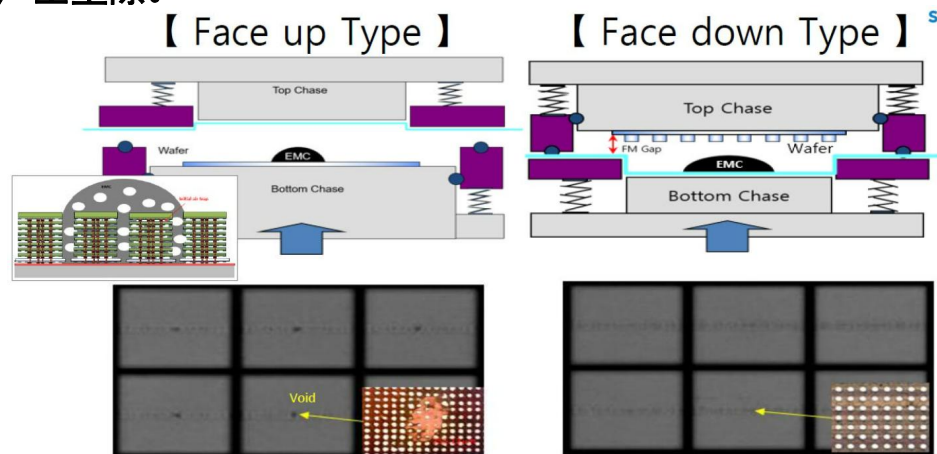
图：芯片正常（上图）和芯片翘曲（下图）特征



MR-MUF (Mass Reflow – Molded Underfill)

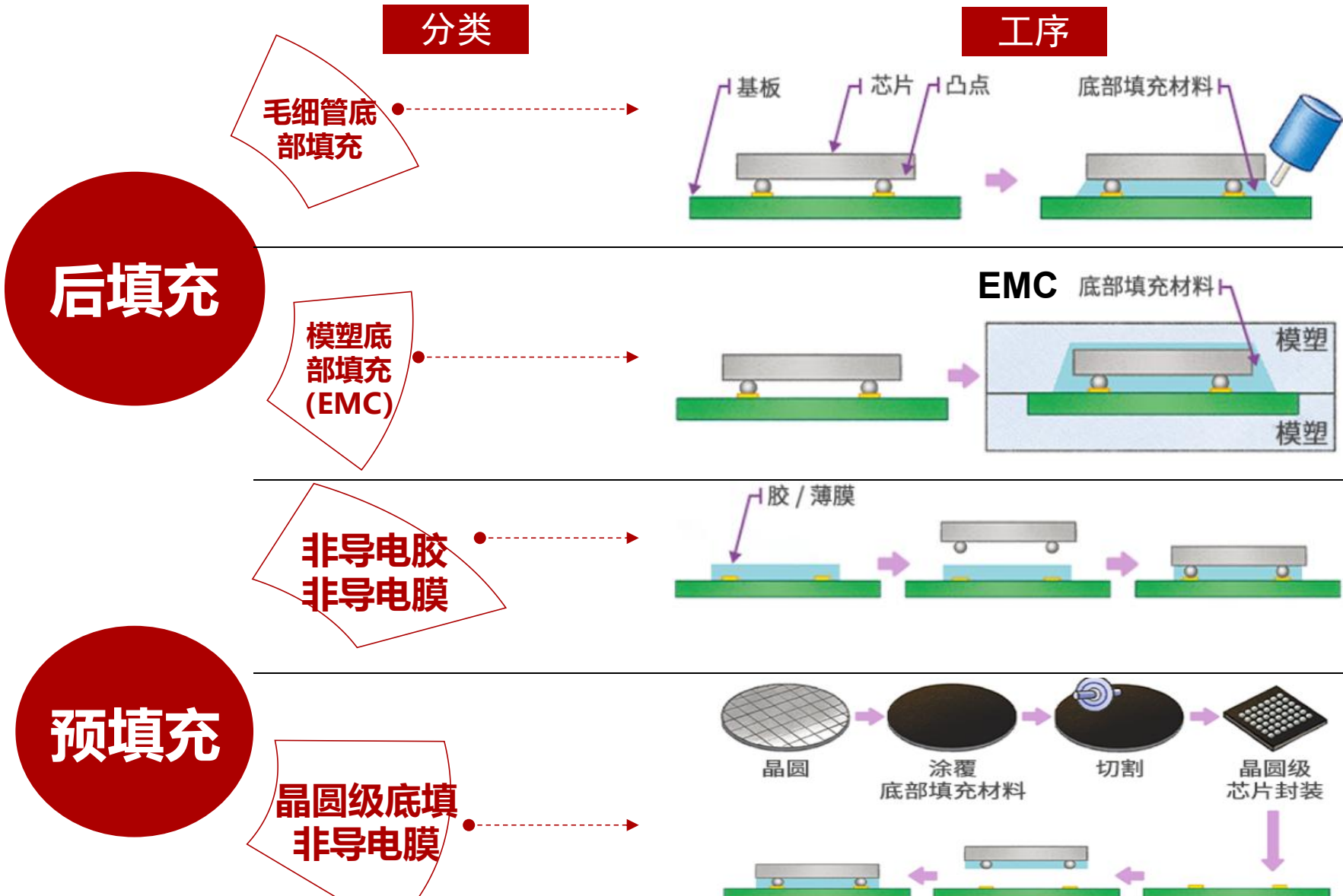
✓ MR-MUF挑战二：确保EMC填充没有空隙

- 底部填充的作用是为凸块提供支撑，但如果底填胶中存在空隙则会减弱支撑；同时更密集的凸块和更窄的间隙使HBM的底部填充胶的分布难度系数更高；
- SK海力士优化了3个方面：1) 定制芯片面朝下的模塑工具；2) EMC点胶的方式；3) EMC不放置在两个stack之间，减少气流导致结构中滞留空气从而产生空隙。



不同类型底部填充工艺

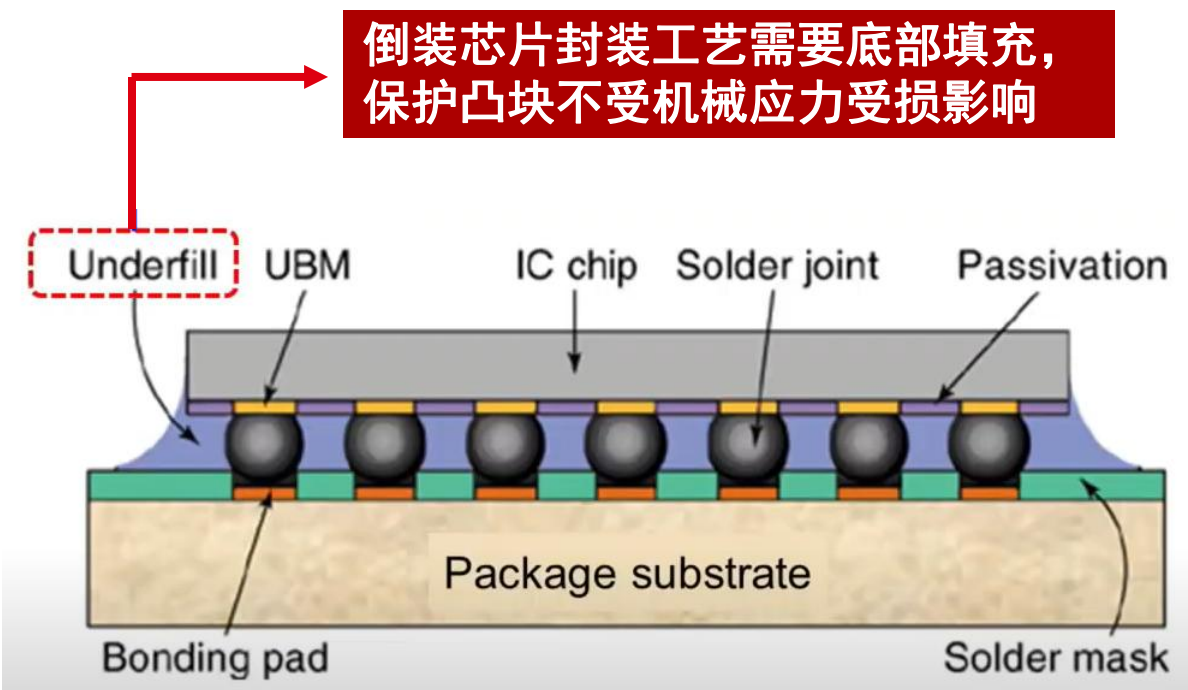
不同类型的底部填充工艺



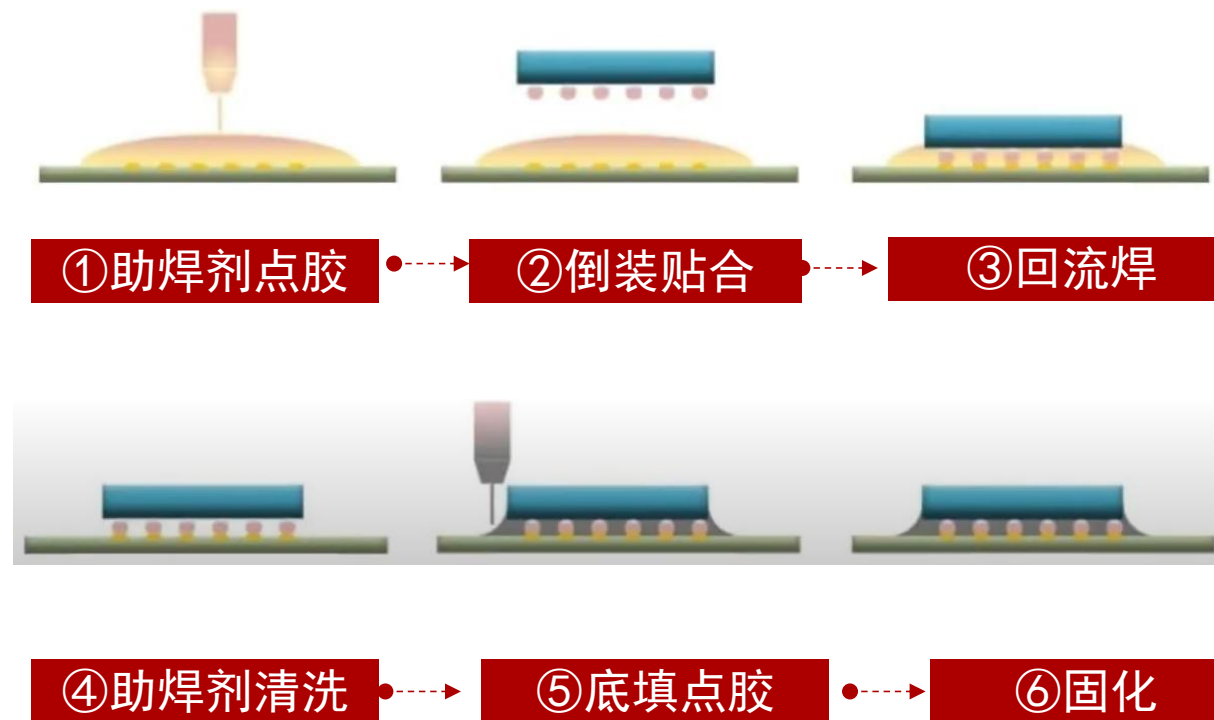
晶圆级封装采用非导电膜NCF

- ✓ 底部填充：使用环氧树脂模塑料EMC、胶和薄膜填充孔洞，实现接缝保护；
- ✓ 芯片贴合3有3种主要方法：1) MR, 2) TCNCP, 3) LAB
- ✓ 预填充过程中，芯片级封装和晶圆级封装采用的填充方法有所不同，对于芯片级封装，可以选择NCP或者NCF，对于晶圆级封装，NCF被作为底部填充的主材。

图：倒装芯片需要底部填充工艺



图：规模回流焊工艺 (Mass Reflow)



晶圆级封装，TC-NCF

- ✓ NCF是一种在芯片之间使用薄膜进行堆叠的方法，NCF与MR-MUF相比，导热率较低；速度较慢；
- ✓ SK 海力士在HBM2e中使用 TC-NCF（Thermo Compression - Non-Conductive Film）

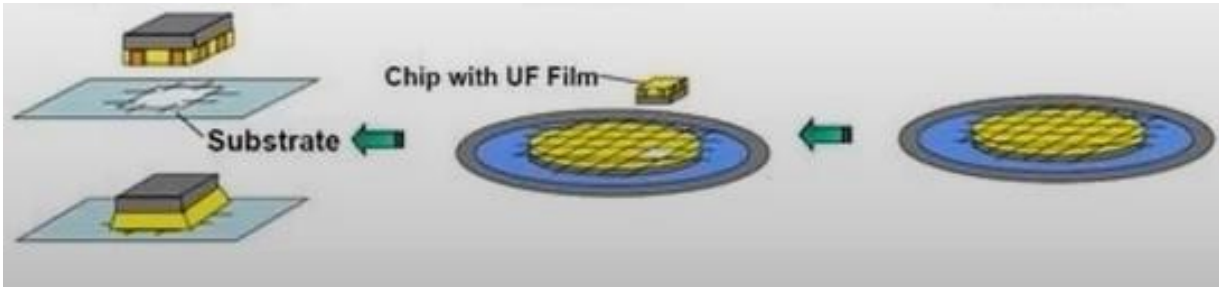
图：NCF



图：TC-NCF工艺流程



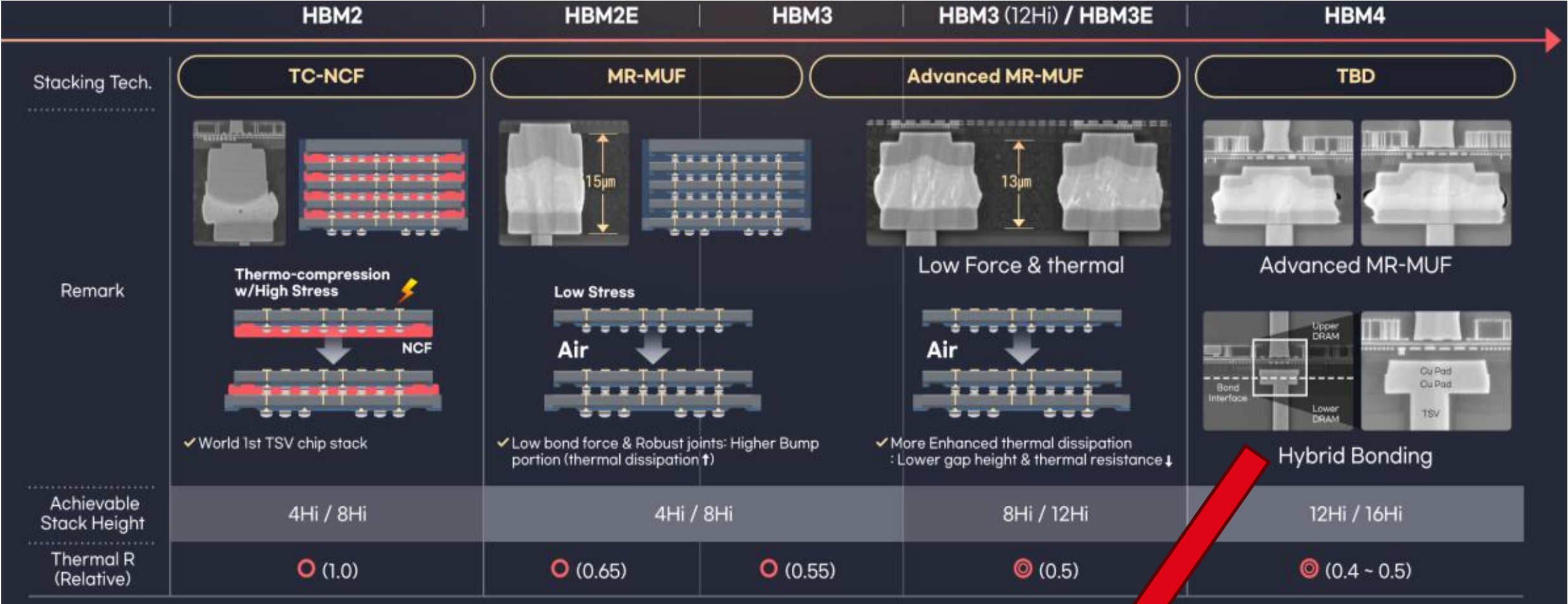
- ①晶圆上热压NCF
- ②晶圆热压同时切割胶带
- ③晶圆贴装同时去除覆盖薄膜



- ④切割
- ⑤选取覆盖UF薄膜的芯片
- ⑥与衬底贴合

HBM堆叠技术发展趋势

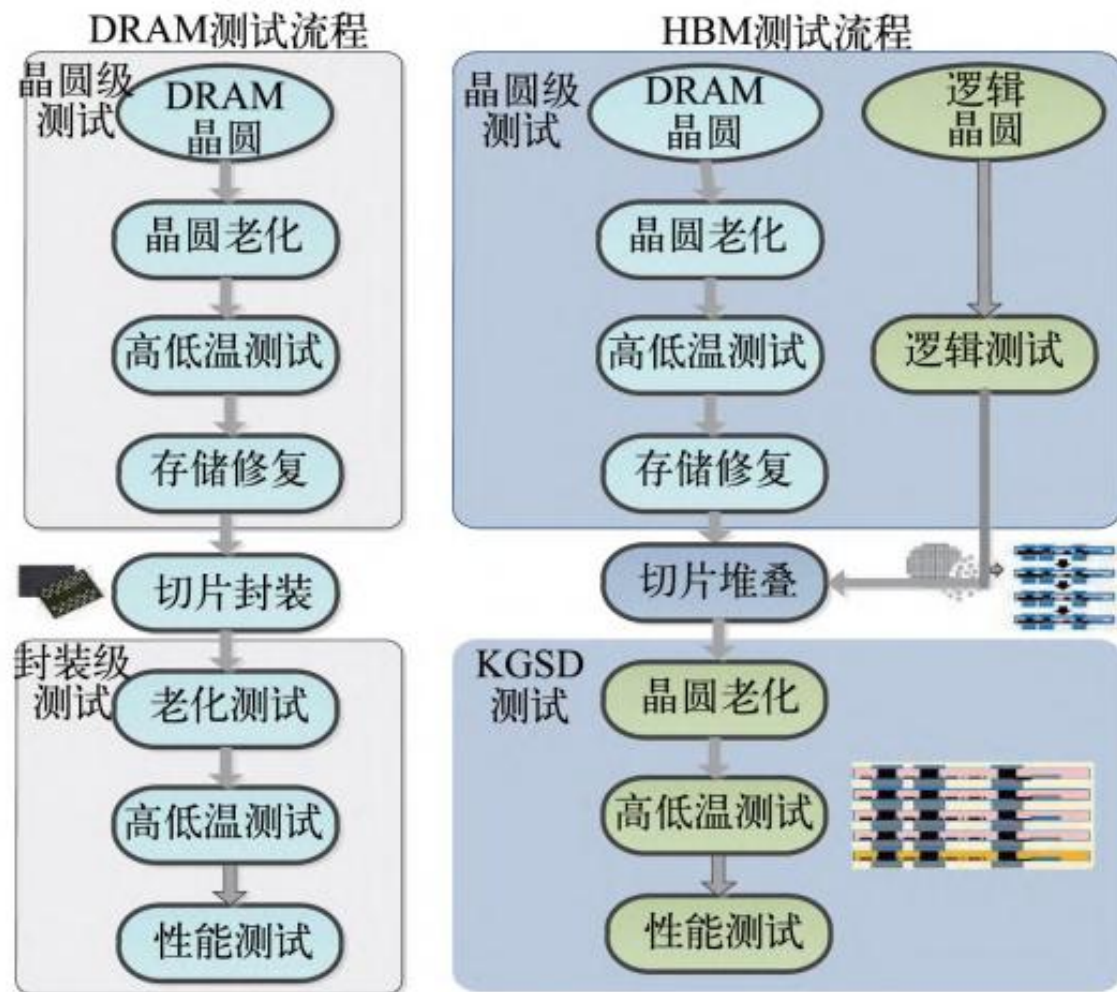
图：HBM 堆叠技术升级趋势



SK海力士宣布HBM4采用 Hybrid Bonding 混合键合

- ✓ HBM采用多层“已知良好堆叠芯片KGSD”设计，将4层或更多层的DRAM芯片堆叠在基础逻辑芯片上，每层KGSD采用大量的TSV和微凸块，对HBM产品的测试技术提出重要挑战；
- ✓ DRAM测试分为两部分：
 - 晶圆级测试：晶圆老化WLB1、高低温测试和存储修复等
 - 封装级测试：高低温条件下的功能、电性能、电参数以及老化应力测试等；
- ✓ HBM测试流程：
 - 晶圆级测试，针对DRAM芯片和逻辑芯片，增加逻辑芯片测试；
 - KGSD测试：包括老化应力测试、高低温条件下的功能、电性能和电参数测试等；
- ✓ HBM KGSD裸片测试的挑战主要包括逻辑芯片测试、动态向量老化应力测试、TSV测试、高速性能测试、PHY I/O测试以及2.5D SIP测试

图：DRAM测试流程和HBM测试流程对比

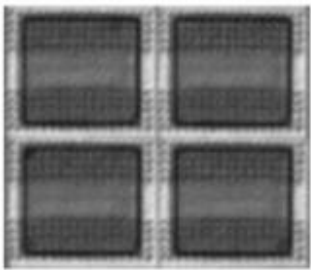


- 01 HBM—突破“内存墙”
- 02 AI算力快速迭代，HBM为最强辅助
- 03 HBM核心—“连接”与“堆叠”，3D混合键合成趋势
- 04 HBM核心设备材料，替代进行时
- 05 相关标的
- 06 风险提示

- ✓ 海力士正在加速开发新工艺“混合键合”，截止目前，HBM的DRAM芯片之间通过“微凸块”材料进行连接，通过混合键合，芯片可以在没有凸块的情况下连接，从而显著减小芯片的厚度；
- ✓ 当间距小到20um以内，热压键合过程中细微倾斜使得钎料变形挤出而发生桥连短路，难以进一步缩减互联间距；
- ✓ HBM芯片标准厚度为720um，预计2026年左右量产的第六代HBM4需要纵向垂直堆叠16层DRAM芯片，当前的封装技术很难让客户满意，所以混合键合的应用被认为是必然的趋势；
- ✓ 2023年海力士用于第三代HBM产品（HBM2e）测试混合键合技术，规格低于HBM4产品；
- ✓ 同时海力士拟计划将新一代的HBM与逻辑芯片堆叠在一起，取消硅中介层。

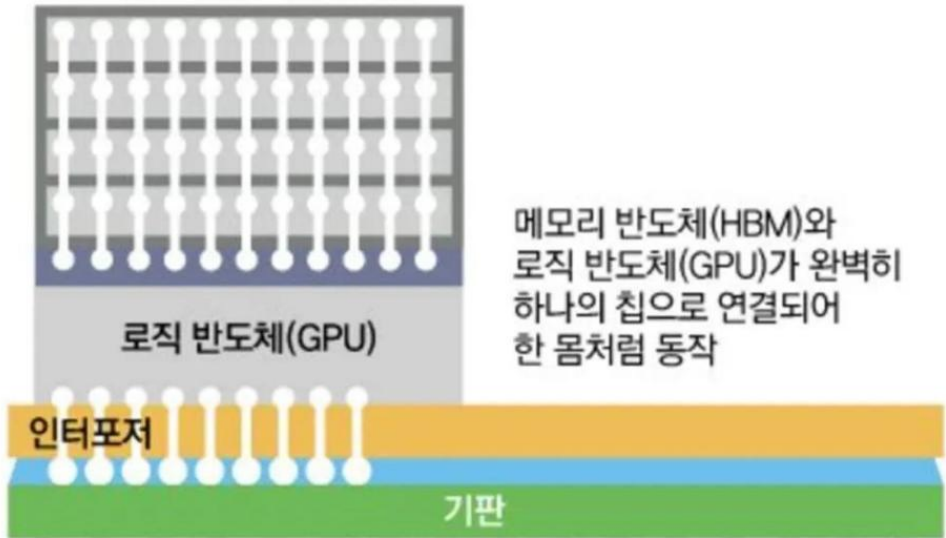
图：海力士HBM2e（8层堆叠）混合键合工艺通过可靠性测试

• HBM2e 8Hi Hybrid Bonding Package passed PKG reliability



Item	Condition	Results
Pre-con.	L2a & Reflow 6 cycles	Pass
TC(B)	-55/125°C, 1000 cycles	Pass
uHAST	130°C/85%RH, 96hrs	Pass
HTS	150°C, 1008hrs	Pass

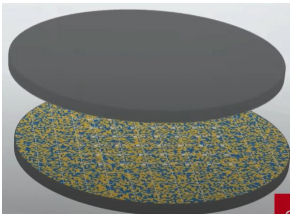
图：海力士HBM4规划取消硅中介层



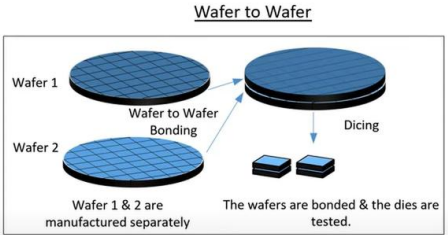
Hybrid Bonding 混合键合

混合键合

Wafer to Wafer 晶圆对晶圆



两片晶圆经过CMP后直接贴合



Chip to Wafer 芯片对晶圆

①第一片晶
圆CMP

②切割

③选取有效芯片
置于底座中

④第二片晶圆
CMP，有效芯
片对齐贴合

⑤研磨

下一代混合键合（高精度和高吞吐量）

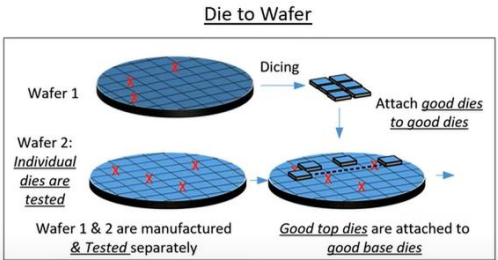
①第一片晶
圆CMP

②切割

③选取有效芯片
置于底座中

④第二片晶圆图案化（曝光显影），
刻蚀等

⑤有效芯片贴合

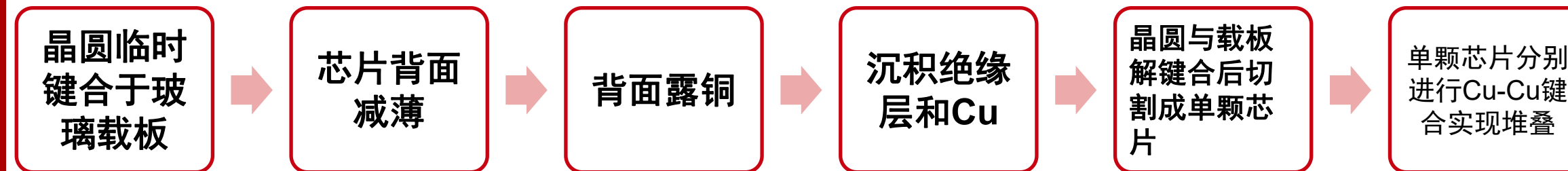


CEA-Leti

✓ 芯片——晶圆键合后再背面露铜



✓ 背面露铜后再进行芯片-芯片键合



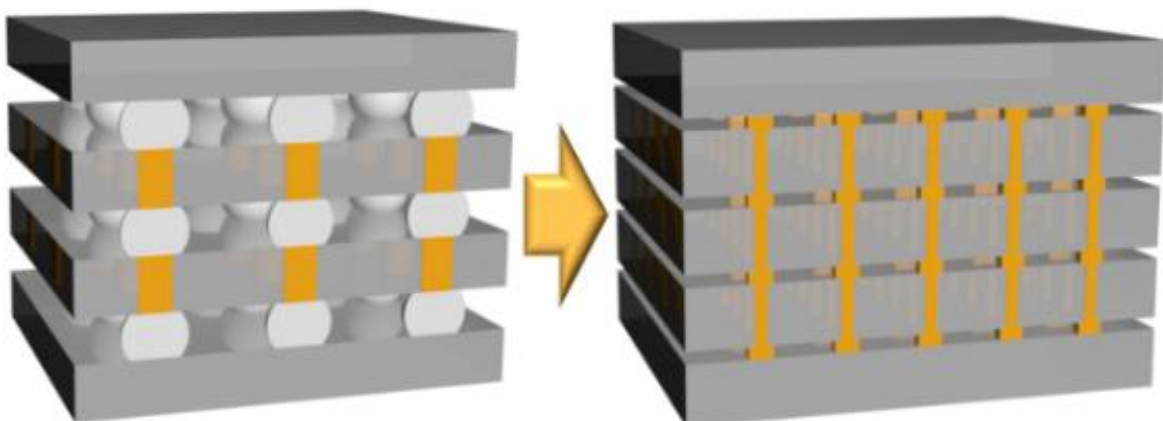
- 与台积电传统的微凸点3D TSV集成对比，无凸点SoIC集成的12层存储器在垂直方向上的尺寸下降高达64%，带宽密度增加28%，能源消耗下降19%；
- 无凸点3D集成技术可实现超高密度的芯片垂直互连，继续推动芯片向高性能、微型化和低功耗方向发展。

混合键合—3D封装核心

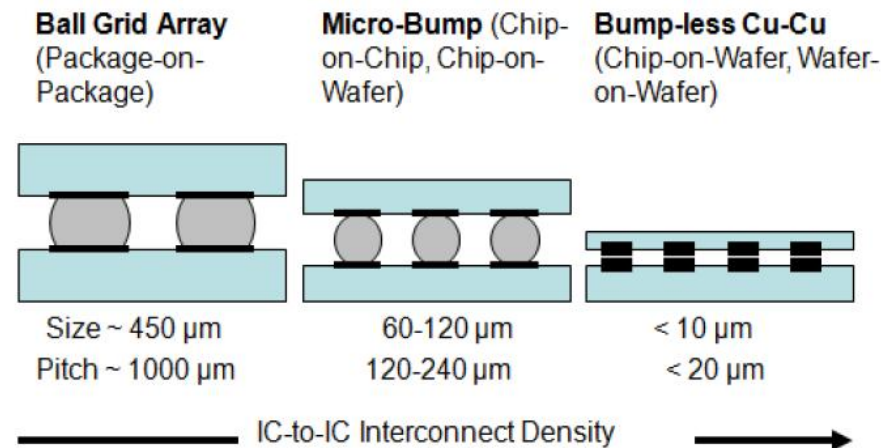
✓ 混合键合定义：

- 混合键合是一种永久键合，将介电键合（ SiO_x ）与嵌入式金属（Cu）结合起来互联，形成电介质和金属-金属键；
- 使用紧密嵌入电介质中的微小铜焊盘可以提供比铜微凸块多1000倍的I/O连接。支持3D封装和先进的存储立方体更高的互连密度；
- 混合键合可以实现低于10um的键合间距，当接近10um尺寸时，带有焊锡尖端的铜凸块会遇到可靠性问题，从而导致转向混合键合。

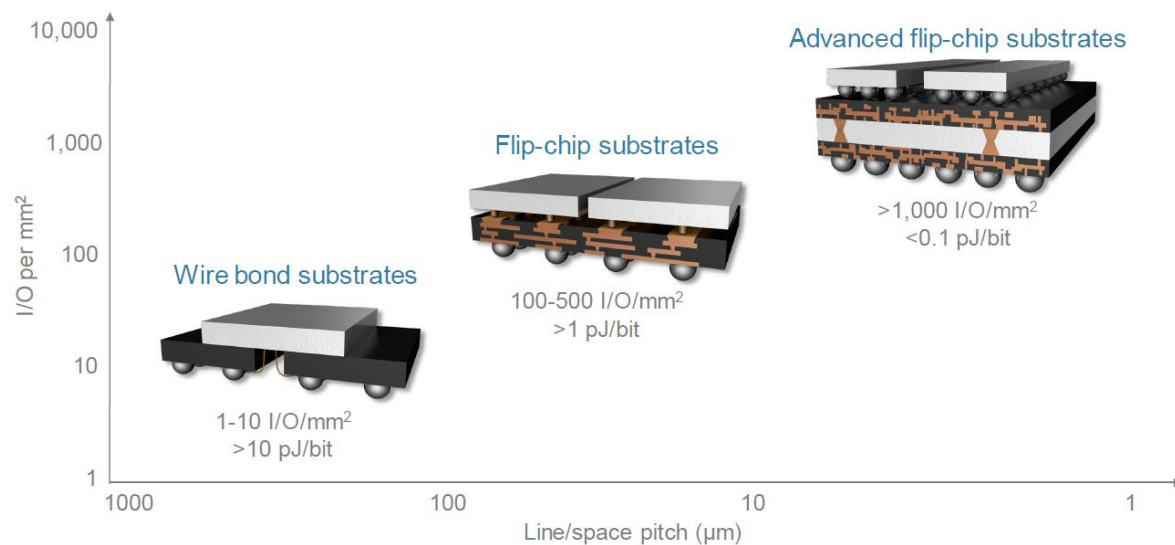
图：（TSV+凸块）键合方式（左）、Cu-Cu混合键合方式（右）



图：键合方式演变



图：先进封装可显著提升I/O密度

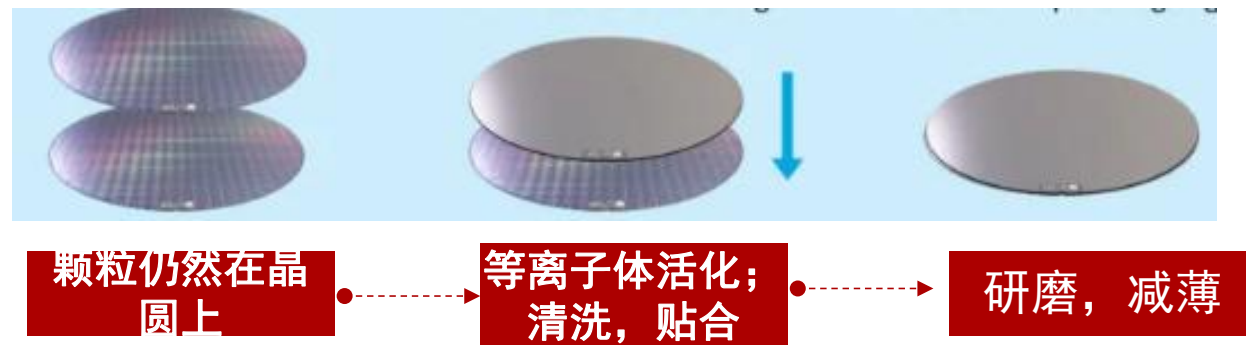


混合键合分类（W2W与D2W）

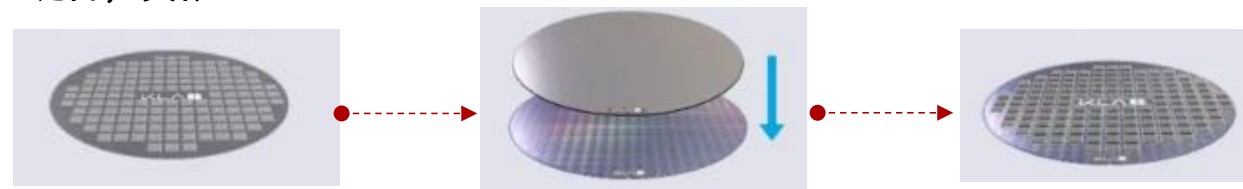
✓ 混合键合分类：

- 晶圆到晶圆（Wafer-to-Wafer）：两个制造好的晶圆直接键合在一起，W2W提供更高的对准精度、吞吐量和键合良率，目前绝大多数混合键合通过W2W完成，比较典型的是长江存储3D NAND Xstacking技术的突破；
- 芯片到晶圆（Die-to-Wafer）：将切割好的Die贴到另一个完成的晶圆上，与晶圆上的Die实现键合，可以分为两类：
 - 可以按顺序一颗一颗放置到另一片产品晶圆的对应位置上，位置精度会提高；
 - 将切割好的Die用临时键合的方式粘贴到Carrier晶圆上，整个晶圆与另一片晶圆键合再解键合，类似传统的W2W。

图：晶圆对晶圆混合键合（W2W）



图：芯片对晶圆混合键合（切割好临时键合至Carrier晶圆，贴合完成后解键合，类似W2W）



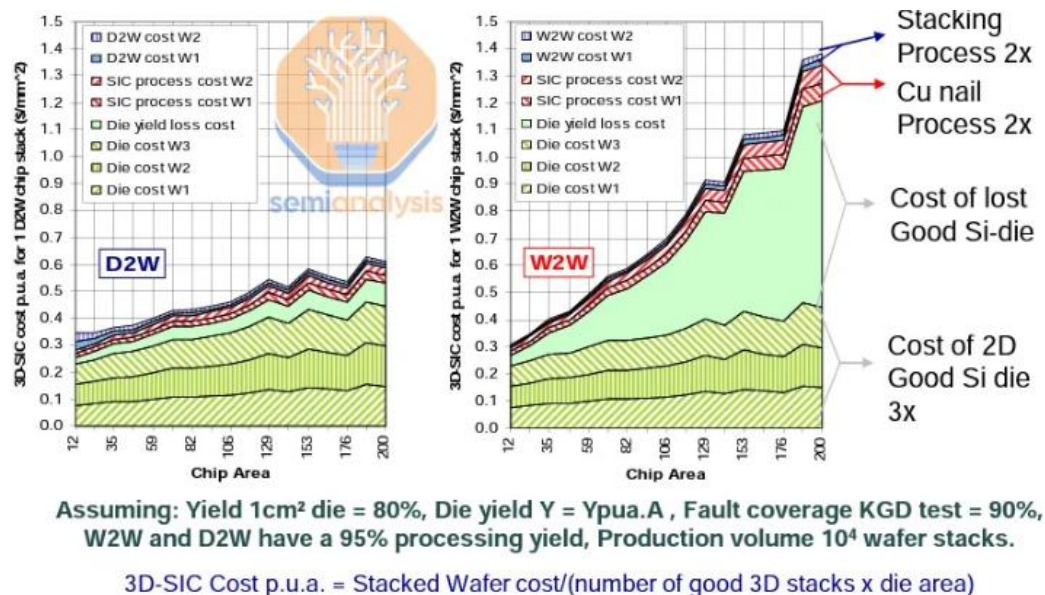
图：芯片对晶圆混合键合（一颗一颗贴合）



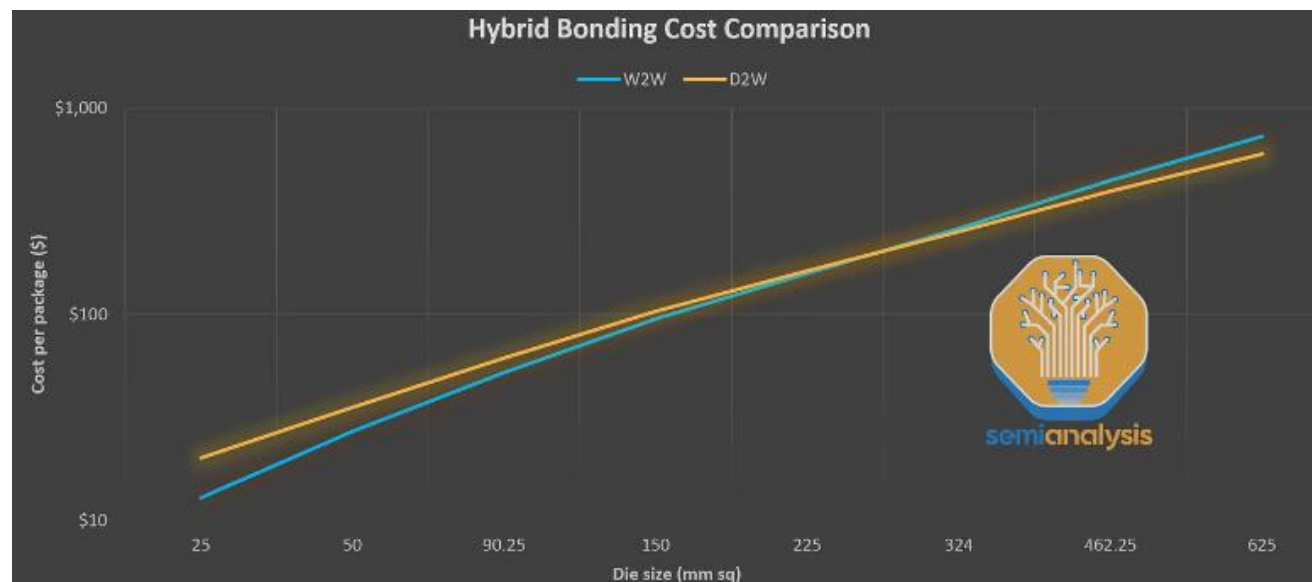
混合键合对比分析（W2W vs D2W）

- ✓ W2W键合是相对成熟的工艺，也不是特别昂贵，目前，W2W键合可以实现50nm以下的对准精度，W2W存在的主要问题是无法选择已经良好的芯片（KGD）进行封装，会导致将有缺陷的芯片贴合至优质芯片，从而导致优质芯片的损失，所以W2W一般应用于良率非常高的晶圆；
- ✓ D2W方式可以应用良率相对较差但仍然具备商业价值的产品，D2W在键合方面更具挑战性，因为每个晶圆都需要更多的键合步骤，会引入颗粒污染；
- ✓ 根据Semianalysis参考数据看（并非实际成本数据），小芯片D2W更贵，随着芯片面积的增加，W2W不具备价格优势。

图：D2W vs W2W 随着芯片面积变化带来的成本变化对比



图：D2W vs W2W 随着芯片面积变化带来的成本变化对比



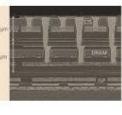
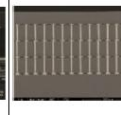
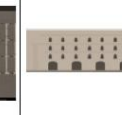
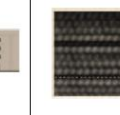
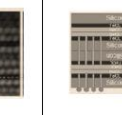
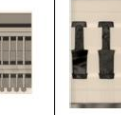
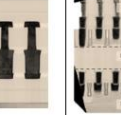
混合键合成本对比

✓ 随着芯片面积增加，W2W成本高于D2W；（以下数据为示例，并非实际成本数据）

Die-to-Wafer Cost												
Height / Width (mm)	Area (mm ²)	Wafer Cost	Dies Per Wafer	D0 (Defects / cm ²)	Yield	GDPW	Cost Per Die Bond	Bond Yield	Good Package Yield	Good Packages Per Bonded Wafer	Total Process Cost	Cost Per Good Package
5	25	\$16,000	2,694	0.052	99%	2,659	\$ 5	85%	84%	2,260	\$45,295.0	\$ 20.04
7.1	50	\$16,000	1,319	0.052	97%	1,286	\$ 5	85%	83%	1,093	\$38,430.0	\$ 35.16
9.5	90.25	\$16,000	713	0.052	95%	681	\$ 5	85%	81%	578	\$35,405.0	\$ 61.25
12.25	150	\$16,000	417	0.052	93%	386	\$ 5	85%	79%	328	\$33,930.0	\$103.45
15	225	\$16,000	270	0.052	89%	240	\$ 5	85%	76%	204	\$33,200.0	\$162.75
18	324	\$16,000	181	0.052	85%	153	\$ 5	85%	72%	130	\$32,765.0	\$252.04
21.5	462.25	\$16,000	122	0.052	79%	96	\$ 5	85%	67%	82	\$32,480.0	\$396.10
25	625	\$16,000	86	0.052	73%	63	\$ 5	85%	62%	54	\$32,315.0	\$598.43

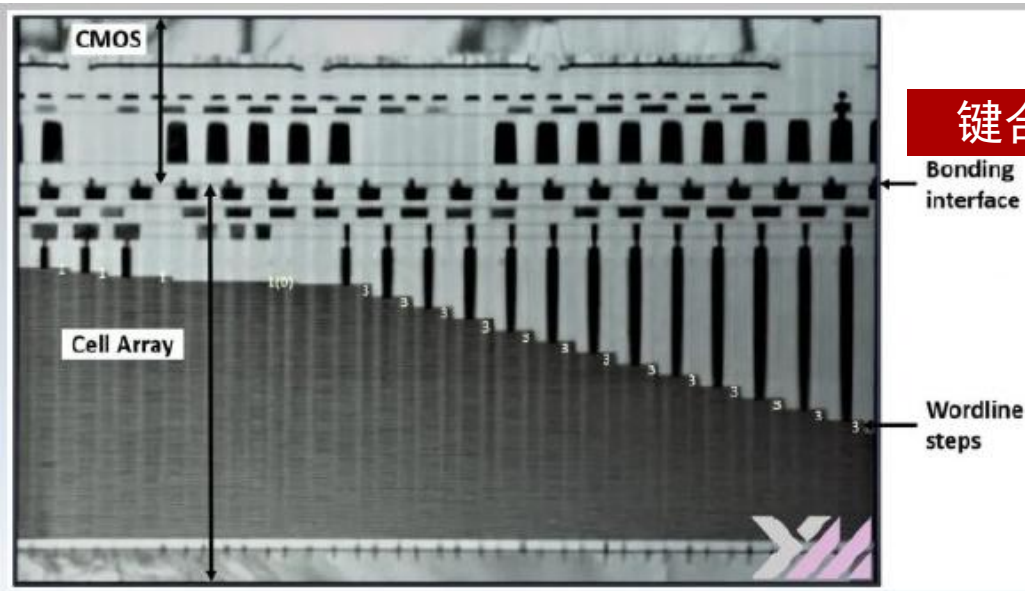
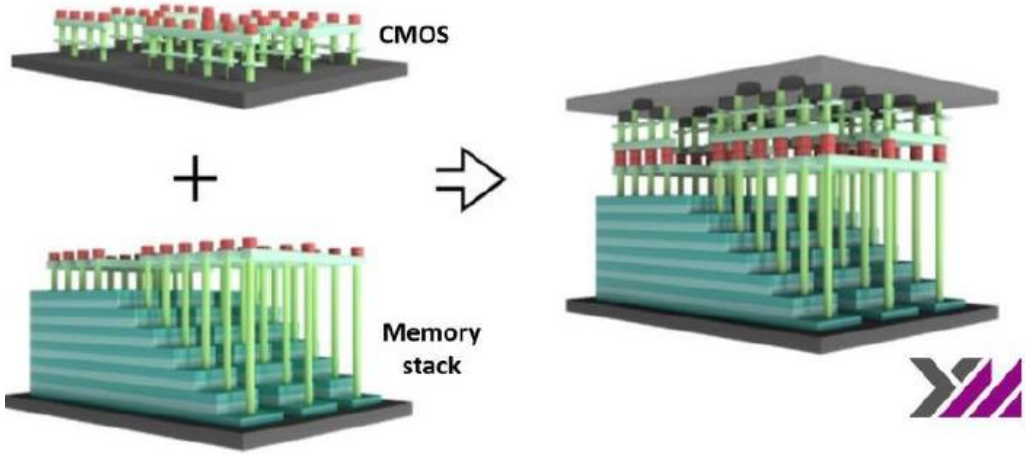
Wafer-to-Wafer Cost											
Height / Width (mm)	Area (mm ²)	Wafer Cost	Dies Per Wafer	D0 (Defects / cm ²)	Yield	Cost Per Wafer Bond Step	Bond Yield	Good Package Yield	Good Packages Per Bonded Wafer	Total Process Cost	Cost Per Good Package
5	25	\$16,000	2,694	0.052	99%	\$ 50	95%	93%	2,494	\$32,050.0	\$ 12.85
7.1	50	\$16,000	1,319	0.052	97%	\$ 50	95%	90%	1,190	\$32,050.0	\$ 26.93
9.5	90.25	\$16,000	713	0.052	95%	\$ 50	95%	87%	617	\$32,050.0	\$ 51.94
12.25	150	\$16,000	417	0.052	93%	\$ 50	95%	81%	339	\$32,050.0	\$ 94.54
15	225	\$16,000	270	0.052	89%	\$ 50	95%	75%	203	\$32,050.0	\$157.88
18	324	\$16,000	181	0.052	85%	\$ 50	95%	68%	123	\$32,050.0	\$260.57
21.5	462.25	\$16,000	122	0.052	79%	\$ 50	95%	59%	72	\$32,050.0	\$445.14
25	625	\$16,000	86	0.052	73%	\$ 50	95%	50%	44	\$32,050.0	\$728.41

图：存储/逻辑芯片混合键合应用

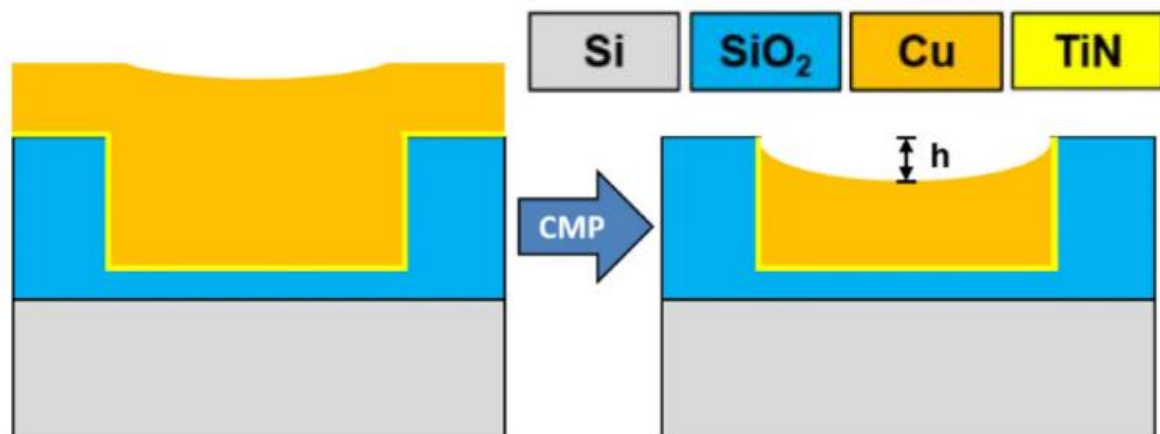
	Backside Illuminated Image Sensor	Memory				Logic		
		3D NAND Flash	HBM Stacks	DDR6+	Next Gen. Memory	SoC Partitioning		Scaling
Device Stack	Photo Diode + DRAM + Logic	NAND Block + Periphery	12+ layer stacking	Peri under DRAM	Peri on MRAM, FeRAM, PCM	SoIC	SRAM + Logic	Backside PDN (5nm node)
Bonding Process	W2W	W2W	W2W and/or D2W	W2W	W2W	W2W an/or D2W	W2W	W2W
	hybrid	hybrid	hybrid	fusion	fusion & hybrid	hybrid	hybrid	fusion
Pitch	2µm → 1µm	2µm → 1µm	5µm → 3µm	2µm → <1µm	2µm → <1µm	9µm → 2µm	2µm	By scanner
Maturity	HVM	HVM	R&D	R&D	R&D	Ramp Up	Ramp Up	Ramp Up
Example	 Sony (System+)	 YMTC (System+)	 Xperi (ECTC2020)	 IMEC (PTW21)	 IMEC (PTW21)	 TSMC WoW SoIC	 IMEC Collaboration	 IMEC Collaboration

- ✓ HBM的混合键合预计使用W2W或者D2W；
- ✓ 3D NAND使用W2W，典型案例为长鑫存储的Xstacking，CMOS层+存储层采用W2W混合键合方案

图：长江存储CMOS层+存储层 W2W 混合键合方案

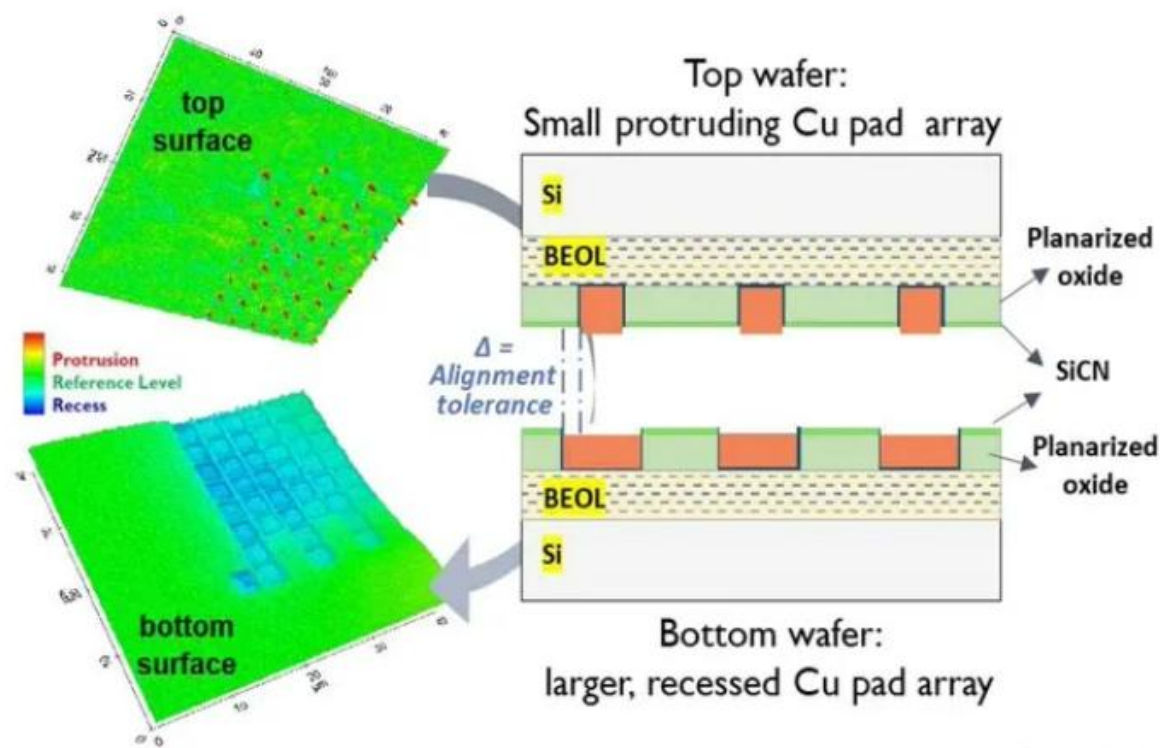


图：混合键合层的形成



- ✓ 混合键合层带有细间距铜通孔图案的介电薄膜，不论是D2W还是W2W，通过BEOL金属化处理的两片晶圆均需要经历键合电介质CVD；阻挡层沉积、铜填充、电介质的平坦化（带有轻微的铜凹进）；
- ✓ 电介质有四种可选材料：二氧化硅SiO₂、碳氮化硅SiCN、氮氧化硅SiON，其中，SiCN由于优异的铜扩散阻挡性能而成为主要选择，AMAT和Lam、KLA是PECVD系统供应商；国内拓荆科技是PECVD的领先企业；
- ✓ 混合键合层工艺包括电介质PECVD、铜ECD（铜电化学沉积）、CMP、等离子体激活、键合、分割等。

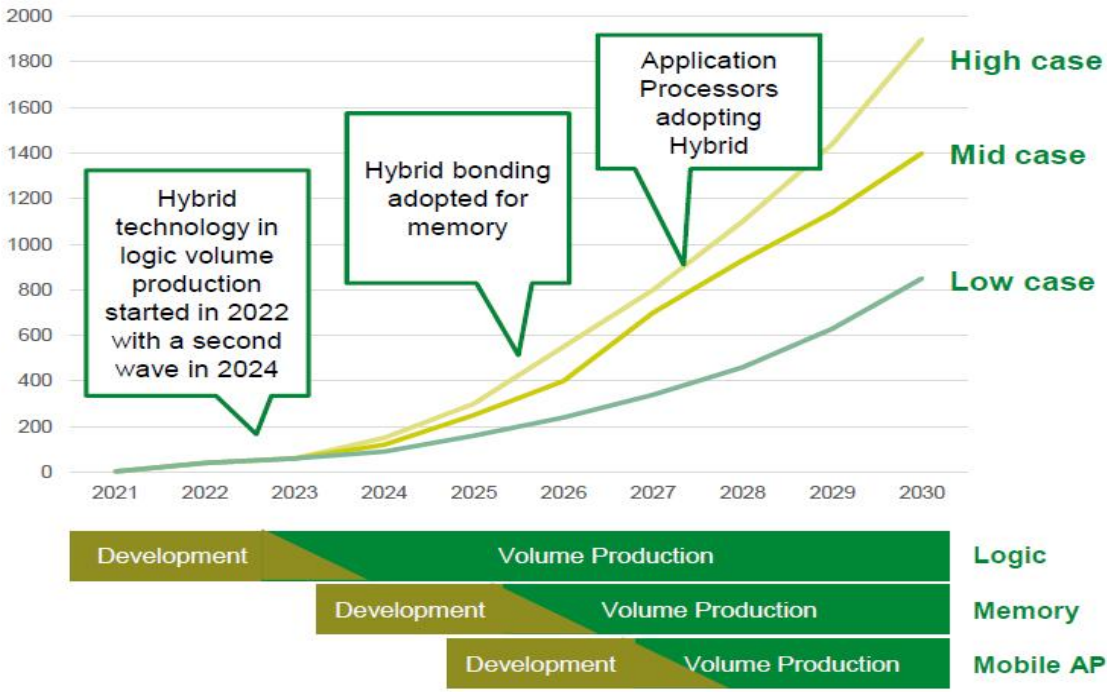
图：一种新型的混合键合（凸起面对凹陷面）



影响键合质量的因素：1）晶圆表面的洁净度和粗糙度；2）表面的活化；3）退火处理的条件；4）铜衬垫的凹陷和凸起工艺。引入等离子体预处理步骤和亲水性的键合技术，能在低退火温度下提升键合粘附性。

- ✓ 以混合键合设备为代表的三维集成领域专用设备尚处于产品导入期，当前在存储器、图像传感器CIS和逻辑芯片领域初步实现产业化
- ✓ 先进封装快速发展，3D封装进入成长期，混合键合设备作为晶圆级3D应用中最前沿的核心设备之一，有望迎来快速增长；
- ✓ 混合键合设备可以提供键合面最小为1um间距的金属导线连接点以实现芯片或晶圆的堆叠，提高芯片整体性能；
- ✓ 关键指标是键合面的质量，包括键合精度、键合强度以及界面空隙，其中键合精度和对准精度影响芯片性能、键合强度和界面空隙影响芯片整体良率。
- ✓ 混合键合技术具备实现更高带宽、更高功率、更高通信速度等优势特点，键合设备具有较大的潜在市场需求和未来增长空间。根据BESI数据，存储为混合键合设备的增量市场，保守预计2026年混合键合设备需求量超过200台。

图：晶圆键合设备需求量预测

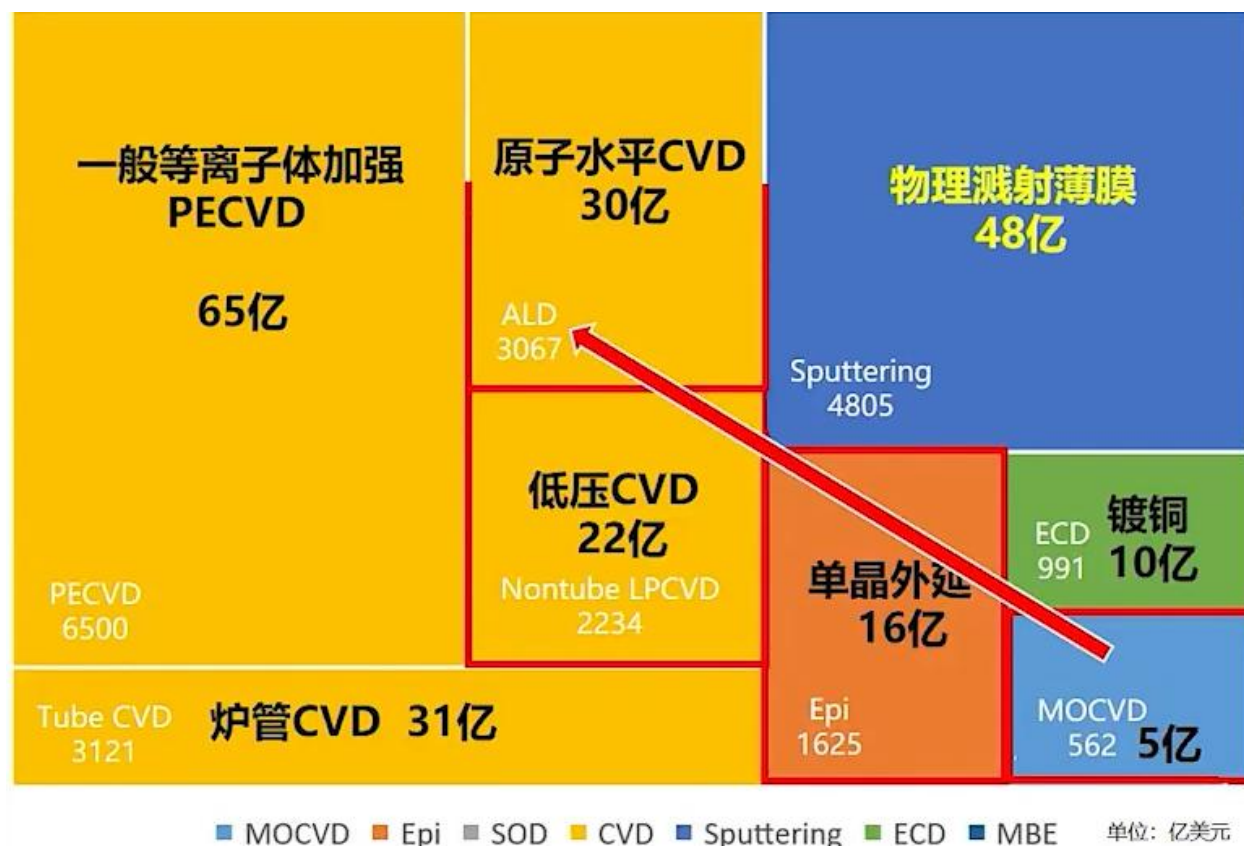


图：国内上市（拟上市）公司混合键合设备进展

上市（或拟上市）公司名称	键合设备	进展
拓荆科技	Dione 300 晶圆对晶圆	主要应用于晶圆级三维集成芯片制造领域，已实现产业化应用，可实现12寸晶圆对晶圆的混合键合和熔融键合
芯源微	Pollux 芯片对晶圆键合表面预处理产品	主要应用于晶圆级三维集成芯片制造领域，正在进行产业化验证，主要应用于晶圆及切割后芯片的表面活化及清洗
芯源微	临时键合/解键合	可应用于chiplet等领域的新产品临时键合机、解键合机也实现国内多家客户订单导入
华卓精科	UP HBS300 晶圆级键合	对标国际大厂EVG Gemini FB NT2，对准精度为±200nm，与EVG Gemini FB NT3（专用于存储器晶圆键合，对准精度为50nm）存在一定的差距

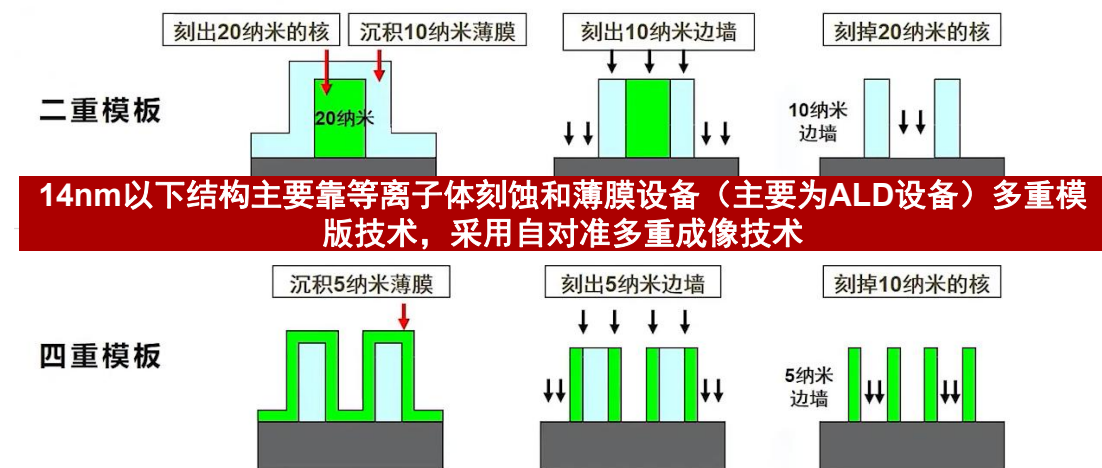
- ✓ 薄膜沉积设备：半导体设备可以分为前道工艺设备（晶圆制造）和后道工艺设备（封装测试）两大类，晶圆制造设备市场规模约占88%，
 - 其中，薄膜沉积设备、光刻设备、刻蚀设备是三大核心设备，薄膜沉积设备市场规模约占22%。
- ✓ 根据拓荆科技2023年半年报，2022年全球薄膜沉积设备市场规模达229亿美元，结合中国大陆半导体制造设备销售额占全球半导体制造设备的销售额约为26%比例计算，2022年中国大陆薄膜沉积设备市场规模约为60亿美元，空间广阔；
- ✓ 薄膜沉积设备主要包括CVD（化学气相沉积）和PVD（物理气相沉积）；CVD包括PECVD、炉管CVD、原子水平CVD（ALD）、低压CVD。

图：2022年薄膜沉积设备种类和市场规模（亿美元）

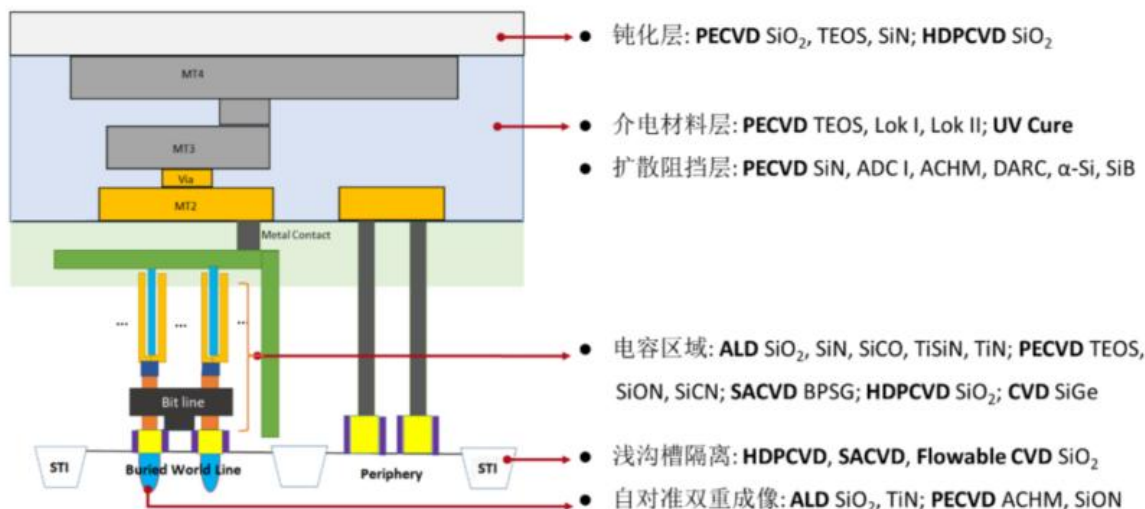


PECVD占比28.4%，ECD占比4.37%

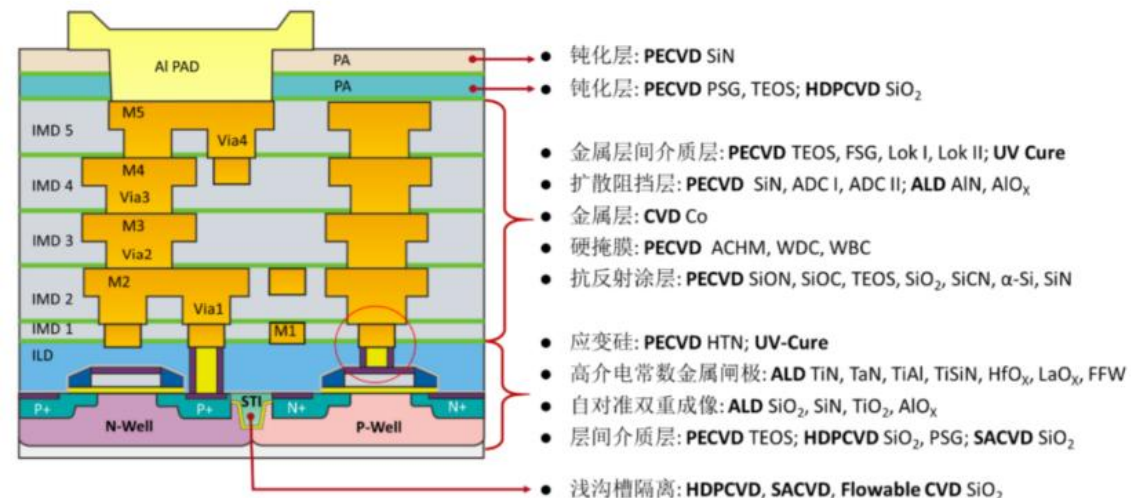
图：多重模版等离子体刻出的是光刻尺度1/2到1/4的微观结构



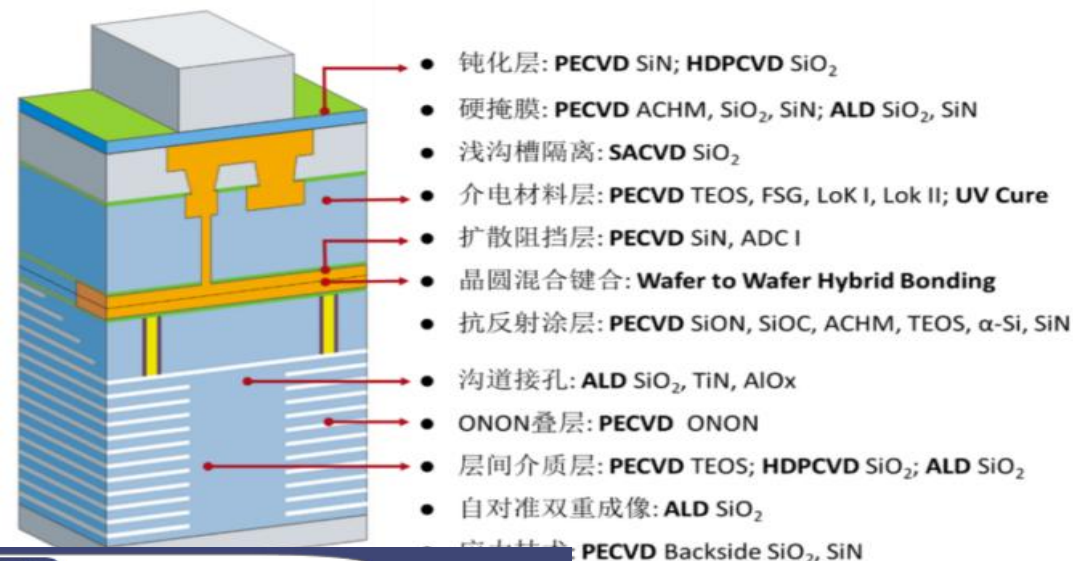
图：DRAM存储芯片中的应用图示



图：逻辑芯片中CVD设备的应用图示

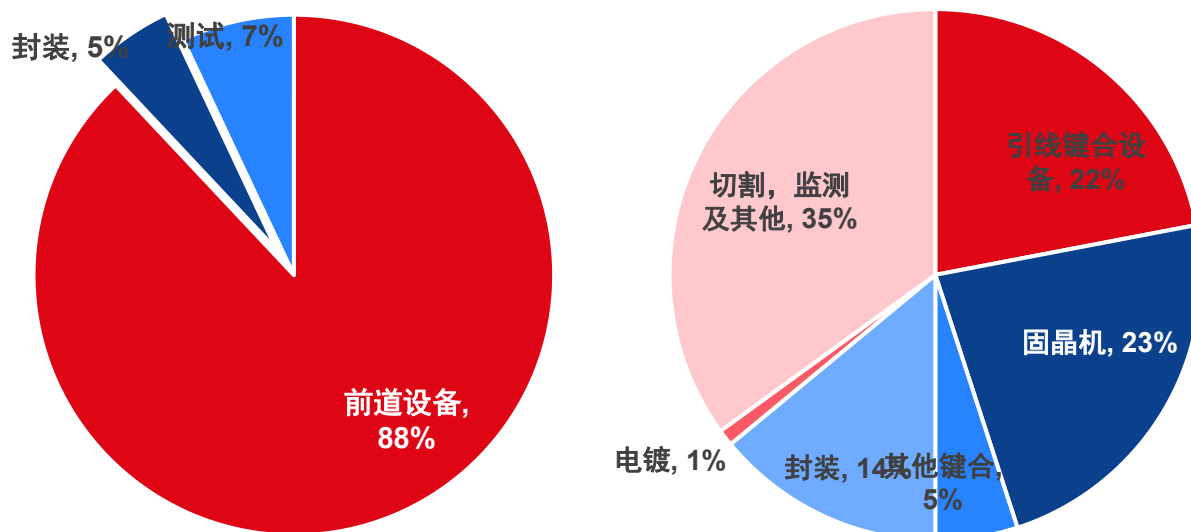


图：3D NAND存储芯片中的应用图示

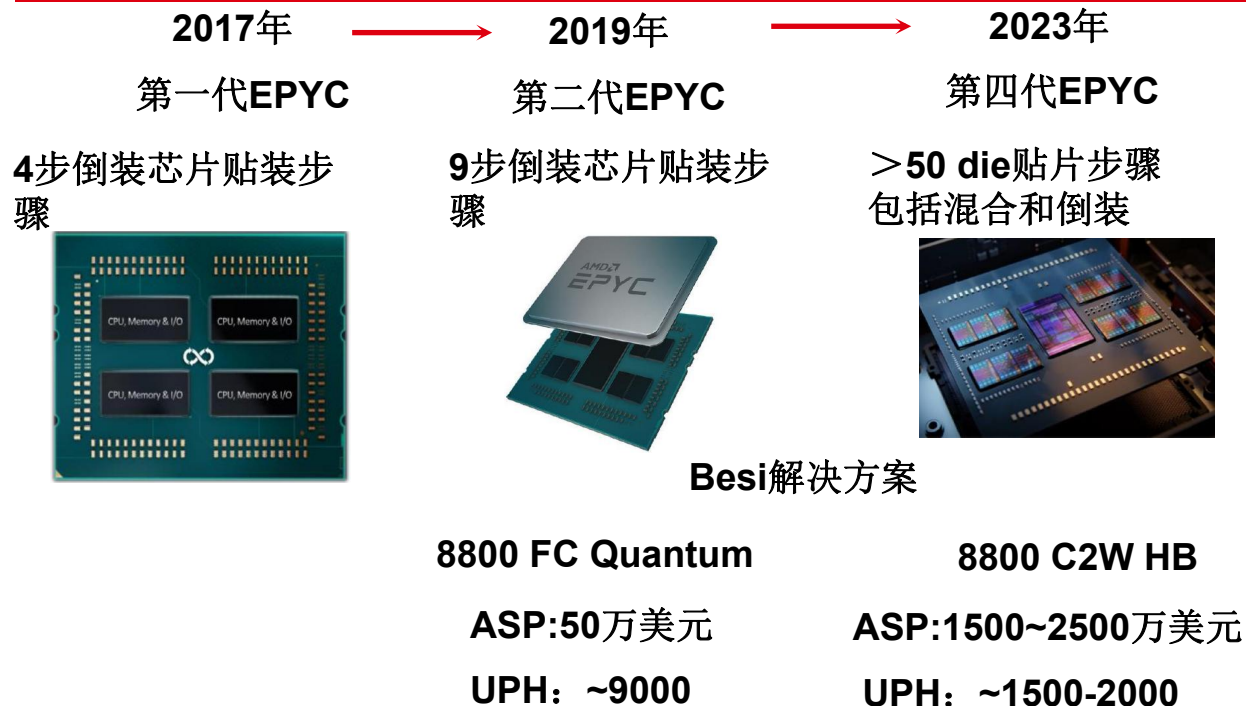


封装设备市场规模

图：2022年全球半导体设备市场各环节占比（%，左）；
2022年半导体封装各类设备占比（%，右）

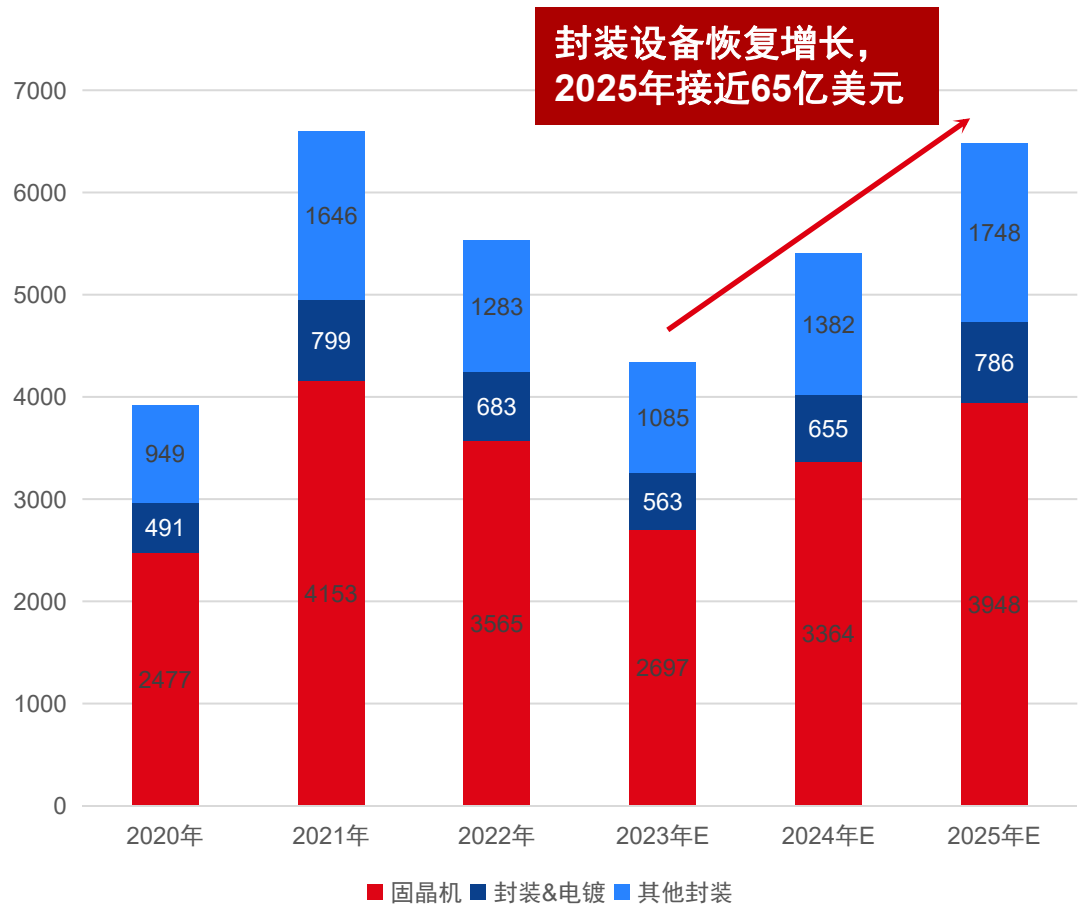


图：Besi 贴片设备价值量随AMD产品升级换代显著提升



- ✓ 2022年全球半导体设备市场规模为1110亿美元，其中前道设备占比88%，封装设备占比5%；
- ✓ 封装设备中引线键合设备、固晶机（Die attach）分别占比22%、23%，合计占比45%；
- ✓ 针对AMD 第四代EPYC产品，大于50颗Die贴片步骤（包括C2W和倒装），设备价值量在1500万~2500万美元

图：2020年~2025年封装设备市场规模（百万美元）



图：2020年~2025年封装设备市场复合增速（%）

CAGR（2020-2025）	
固晶机（贴片机）	13.00%
封装&电镀	9.90%
其他封装	9.80%
合计	10.60%

图：国内固晶机布局情况

公司名称	固晶机布局
华封科技	华封科技是国产高端贴片机的领军企业，华封目前已推出了面向2060W-晶圆级封装贴片机，可适用于info、COWOS、M-Series、EWLB工艺 2060P-倒装晶片封装贴片机，可适用于Flip Chip、MCP、MEMS贴片工艺，该设备具有双轨道多键合头，独立双晶圆台同时处理多种组件 2060M-SIP系统级封装贴片机，支持C2/C4、COS、SIP工艺，且可处理多尺寸晶圆，能实现多种基板传送方式
新益昌	国内LED 固晶机、电容器老化测试智能制造装备领域的领先企业，也在同步积极开拓半导体封装领域及锂电池领域的合作客户。根据公司公告，公司和华为主要在半导体先进封装设备及高清显示设备两个业务板块进行了深度合作。

CMP（化学机械抛光）

- ✓ CMP是先进集成电路制造前道工序、先进封装等环节必须的关键支撑工艺，CMP是在芯片制造制程和工艺演进到一定程度、摩尔定律因没有合适的抛光工艺无法继续推进时才诞生的一项新技术；

- ✓ CMP是目前唯一能兼顾表面全局和局部平坦化的抛光技术。

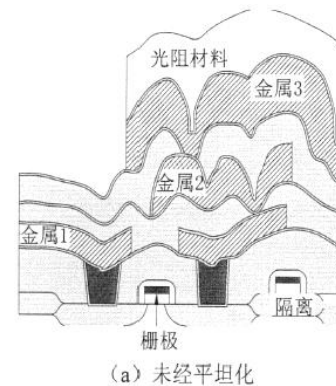
铜互连技术和低k介质

CMP研磨对象是铜互连层、绝缘膜和浅沟槽隔离STI

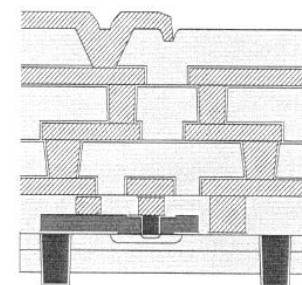
FinFET晶体管

添加虚拟栅平坦化工艺

铜互连低k介质集成CMP工艺是实现后续3D结构刻蚀的关键技术



(a) 未经平坦化



(b) 平坦化后

CMP平坦化效果

0.25um的铝布线
和0.13um后的Cu布线

90~65nm

28nm

22nm

7nm

0.13um节点后Cu布线

CMP重要性凸显
摩尔定律得以推进

逻辑器件晶体管引入高k

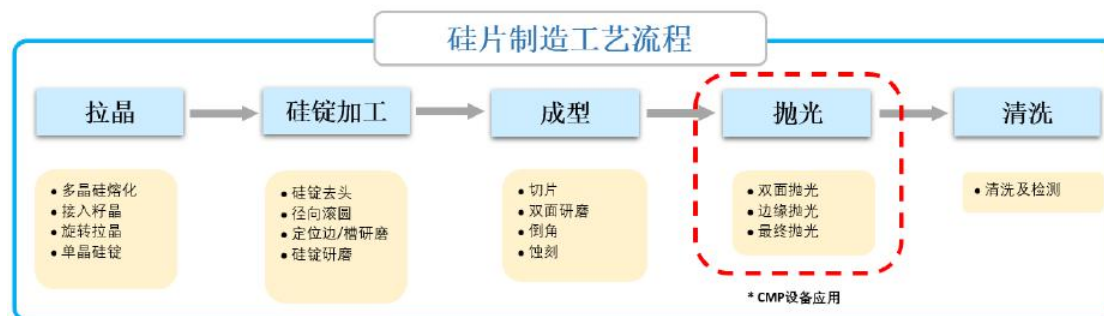
金属栅结构HKMG

虚拟栅开口CMP工艺
替代金属栅CMP工艺

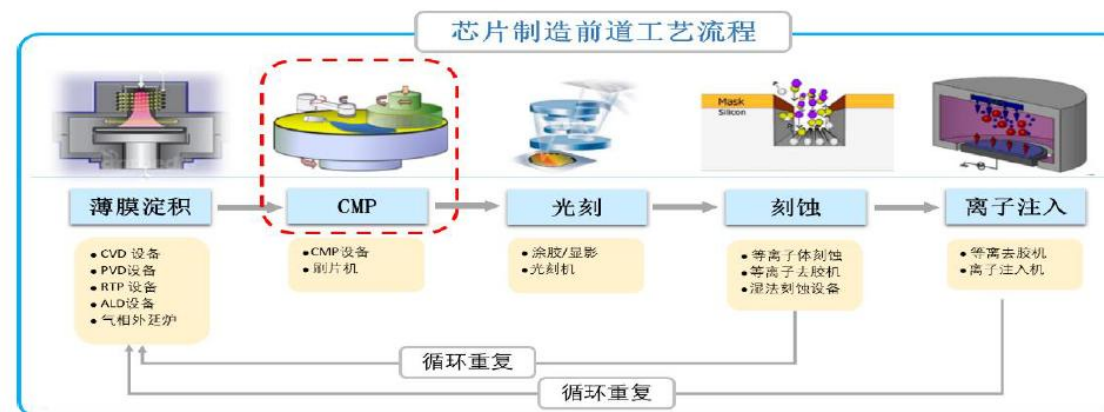
抛光步骤增加至30余步

新增了包含氮化硅 CMP、鳍式多晶硅 CMP、钨金属栅极 CMP等先进CMP技术

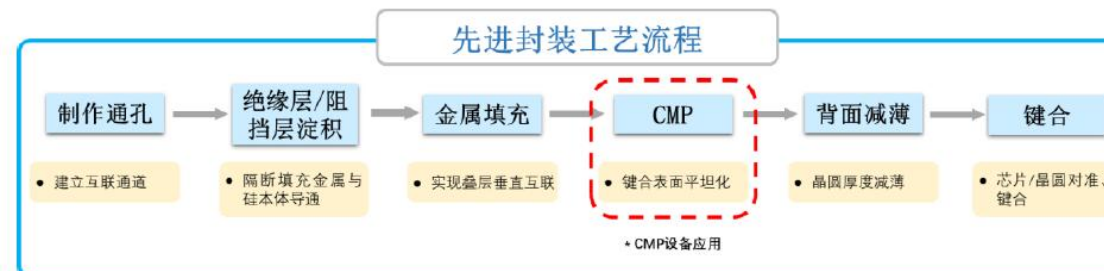
硅片制造领域



芯片制造前道工艺流程

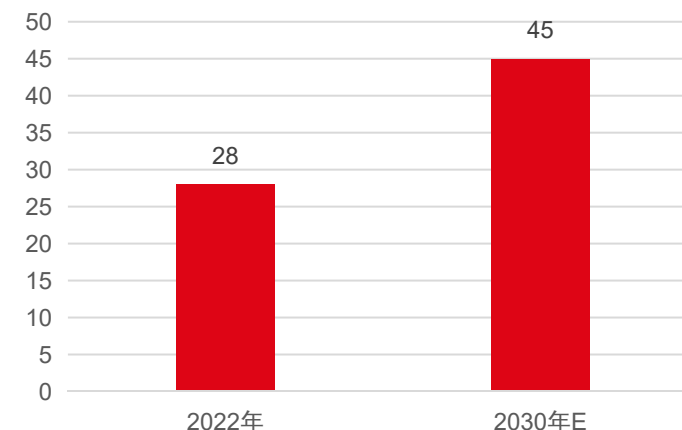


先进封装工艺



先进封装中，TSV/Fan-out/2.5D转接板/3D IC等用到大量的CMP工艺，成为IC制造领域外一个大的需求增长点。

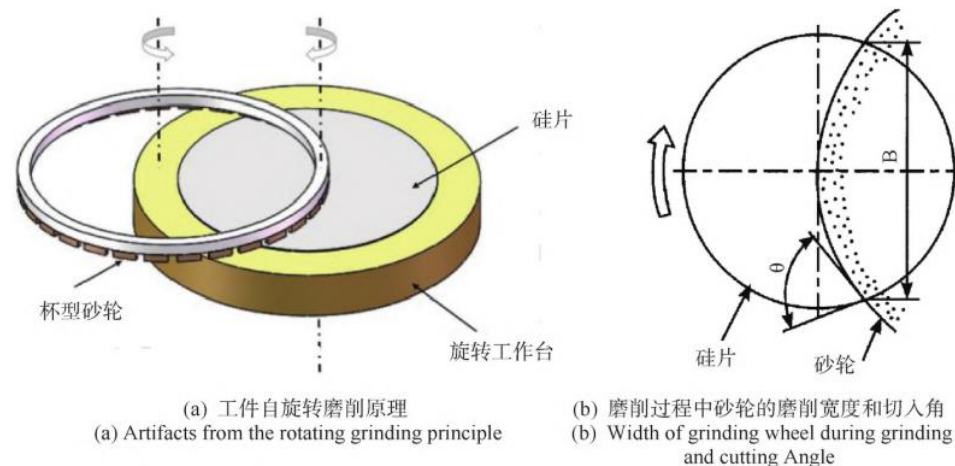
图：全球CMP设备市场规模（亿美元）



- ✓ Researchandmarkets数据显示，2030年全年CMP市场规模达45亿美元，2022年~2030年复合增速CAGR 为6%，其中：
- 预计到2030年中国CMP市场规模为11亿美元，复合增速为9.4%

- ✓ 晶圆减薄能去除晶圆背面多余的基体材料，进而减小芯片封装体积、提高芯片散热效率和电气性能，是实现3D集成电路制造的关键技术之一，例如3D IC中晶圆的键合工艺，减薄是必要的工序；
- ✓ 晶圆在被磨削减薄后需要再经过CMP处理，从而获得表面光滑平整的晶圆。但是当晶圆被减薄到150um以下时，传输搬运成为较大风险，尤其是300mm大尺寸规格晶圆物理特性更脆弱。磨削和CMP设备的集成可以减少晶圆的搬运次数，先进封装中减薄设备正在向集成化、一体化的方向发展；
- ✓ 此前国内先进封装减薄设备基本被国外垄断，日本迪斯科和日本东京精密。2021年9月，华海清科研发的首台12英寸超精密晶圆减薄机Versatile-GP 300正式出机，集精密硅片背面磨削减薄、化学机械抛光、硅片清洗功能于一体的专用硅片减薄设备，可满足集成电路先进制程中的超精密晶圆减薄工艺需求。

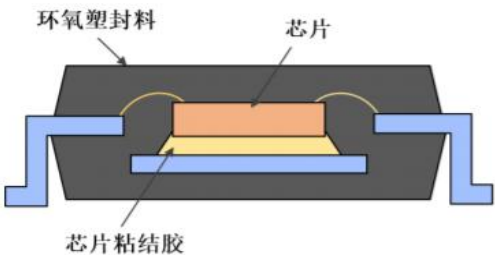
图：2件自旋转磨削（上图）/12英寸超精密晶圆减薄机Versatile-GP 300



LMC成新一代HBM材料

- ✓ 根据《我国集成电路材料专题系列报告》，超90%的集成电路采用环氧塑封料（Epoxy Molding Compound，简称EMC）作为包封材料。
- ✓ 环氧塑封料可分为饼状、片状、颗粒状（GMC）和液态（LMC）四种。其中，饼状环氧塑封料主要用于传统封装，采用传递成型法对芯片实现包封；后三者主要用于先进封装。

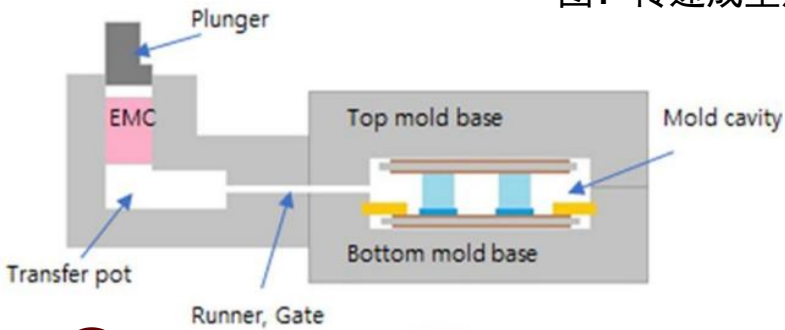
图：环氧塑封料具体应用场景



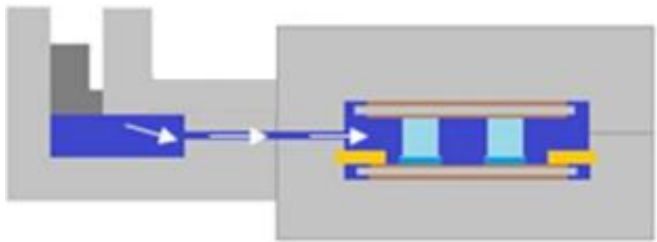
表：四种环氧塑封料情况

类型	实物图	成型方法	封装类型
饼状		传递成型法	传统封装
片状		压缩法	先进封装
颗粒状		压缩法	先进封装
液态		压缩法	先进封装

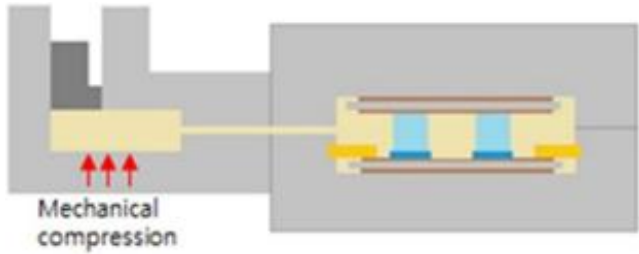
图：传递成型法具体步骤



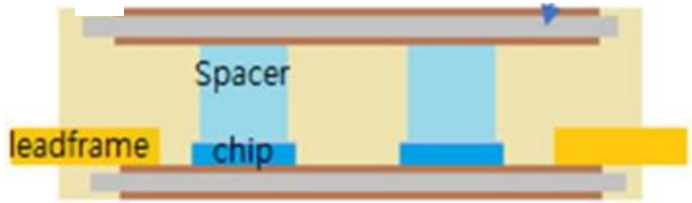
1 投料



2 加热、加压，材料流入模具腔体



3 材料交联固化

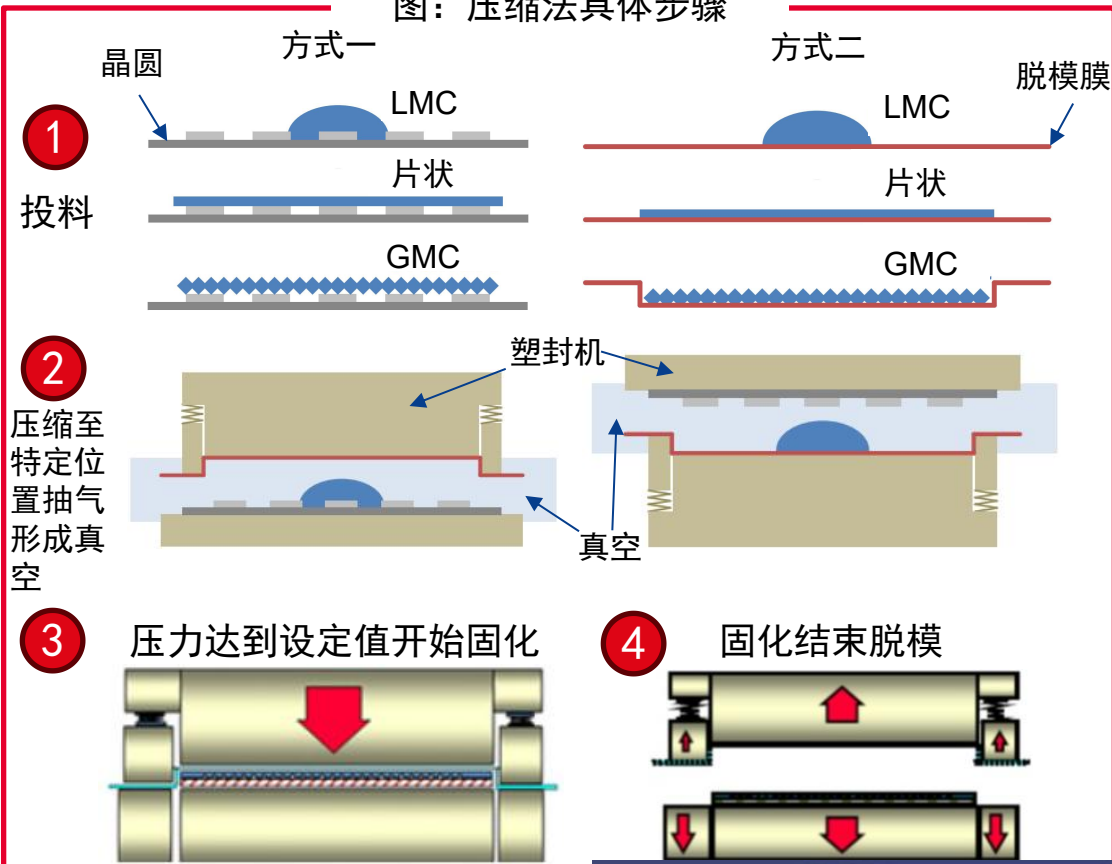


4 成型脱模

LMC成新一代HBM材料

- ✓ 片状、GMC和LMC采用压缩法实现芯片包封。其中GMC具有操作简单、工时较短、成本较低等优势；LMC具备可中低温固化、低吸水率以及高可靠性等优点。
- ✓ LMC可应用于HBM封装中。SK海力士在其HBM3产品上采用了MR-MUF（Mass Reflow-Molded Underfill）技术，大幅提高了散热性能。然而，相比固态EMC，LMC填料含量低。

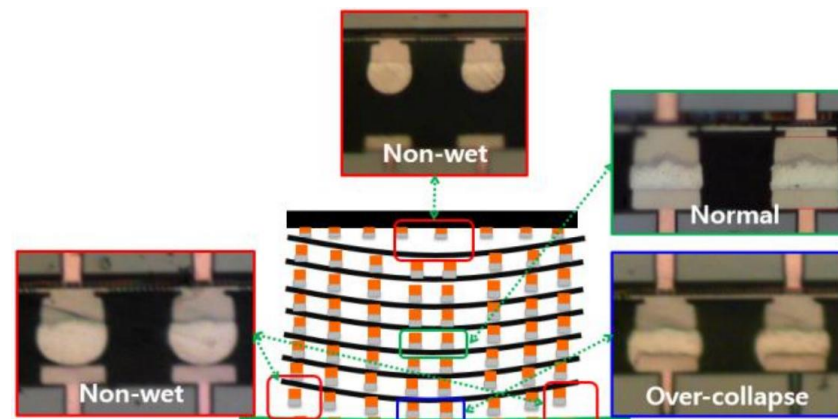
图：压缩法具体步骤



图：MR-MUF具体步骤



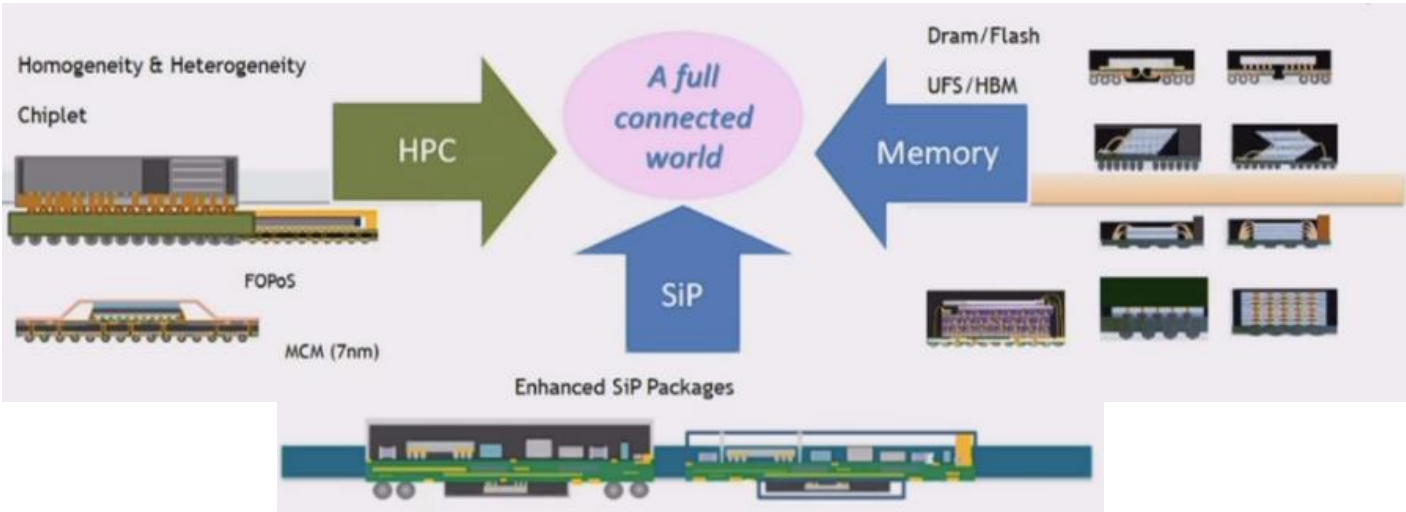
图：HBM堆叠中易出现翘曲问题



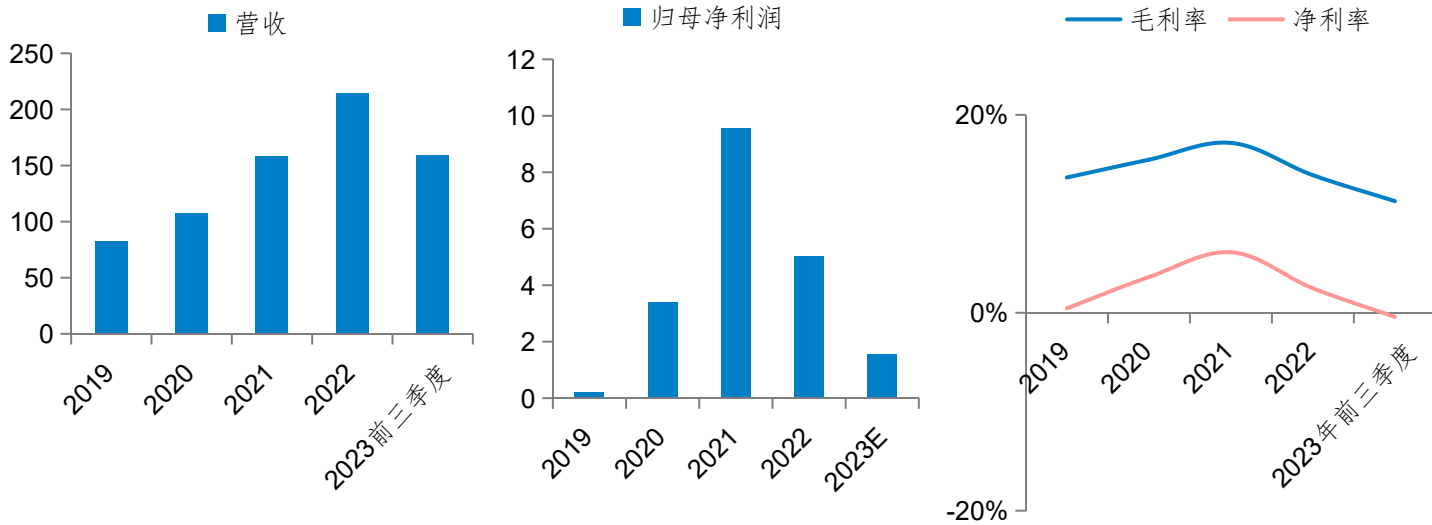
- 01 HBM—突破“内存墙”
- 02 AI算力快速迭代，HBM为最强辅助
- 03 HBM核心—“连接”与“堆叠”，3D混合键合成趋势
- 04 HBM核心设备材料，替代进行时
- 05 相关标的
- 06 风险提示

- ✓ 公司持续开展以超大尺寸FO及2.5D技术为代表的新技术、新产品研发。根据2023年半年报，公司大尺寸FO及2.5D产品开发顺利推进，已进入产品考核阶段；3D低成本技术方案稳步推进，完成工程验证；面向8K高清显示的双面散热COF产品完成开发，进入批量量产阶段；持续推进5/4/3nm新品研发，凭借FCBGA、Chiplet等先进封装技术优势，不断强化与客户的深度合作，满足客户AI算力等方面的需求。
- ✓ 通过并购，公司与AMD形成了“合资+合作”的强强联合模式，建立了紧密的战略合作伙伴关系，双方在客户资源、IP 和技术组合上具有高度互补性，有利于AMD在 5G、数据中心和汽车市场上进一步迈进。公司是AMD最大的封装测试供应商，占其订单总数的80%以上。

图：通富微电VISIONS平台

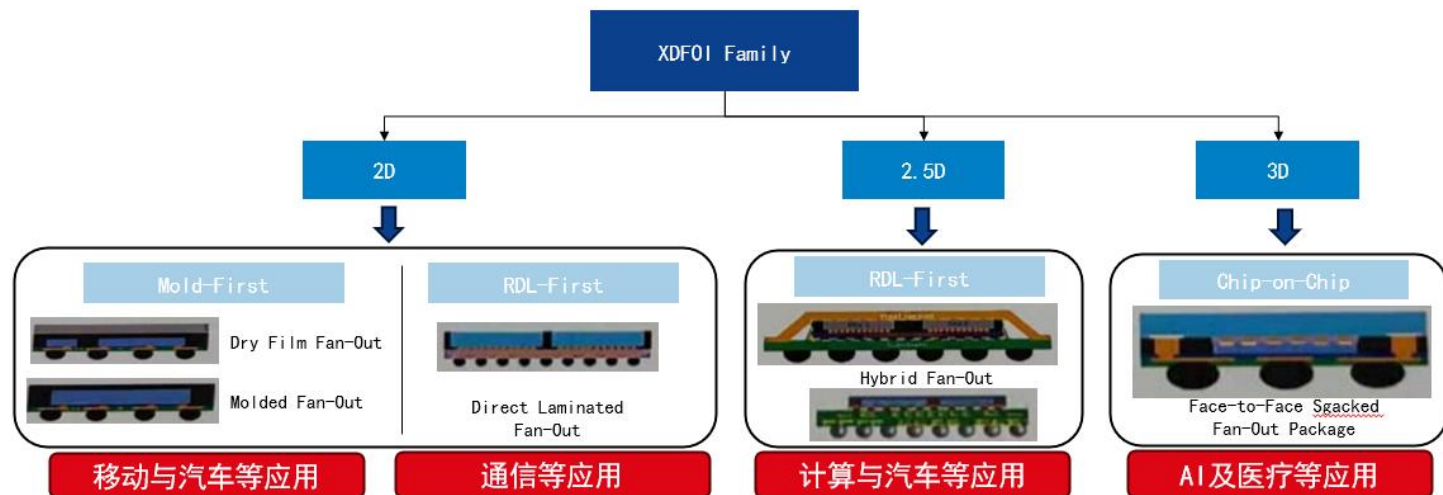


图：历年通富微电财务数据（亿元，%）

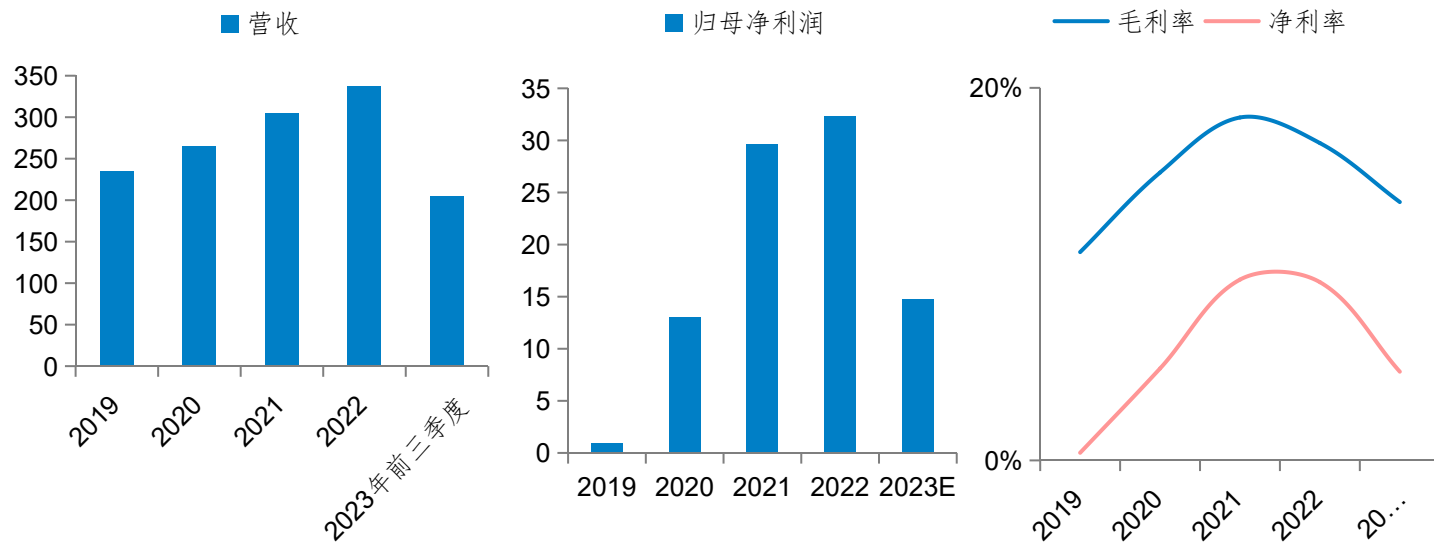


- ✓ 长电科技提供全方位的芯片成品制造一站式服务，包括集成电路的系统集成、设计仿真、技术开发、产品认证、晶圆中测、晶圆级中道封装测试、系统级封装测试、芯片成品测试，在中国、韩国及新加坡拥有两大研发中心和六大集成电路成品生产基地。
- ✓ 长电科技推出XDFOI多维先进封装平台。该平台是一种面向Chiplet极高密度、多扇出型封装高密度异构集成解决方案，其利用协同设计理念实现了芯片成品集成与测试一体化，涵盖2D、2.5D、3D集成技术，能够为客户提供从常规密度到极高密度，从极小尺寸到极大尺寸的一站式服务。其中XDFOI-2.5D是一种新型TSV-less超高密度晶圆级封装技术，因此，其在系统成本、封装尺寸上都具有一定优势。在设计上，该技术可实现3-4层高密度的走线，其线宽/线距最小可达2μm。

图：长电科技XDFOI多维先进封装平台

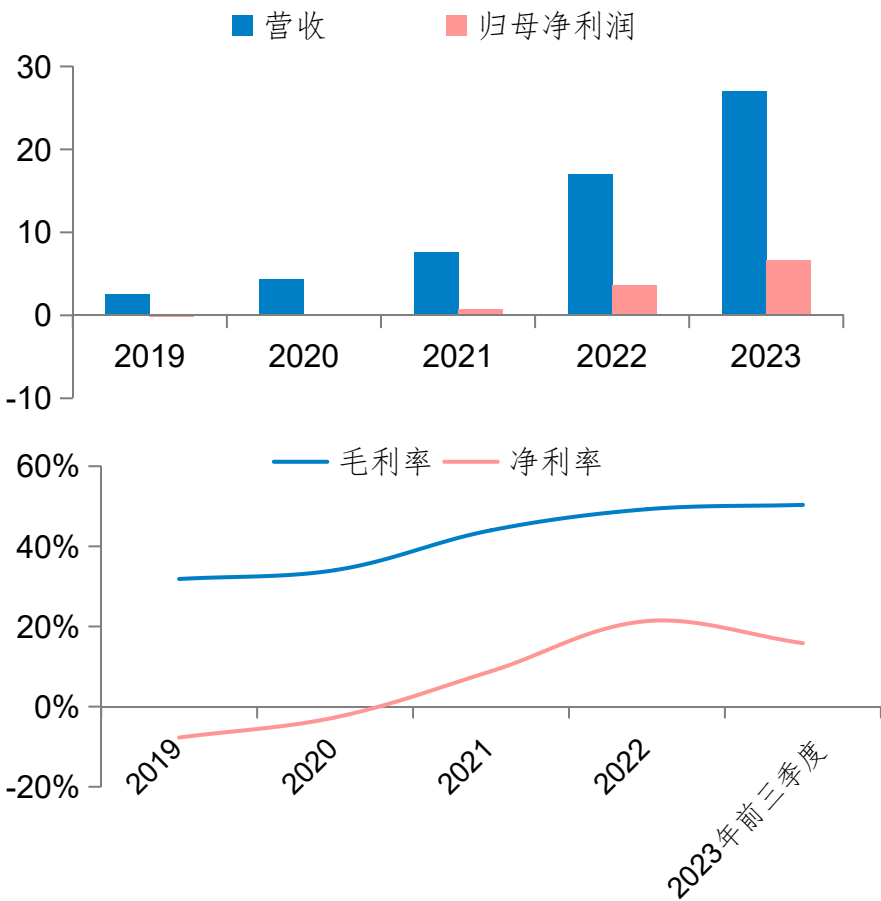


图：历年长电科技财务数据（亿元，%）



✓ 拓荆科技目前已形成PECVD、ALD、SACVD、HDPCVD等薄膜设备产品系列，并推出了应用于晶圆级三维集成领域的混合键合设备产品系列，产品适配28/14nm逻辑芯片、19/17nm DRAM芯片和64/128层 3D NAND制造产线，客户涵盖中芯国际、华虹集团、长江存储、长鑫存储等国内头部厂商。

图：历年拓荆科技财务数据（亿元，%）

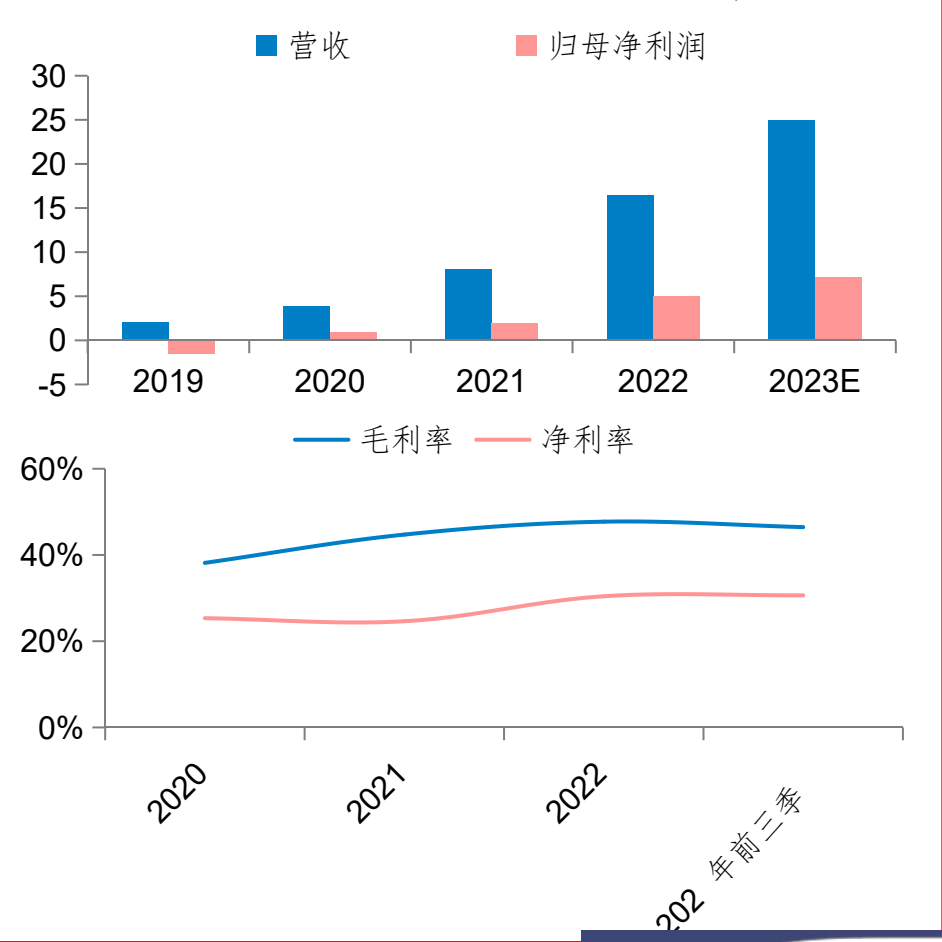


表：拓荆科技产品布局

产品系列	产品类型（主要产品型号）	主要薄膜工艺/主要应用
PECVD	PECVD (PF-300T、PF-300T eX、NF-300H)	SiO2、SiN、TEOS、SiON等通用介质薄膜材料，以及LoK I、LoK II、ACHM等先进介质薄膜材料
	UV Cure (PF-300T Upsilon)	HTN、LoK II等薄膜工艺
ALD	PE-ALD (PF-300T Astra、NF-300H Astra)	SiO2、SiN等多种介质薄膜材料
	Thermal-ALD (PF-300T Altair、TS-300 Altair)	Al2O3等多种金属化合物薄膜材料
SACVD	PF-300T SA	SA TEOS等介质薄膜材料
	PF-300T SAF	BPSG、SAF等介质薄膜材料
HPCVD	PF-300T Hesper	SiO2、FSG、PSG等介质薄膜材料
	TS-300S Hesper	
混合键合	晶圆对晶圆键合 (Dione 300)	晶圆对晶圆常温混合键合和熔融键合
	芯片对晶圆键合表面预处理 (Pollux)	晶圆及切割后芯片的表面活化及清洗

✓ 华海清科产品包括Universal系列CMP设备、Versatile系列减薄设备、HSC系列清洗设备、HSDS/HCDS系列供液系统、膜厚测量设备，以及晶圆再生、关键耗材与维保服务等技术服务，成功打造“装备+服务”的平台化战略布局。公司客户涵盖中芯国际、长江存储、华虹集团、长鑫存储等头部企业。

图：历年华海清科财务数据（亿元，%）



表：华海清科各业务板块进展

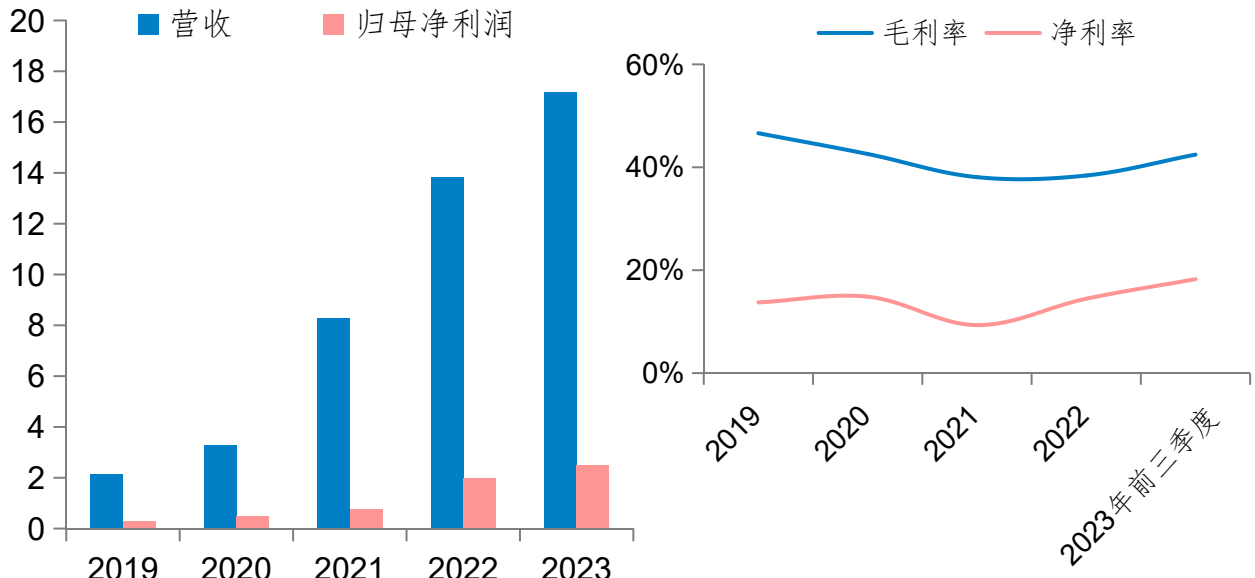
业务板块	进展
CMP设备	①Universal H300机台已完成产品研发和基本工艺性能验证；②面向第三代半导体客户的Universal-150Smart已发往两家第三代半导体客户处验证；③用于先进封装、大硅片领域的CMP设备已批量交付客户大生产线；④兼容6/8英寸、抛光+清洗全自动控制的CMP设备已在头部客户通过验证；⑤面向化合物半导体推出的CMP设备已在SiC、GaN、LN、LT等领域实现市场应用，取得批量销售订单。
减薄设备	基于自身对CMP设备领域的深耕和技术积累，公司前瞻性地创新开发出 Versatile-GP300减薄抛光一体机，主要适用于前道晶圆制造的背面减薄工艺，以满足3D IC对超精密磨削、CMP及清洗的一体化工艺需求，在客户端验证顺利。
清洗设备	公司自主研发的清洗设备已批量用于公司晶圆再生生产，应用于12英寸硅衬底CMP工艺后清洗设备和应用于4/6/8英寸化合物半导体清洗设备已推向相关细分市场。
供液系统	用于湿法工艺设备中研磨液、清洗液等化学品供应的HSDS/HCDS供液系统设备已获得批量采购，已在逻辑、先进封装、MEMS等国内集成电路客户实现应用。
膜厚测量设备	应用于Cu、Al、W、Co等金属制程的薄膜厚度测量设备FTM-M300已发往多家客户验证，测量精度高、结果可靠、准确，已实现小批量出货。
晶圆再生业务	公司目前已成为具备Fab装备及工艺技术服务的晶圆再生专业代工厂。根据2023年半年报，公司晶圆再生产能已经达到10万片/月，厂区Cu/Non Cu两条产线所有隔离工作已经全部完成，公司在国内知名大厂均已完成Demo验证工作，获得多家大生产线批量订单并实现长期稳定供货。
关键耗材与维保服务	在7区抛光头维保服务的基础上，公司持续开展7区抛光头关键耗材的多元化开发及验证，在客户大生产线推广顺利。

- ✓ 芯源微产品包括光刻工序涂胶显影设备和单片式湿法设备，可广泛应用于前道晶圆加工领域、后道先进封装领域以及化合物、MEMS、LED 等小尺寸芯片制造领域。
- ✓ 公司作为国内唯一提供量产型前道涂胶显影机的厂商，目前已完成在前道晶圆加工环节28nm及以上工艺节点的全覆盖。根据2023年半年报，公司浸没式涂胶显影机客户端导入进展良好，超高温烘烤Barc设备已实现客户重复订单；应用于其他旋涂类工艺的SOC设备实现了客户端导入。

图：芯源微产品布局



图：历年芯源微财务数据（亿元，%）

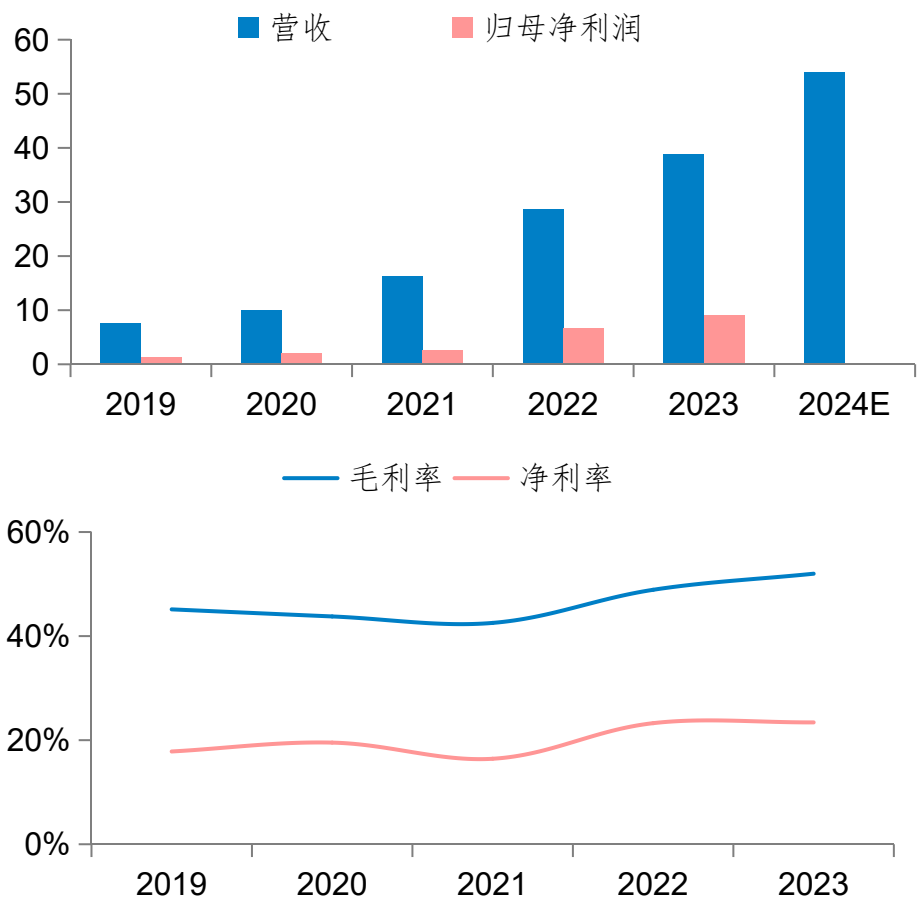


表：芯源微前道涂胶显影设备相关技术

技术名称	技术先进性
光刻工艺胶膜均匀涂敷技术	28nm及以上技术节点，达到国际先进水平
精细化显影技术	28nm及以上技术节点，达到国际先进水平
高产能设备架构及机械手优化调度技术	第三代高产能架构已达到国际先进水平
内部微环境精确控制技术	28nm及以上技术节点，公司颗粒控制指标达到国际先进水平
光刻机联机调度技术	达到与全球主流光刻机Inline联机量产能力
超高温与超高精度烘烤固化技术	28nm及以上技术节点，达到国际先进水平
自动光学缺陷检测技术	28nm及以上技术节点，通过客户验证，达到量产运用能力

✓ 盛美上海掌握了SAPS兆声波清洗技术、无应力抛光技术等多项核心技术，成功研发出单晶圆及槽式湿法清洗设备、电镀设备、无应力抛光设备、立式炉管设备和前道涂胶显影设备和等离子体增强化学气相沉积设备等多种设备，并致力于为半导体制造商提供定制化、高性能、低消耗的工艺解决方案。

图：历年盛美上海财务数据（亿元，%）

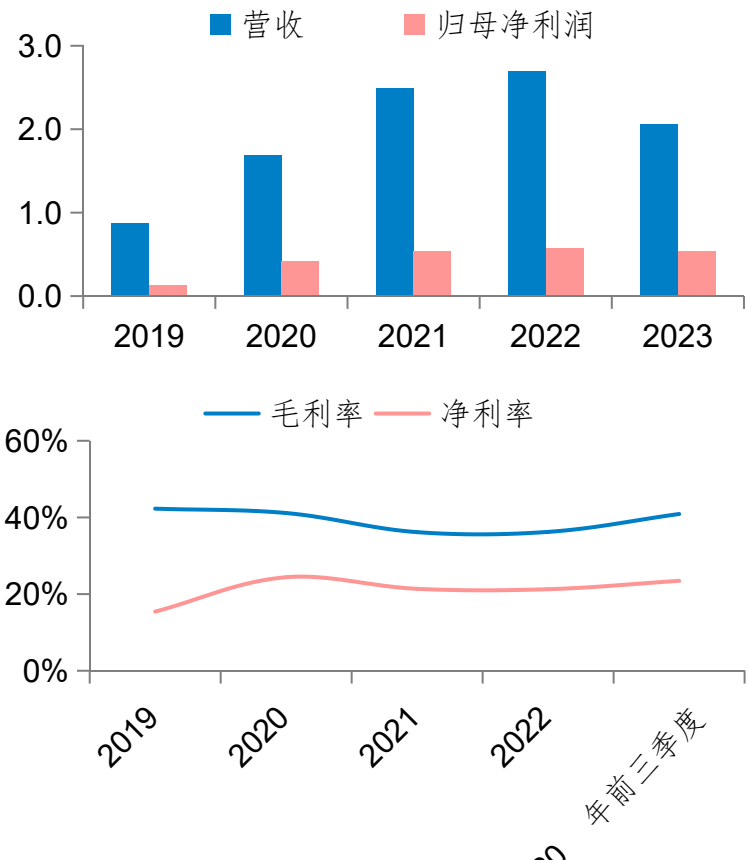


表：盛美上海产品布局

板块	相关产品		板块	相关产品
前道半导体工艺设备	清洗设备	SAPS兆声波单片清洗设备	前道半导体工艺设备	前道涂胶显影Track设备
		TEBO兆声波单片清洗设备		等离子体增强化学气相沉积PECVD设备
		高温单片SPM设备		无应力铜互连平坦化设备
		单片槽式组合清洗设备		新型化合物半导体湿法工艺产品线
		单片背面清洗设备	后道先进封装工艺设备	先进封装电镀设备
		边缘湿法刻蚀设备		涂胶设备
		前道刷洗设备		显影设备
		全自动槽式清洗设备		湿法刻蚀设备、湿法去胶设备
	半导体电镀设备	前道铜互连电镀铜设备	硅材料衬底制造工艺设备	金属剥离设备
		三维堆叠电镀设备		无应力抛光先进封装平坦化设备
		新型化合物半导体电镀设备		化学机械研磨后（Post-CMP）清洗设备
	立式炉管系列设备	LPCVD、氧化炉、扩散炉和炉管ALD		Final Clean清洗设备

- ✓ 耐科装备主要产品为应用于半导体封装及塑料挤出成型领域的智能制造装备，具体为半导体封装设备及模具、塑料挤出成型模具、挤出成型装置及下游设备。境内市场销售主要是半导体封装设备及模具，后三种设备主要销往境外市场。
- ✓ 半导体封装设备产品主要为半导体全自动塑料封装设备、半导体全自动切筋成型设备，主要应用于半导体产品后道关键工序的塑装工艺，客户涵盖通富微电、华天科技、长电科技等头部半导体封装企业。

图：历年耐科装备财务数据（亿元，%）

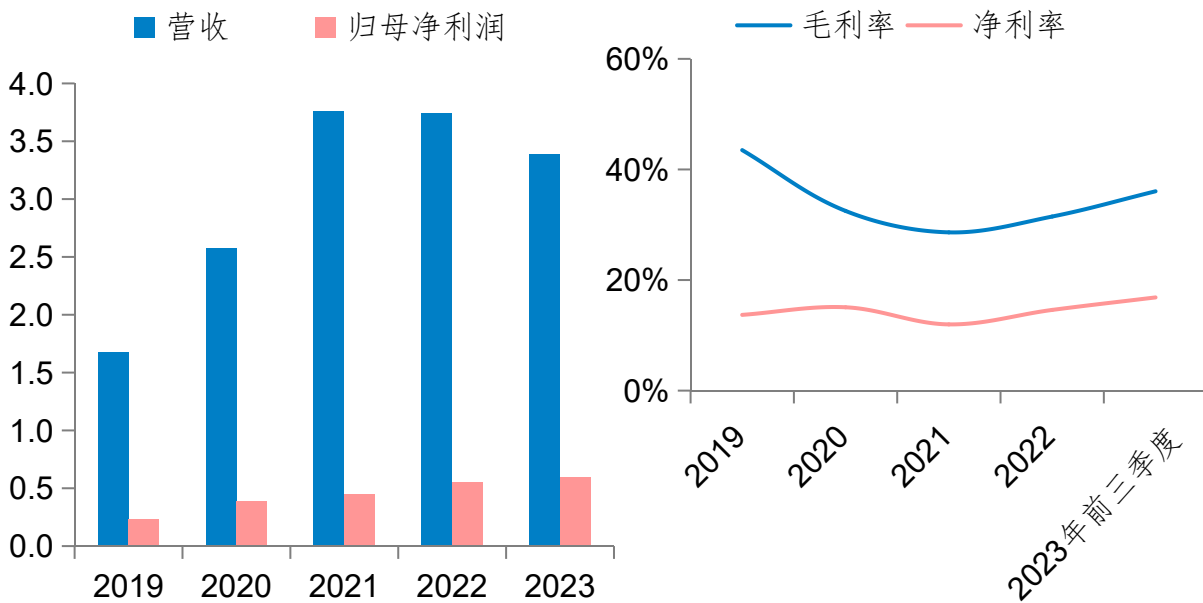


表：耐科装备半导体封装设备及模具产品主要功能

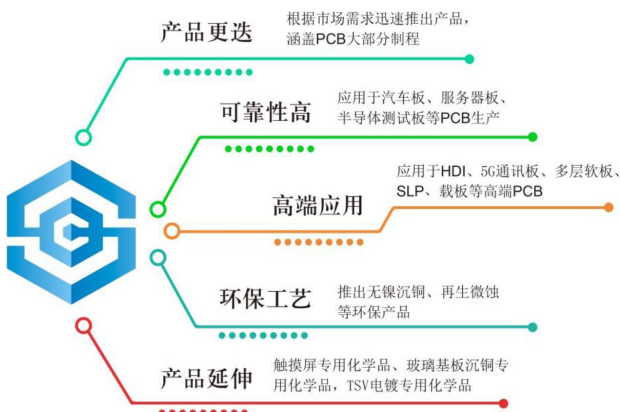
类型	产品	主要功能
半导体封装设备	半导体全自动封装设备（120吨、180吨）	主要用于集成电路及分立器件的塑料封装，系统集成了运送框架、上树脂料、预热、装料、合模、注塑、开模、清模、去胶、收料等多道工序，集成在线检测和计算机控制对生产异常自动识别和纠偏的全自动封装设备，大大提高了封装效率和封装质量。
	半导体全自动切筋成型设备（模块组合式）	将塑料封装后的产品从引线框架上切断引脚并根据需要打成一定形状的自动化设备。全自动切筋成型设备包含上料单元、冲切单元、分离单元、收纳单元等不同功能单元集成在线检测和计算机控制对生产异常自动识别和纠偏的全自动切筋成型系统，实现产品的切筋、成型、分离和装管（散装、装盘）等功能。
	半导体自动切筋成型设备（一体式）	专门针对塑料封装后的T0系列和DIP系列产品从引线框架上切断引脚并根据需要打成一定形状的自动化设备，内置在线检测和计算机控制对生产异常自动识别和纠偏的全自动T0和DIP系列的切筋成型装置，可实现该类产品的切筋成型、分离、装管（散装、装盘）等功能
	半导体塑料封装压机（450吨、250吨）	主要用于集成电路、分立器件及LED基板的液压驱动的塑料封装。采用伺服液压泵能动态实时对成型压力作补偿修正，成型温度采用PID控制技术准确控制模具成型温度。
半导体封装模具	半导体封装AUTO模具	主要用于集成电路及分立器件的塑料封装，适用于高密度、高品质要求的封装品种。
	半导体封装切筋成型模具	主要功能为将送入模具的条带依次进行冲废塑、切筋、预成型、成型、预切等，内置的在线检测装置可实时检测产品成型状态，并最终将产品从条带上分离出单个成品。
	半导体封装MGP模具	主要用于集成电路及分立器件的塑料封装，其主要特点是浇注系统实现近距离填充，塑料封装工艺性好，树脂利用率较高；模盒采用快换结构，使用维护方便；可满足单缸模无法封装的矩阵式多排引线框架封装，使封装同一品种每模腔位数提高，产品单位成本降低。

- ✓ 公司专注于PCB功能性湿电子化学品，产品包括水平沉铜专用化学品、电镀专用化学品、铜面处理专用化学品、SAP孔金属化专用化学品（ABF载板除胶沉铜）等，应用于沉铜、电镀、棕化、粗化、微蚀、化学沉锡等生产环节。
- ✓ 水平沉铜专用化学品是公司最主要营收来源，2022年营收占比为75.48%。公司成功打造四大系列水平沉铜专用化学品，具有优异的盲孔处理能力、高可靠性等优势。
- ✓ 封装基板方面，根据公司2023年10月投资者调研纪要，公司表示2024年载板专用电子化学品销售额预计将有明显提升。BT载板部分仍保持稳定增长，ABF载板部分会在2024年上量。公司ABF载板的核心功能性湿电子化学品已陆续通过客户的认证。在FC-BGA领域，公司目前与各大客户的样品打样测试正有序进行，和国际巨头安美特等公司处于同一起跑线。

图：历年天承科技财务数据（亿元，%）

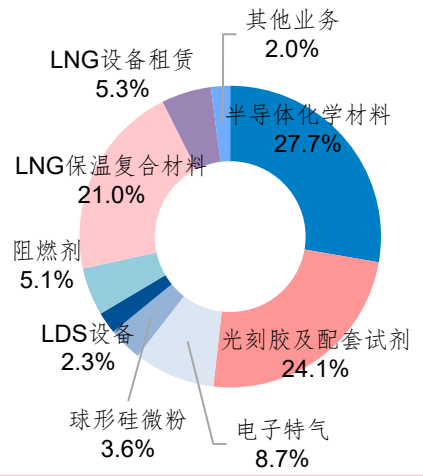


图：天承科技产品特点



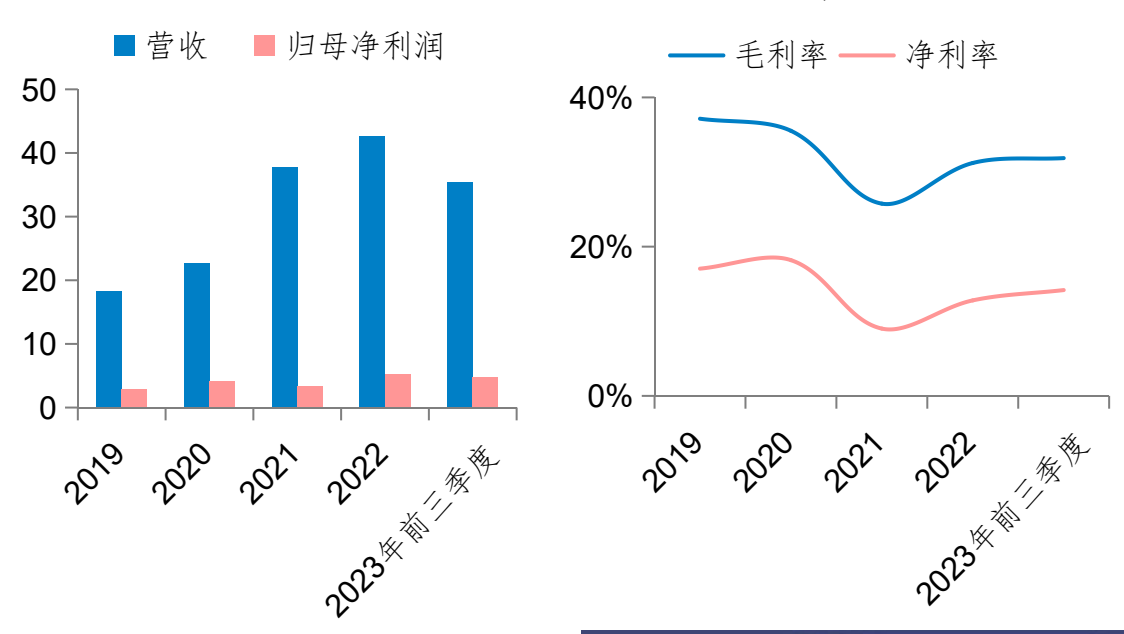
表：天承科技产品具体应用

PCB工艺类别	具体工艺	公司产品
孔金属化	水平沉铜、垂直沉铜等	水平沉铜专用化学品、垂直沉铜专用化学品
电镀工艺	电镀铜、电镀锡等	电镀专用化学品
表面处理	玉合前处理（棕化、黑化）、内外层线路前处理（粗化、超粗化、微蚀）、线路图形（显影、蚀刻、退膜）等	铜面处理专用化学品、棕化专用化学品、光阻去除剂



- ✓ 公司现有电子材料、LNG保温绝热板材和阻燃剂三大业务板块，其中电子材料业务包括前驱体材料、光刻胶及配套试剂、电子特气、球形硅微粉和LDS设备。2023年电子材料业务营收占比为66.47%。
- ✓ 光刻胶及配套试剂：公司积极实现面板用光刻胶全产品线覆盖，已为三星电子、LG Display、京东方、华星光电、惠科等厂商批量供应产品。OLED用低温RGB光刻胶、CNT防静电材料已正式量产；CMOS传感器用RGB光刻胶、先进封装RDL层用I-Line光刻胶等产品正按计划在客户端测试，半导体制程光刻胶及SOC材料研发工作稳步进行，并有产品进入测试导入阶段。
- ✓ 前驱体材料：公司产品在DRAM可以满足全球最先进存储芯片制程1b、200X层以上NAND、逻辑芯片3nm的量产供应。

图：历年雅克科技财务数据（亿元，%）

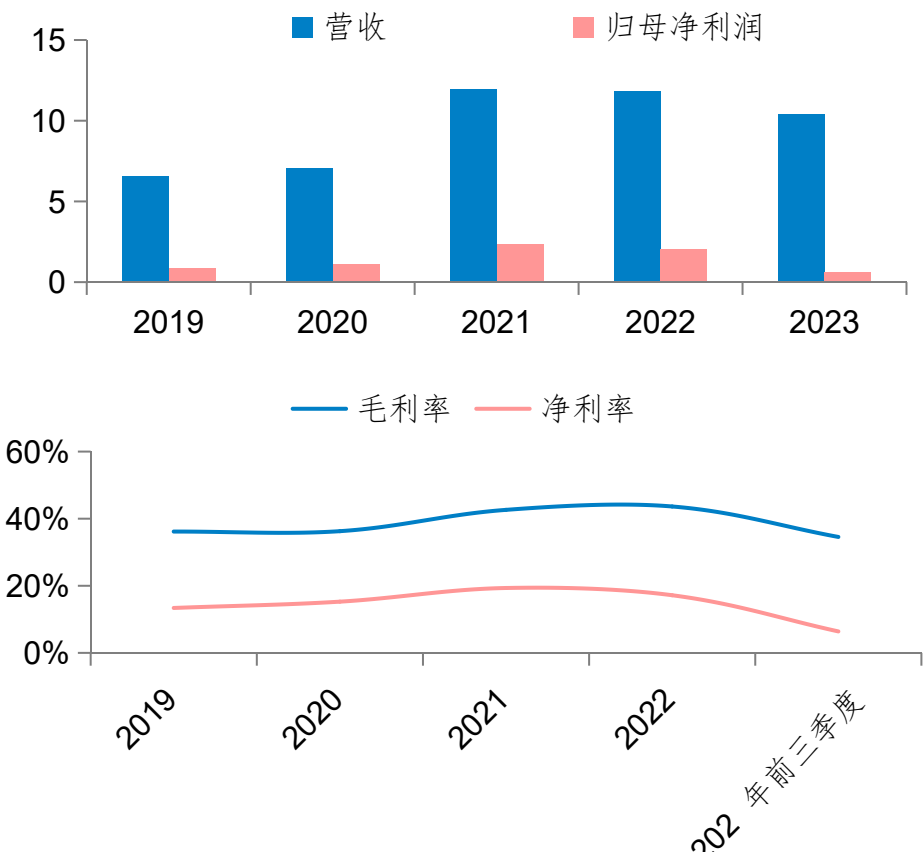


表：公司各业务具体情况

业务板块		具体情况
电子材料	前驱体材料	公司前驱体材料覆盖硅类前驱体、High-K 前驱体、金属前驱体，成熟产品，在国际领先的半导体客户实现量产供应多年，完全满足国内所有技术节点的客户需求，主流产品国内进入放量阶段，产品销量和竞争力稳居市场前列。
	光刻胶及配套试剂	公司光刻胶产品主要包括面板用正性TFT光刻胶、RGB彩色光刻胶、CNT 防静电材料以及光刻胶配套试剂。
	电子特气	公司电子特气业务主要通过全资子公司科美特进行，主要包括含氟类特种气体的研发、生产、提纯与销售，主要产品为六氟化硫和四氟化碳。持续台积电、三星电子、Intel、中芯国际、海力士、京东方等业内头部企业稳定批量供应产品。
	球形硅微粉	公司球形氧化铝等产品已经开始向客户稳定供货，反馈良好，亚微米球形二氧化硅研发完成，并向部分客户进行销售，其他新材料的研发也在按计划推进中。
	LDS设备	已实现对包括长江存储、中芯国际、合肥长鑫和上海华虹等国内主流集成电路生产商的批量供应
	LNG保温绝热板材	公司是目前国内唯一一家通过 GTT 和船级社认证的 LNG 保温绝热板材供应商。
阻燃剂		滨海雅克三氯氧磷、三氯化磷以及TPP阻燃剂生产、销售情况逐步恢复，其他阻燃剂产品仍在调试中。

- ✓ 新益昌是国内领先的LED和半导体固晶机综合解决方案提供商，在电容器老化测试设备方面亦具有领先优势。
- ✓ 在半导体设备领域，公司主要提供固晶设备和焊线设备两大产品。公司半导体固晶设备近年来客户导入顺利，业务收入快速增长；此外，公司通过收购开玖自动化，积极进入半导体焊线设备市场，实现固晶与焊线设备的协同销售，有效扩展公司在封测流程中的产品应用和市场空间，助力公司未来多元化成长。

图：历年新益昌财务数据（亿元，%）



表：新益昌半导体设备产品特点及优势

产品	产品特点及优势
全自动平面贴片固晶机 (HAD812系列)	适用半导体封装领域，采用双点胶、全自动叠料兼容料盒进出技术，配备高速高精度邦头，稳定提升固晶效率，产能 (UPH) 18K/H，精度 ±20um、θ：±1°。
连线机 (HAD220/812/816-DDCO)	适用于功率器件封装，实现了产品从框架裸片进料、点胶、固晶、固跳线、回流焊接一系列工艺的自动化操作，有效提升产品良率及一致性，降低人工成本并提高生产效率。
全自动多维引线焊线机 (K940-P)	适用于半导体激光二极管封装，在光通讯领域（如2.5G、10G、25G光模块元器件）和激光显示领域应用广泛。卓越的焊头结构系统：XY工作台采用直线电机驱动；系统核心部件采用成熟稳定的摆动式音圈焊头及其运动控制；焊头定位采用德国HEIDNHAIN 高达72nm分辨率光栅系统。视觉系统：2.3倍支持自动变焦；两种LED照明光源、支持同轴与侧面照明；图像识别多元化识别系统、采用灰度与形状两种模式精确识别。
粗铝丝压焊机 (K530)	适用于半导体功率器件引线键合（TO-220、TO-263、TO-252、TO-247、TO-3P等功率半导体器件的引线键合，兼容单排、双排产品，可根据产品需求定制4排夹具）。全光栅位置反馈，定位精度0.5um；XYZ三轴和压力调节均采用线性直驱电机，精度高、速度快、耐磨损，直驱电机不需要机械传动装置，长期使用后不会产生机械间隙，可大大延长设备使用寿命。特有的焊接质量监控系统，对焊接过程中铝丝形变、超声功率、阻抗、电压电流、相位等参数进行实时跟踪，并采用模板匹配法对焊接质量进行实时判断，确保焊接品质稳定可靠。

- ◆ **行业与市场波动风险：**全球半导体行业具有技术呈周期性发展和市场呈周期性波动特点。同时，受国内外政治、经济因素影响，如市场需求低迷、产品竞争激烈，将会影响相关产品需求和价格进而影响行业发展。
- ◆ **国际贸易摩擦风险：**伴随全球产业格局深度调整，国际贸易摩擦不断，集成电路产业成为贸易冲突的重点领域，也对中国相关产业的发展造成了客观不利影响。2022年8月以来，美国推出多项贸易管制政策通过限制产品、设备以及技术等项目的出口以限制中国半导体行业的发展。
- ◆ **新技术、新工艺、新产品无法如期产业化风险：**半导体材料行业属于技术密集型行业，需要紧跟整个行业的发展趋势，及时、高效地研究开发符合市场和客户需求的新技术、新工艺及新产品并实现产业化。如果在技术研发上出现一些波折，不能及时加大资本投入进行新技术的研发，或不能及时购入先进设备研制生产更先进的材料产品，将面临新技术、新工艺、新产品无法如期产业化风险。
- ◆ **产能扩张进度不及预期风险：**HBM产品突破难度系数较大，国内厂商升级存在制程瓶颈，可能存在扩产进度低于预期等风险。半导体设备环节受下游资本开支影响，若代工厂稼动率低于预期，则设备材料端存在低于预期风险。
- ◆ **行业竞争加剧风险：**随着国产半导体设备与材料公司业务相互渗透，行业竞争格局预计会有所加剧，从而影响国内设备材料企业盈利能力。

华金电子-走进“芯”时代系列深度报告

- 1、芯时代之一_半导体重磅深度《新兴技术共振进口替代，迎来全产业链投资机会》
- 2、芯时代之二_深度纪要《国产芯投资机会暨权威专家电话会》
- 3、芯时代之三_深度纪要《半导体分析和投资策略电话会》
- 4、芯时代之四_市场首篇模拟IC深度《下游应用增量不断，模拟 IC加速发展》
- 5、芯时代之五_存储器深度《存储产业链战略升级，开启国产替代“芯”篇章》
- 6、芯时代之六_功率半导体深度《功率半导体处黄金赛道，迎进口替代良机》
- 7、芯时代之七_半导体材料深度《铸行业发展基石，迎进口替代契机》
- 8、芯时代之八_深度纪要《功率半导体重磅专家交流电话会》
- 9、芯时代之九_半导体设备深度《进口替代促景气度提升，设备长期发展明朗》
- 10、芯时代之十_3D/新器件《先进封装和新器件，续写集成电路新篇章》
- 11、芯时代之十一_IC载板和SLP《IC载板及SLP，集成提升的板级贡献》
- 12、芯时代之十二_智能处理器《人工智能助力，国产芯有望“换”道超车》
- 13、芯时代之十三_封测《先进封装大势所趋，国家战略助推成长》
- 14、芯时代之十四_大硅片《供需缺口持续，国产化蓄势待发》
- 15、芯时代之十五_化合物《下一代半导体材料，5G助力市场成长》
- 16、芯时代之十六_制造《国产替代加速，拉动全产业链发展》
- 17、芯时代之十七_北方华创《双结构化持建机遇，由大做强倍显张力》
- 18、芯时代之十八_斯达半导体《铸IGBT功率基石，创多领域市场契机》
- 19、芯时代之十九_功率半导体深度②《产业链逐步成熟，功率器件迎黄金发展期》
- 20、芯时代之二十_汇顶科技《光电传感创新领跑，多维布局引领未来》
- 21、芯时代之二十一_华润微《功率半导体专芯致志，特色工艺术业专攻》
- 22、芯时代之二十二_大硅片*重磅深度《半导体材料第一蓝海，硅片融合工艺创新》
- 23、芯时代之二十三_卓胜微《5G赛道射频芯片龙头，国产替代正当时》
- 24、芯时代之二十四_沪硅产业《硅片“芯”材蓄势待发，商用量产空间广阔》
- 25、芯时代之二十五_韦尔股份《光电传感稳创领先，系统方案展创宏图》
- 26、芯时代之二十六_中环股份《半导体硅片厚薄兼备，特色赛道持续拓展》
- 27、芯时代之二十七_射频芯片《射频芯片千亿空间，国产替代曙光乍现》
- 28、芯时代之二十八_中芯国际《代工龙头创领升级，产业联动芯火燎原》
- 29、芯时代之二十九_寒武纪《AI芯片国内龙头，高研发投入前景可期》
- 30、芯时代之三十_芯朋微《国产电源IC十年磨一剑，铸就国内升级替代》
- 31、芯时代之三十一_射频PA《射频PA革新不止，万物互联广袤无限》
- 32、芯时代之三十二_中微公司《国内半导体刻蚀巨头，迈内生&外延平台化》
- 33、芯时代之三十三_芯原股份《国内IP龙头厂商，推动SiPaaS模式发展》
- 34、芯时代之三十四_模拟IC深度PPT《模拟IC黄金赛道，本土配套渐入佳境》
- 35、芯时代之三十五_芯海科技《高精度测量ADC+MCU+AI,切入蓝海赛道超芯星》
- 36、芯时代之三十六_功率&化合物深度《扩容&替代提速，化合物布局长远》
- 37、芯时代之三十七_恒玄科技《专注智能音频SoC芯片，迎行业风口快速发展》
- 38、芯时代之三十八_和而泰《从高端到更高端，芯平台创新格局》
- 39、芯时代之三十九_家电芯深度PPT《家电芯配套渐完善,增存量机遇筑蓝海》
- 40、芯时代之四十_前道设备PPT深度《2021年国产前道设备，再迎新黄金时代》
- 41、芯时代之四十一_力芯微《专注电源管理芯片，内生外延拓展产品线》
- 42、芯时代之四十二_复旦微电《国产FPGA领先企业，高技术壁垒铸就护城河》
- 43、芯时代之四十三_显示驱动深度PPT《显示驱动芯—面板国产化最后1公里》
- 44、芯时代之四十四_艾为电子《数模混合设计专家，持续迭代拓展产品线》
- 45、芯时代之四十五_紫光国微《特种与安全两翼齐飞，公司步入快速发展阶段》
- 46、芯时代之四十六_新能源芯*PPT深度《乘碳中和之风，基础元件腾飞》
- 47、芯时代之四十七_AIoT *PPT深度《AIoT大时代，SoC厂商加速发展》
- 48、芯时代之四十八_铂科新材《双碳助力发展，GPU新应用构建二次成长曲线》
- 49、芯时代之四十九_AI芯片《AI领强算力时代，GPU启新场景落地》
- 50、芯时代之五十_江海股份《乘“碳中和”之风，老牌企业三大电容全面发力》
- 51、芯时代之五十一_智能电动车1000页PPT（多行业协同）《智能电动车★投研大全》
- 52、芯时代之五十二_瑞芯微PPT深度《迈入全球准一线梯队，新硬件十年前景可期》

53、芯时代之五十三_峰昭科技《专注BLDC电机驱动控制芯片，三大核心技术引领成长》

54、芯时代之五十四_纳芯微《专注高端模拟IC，致力国内领先车规级半导体供应商》

55、芯时代之五十五_晶晨股份《核心技术为躯，全球开拓为翼》

56、芯时代之五十六_国微&复微《紫光国微与复旦微的全面对比分析》

57、芯时代之五十七_国产算力SoC《算力大时代，处理器SoC厂商综合对比》

58、芯时代之五十八_高能模拟芯《高性能模拟替代渐入深水区，工业汽车重点突破》

59、芯时代之五十九_南芯科技《电荷泵翹楚拓矩阵蓝图，通用产品力屡复制成功》

60、芯时代之六十_AI算力GPU《AI产业化再加速，智能大时代已开启》

61、芯时代之六十一_瑞芯微②深度《人工智能再加速，AIoT SoC龙头多点开花》

62、芯时代之六十二_华峰测控《技术/产品为基石，SoC/模数/功率测试机助拓全球市场》

63、芯时代之六十三_裕太微《以太网PHY芯片稀缺标的，国产化渗透初期前景广阔》

64、芯时代之六十四_华虹公司《立足成熟制程，“特色IC+功率器件”代工龙头底部加码12寸》

65、芯时代之六十五_汇顶科技《指纹&触控保持市场领先，新品营收逐步起量》

66、芯时代之六十六_中科蓝讯《产品结构升级&品牌客户突破，八大产品线拓未来》

67、芯时代之六十七_2.5D/3D封装PPT《技术发展引领产业变革，向高密度封装时代迈进》

68、芯时代之六十八_显示驱动芯片PPT《显示驱动芯片——面板国产化最后一公里》

69、芯时代之六十九_菱电电控《双转战略促量价齐升逻辑凸显，T-BOX塑造第二增长极》

70、芯时代之七十_华海清科《国产CMP设备龙头，持续走向高端化、平台化》

71、芯时代之七十一_东芯股份《利基型存储国内领先，强周期属性2024年迎拐点》

72、芯时代之七十二_通富微电《VISionS技术护城河&AMD深度合作，在AI浪潮中更上层楼》

73、芯时代之七十三_长电科技《XDFOI™平台为支撑，吹响算力/存力/汽车三重奏》

74、芯时代之七十四_算力芯片PPT《以“芯”助先进算法，以“算”驱万物智能》

75、芯时代之七十五_半导4核心材料PPT《万丈高楼材料起，夯实中国“芯”地基》

76、芯时代之七十六_HBM之设备材料深度《HBM迭代，3D混合键合成设备材料发力点》

- ◆ 孙远峰：华金证券总裁助理&研究所所长&电子行业首席分析师，哈尔滨工业大学工学学士，清华大学工学博士，近3年电子实业工作经验；2018年新财富上榜分析师（第3名），2017年新财富入围/水晶球上榜分析师，2016年新财富上榜分析师（第5名），2013~2015年新财富上榜分析师团队核心成员；多次获得保险资管IAMAC、水晶球、金牛奖等奖项最佳分析师；2019年开始未参加任何个人评比，其骨干团队专注于创新&创业型研究所的一线具体创收&创誉工作，以“产业资源赋能深度研究”为导向，构建研究&销售合伙人队伍，积累了健全的成熟团队自驱机制和年轻团队培养机制，充分获得市场验证；2023年带领崭新团队获得《证券时报》评选的中国证券业最具特色研究君鼎奖和2023年第11届金牌分析师进步最快研究机构奖；清华校友总会电子工程系分会副秘书长
- ◆ 王海维：电子行业联席首席分析师，华东师范大学硕士，电子&金融复合背景，主要覆盖半导体板块，善于个股深度研究，2018年新财富上榜分析师（第3名）核心成员，先后任职于安信证券/华西证券研究所，2023年2月入职华金证券研究所
- ◆ 王臣复：电子行业高级分析师，北京航空航天大学工学学士和管理学硕士，曾就职于欧菲光集团投资部、融通资本、平安基金、华西证券资产管理总部、华西证券等，2023年2月加入华金证券研究所
- ◆ 宋鹏：电子行业助理分析师，莫纳什大学硕士，曾就职于头豹研究院TMT组，2023年3月入职华金证券研究所

公司评级体系

收益评级：

- 买入 — 未来6个月的投资收益率领先沪深300指数15%以上；
- 增持 — 未来6个月的投资收益率领先沪深300指数5%至15%；
- 中性 — 未来6个月的投资收益率与沪深300指数的变动幅度相差-5%至5%；
- 减持 — 未来6个月的投资收益率落后沪深300指数5%至15%；
- 卖出 — 未来6个月的投资收益率落后沪深300指数15%以上。

风险评级：

- A — 正常风险，未来6个月投资收益率的波动小于等于沪深300指数波动；
- B — 较高风险，未来6个月投资收益率的波动大于沪深300指数波动。

行业评级体系

收益评级：

领先大市 — 未来6个月的投资收益率领先沪深300指数10%以上；

同步大市 — 未来6个月的投资收益率与沪深300指数的变动幅度相差-10%至10%；

落后大市 — 未来6个月的投资收益率落后沪深300指数10%以上；

风险评级：

A — 正常风险，未来6个月投资收益率的波动小于等于沪深300指数波动；

B — 较高风险，未来6个月投资收益率的波动大于沪深300指数波动。

分析师声明

孙远峰、王海维声明，本人具有中国证券业协会授予的证券投资咨询执业资格，勤勉尽责、诚实守信。本人对本报告的内容和观点负责，保证信息来源合法合规、研究方法专业审慎、研究观点独立公正、分析结论具有合理依据，特此声明。

本公司具备证券投资咨询业务资格的说明

华金证券股份有限公司（以下简称“本公司”）经中国证券监督管理委员会核准，取得证券投资咨询业务许可。本公司及其投资咨询人员可以为证券投资人或客户提供证券投资分析、预测或者建议等直接或间接的有偿咨询服务。发布证券研究报告，是证券投资咨询业务的一种基本形式，本公司可以对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向本公司的客户发布。

免责声明：

华金证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因为任何机构或个人接收到本报告而视其为本公司的当然客户。

本报告基于已公开的资料或信息撰写，但本公司不保证该等信息及资料的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映本公司于本报告发布当日的判断，本报告中的证券或投资标的价格、价值及投资带来的收入可能会波动。在不同时期，本公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。本公司不保证本报告所含信息及资料保持在最新状态，本公司将随时补充、更新和修订有关信息及资料，但不保证及时公开发布。同时，本公司有权对本报告所含信息在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以本公司向客户发布的本报告完整版本为准。

在法律许可的情况下，本公司及所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务，提请客户充分注意。客户不应将本报告为作出其投资决策的惟一参考因素，亦不应认为本报告可以取代客户自身的投资判断与决策。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议，无论是否已经明示或暗示，本报告不能作为道义的、责任的和法律的依据或者凭证。

在任何情况下，本公司亦不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。

本报告版权仅为本公司所有，未经事先书面许可，任何机构和个人不得以任何形式翻版、复制、发表、转发、篡改或引用本报告的任何部分。如征得本公司同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“华金证券股份有限公司研究所”，且不得对本报告进行任何有悖原意的引用、删节和修改。

华金证券股份有限公司对本声明条款具有惟一修改权和最终解释权。

风险提示:

报告中的内容和意见仅供参考，并不构成对所述证券买卖的出价或询价。投资者对其投资行为负完全责任，我公司及其雇员对使用本报告及其内容所引发的任何直接或间接损失概不负责。

华金证券股份有限公司

办公地址:

上海市浦东新区杨高南路759号陆家嘴世纪金融广场30层

北京市朝阳区建国路108号横琴人寿大厦17层

深圳市福田区益田路6001号太平金融大厦10楼05单元

电话: 021-20655588

网址: www.huajinsec.cn