

华金证券电子团队一走进“芯”时代系列深度之八十八“刻蚀设备” 制程微缩叠加3D趋势，刻蚀设备市场空间持续拓宽

——半导体设备系列报告之刻蚀设备

分析师：孙远峰 S0910522120001

分析师：王海维 S0910523020005

联系人：吴家欢 S0910123110007

2024年9月24日



并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

- ◆ **受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备。**随着线宽的持续减小和3D集成电路的发展，刻蚀设备已跃居集成电路采购额最大的设备类型。SEMI数据显示，全球刻蚀设备市场规模约210.44亿美元，占晶圆制造设备总市场规模的22%。由于刻蚀工艺复杂、技术壁垒高，全球刻蚀设备市场集中度高；华经产业研究院数据显示，2021年全球刻蚀设备CR3超90%。
- ◆ **CCP受益3D发展趋势，制程微缩推动ICP需求增长。**干法刻蚀是目前主流的刻蚀技术，可分为电容性等离子体刻蚀（CCP）和电感性等离子体刻蚀（ICP）两大类。CCP适用刻蚀硬介电材料以及孔/槽结构，其需求主要来自3D NAND等3D结构发展的推动；ICP适用于刻蚀硬度低或较薄的材料以及挖掘浅槽，因此线宽持续减少是ICP需求主要推动力。中微公司和北方华创是国产刻蚀设备龙头，分别在CCP和ICP领域占据领先地位。
- ◆ **下游扩产趋势明确，器件结构多维度升级刺激需求。**根据SEMI数据，中国大陆已连续四年成为全球最大半导体设备市场。Gartner预计，2018-2025年中国大陆新建晶圆厂项目为74座，位居全球第一。下游明确的扩产趋势，叠加半导体全产业链迫切的国产化需求，国产刻蚀设备迎来发展良机。器件结构多维度升级同步刺激需求。**1) 3D NAND/DRAM:** 高深宽比结构制造常采用CCP刻蚀设备。**2) 逻辑:** GAA晶体管制造需要准确且高选择性的SiGe各向同性刻蚀；通过刻蚀设备采用多重曝光技术成为我国突破光刻极限关键手段。**3) 互连:** HBM等多芯片堆叠结构以及背面供电架构均需构建TSV；深孔刻蚀是TSV的关键工艺，其中Bosch刻蚀是首选技术，通常选择ICP刻蚀设备。
- ◆ **建议关注标的：**泛林集团、东京电子、应用材料三家全球半导体设备头部企业均实现了刻蚀、薄膜沉积等多产品线的布局，因此我们认为平台化建设走在前列的企业更具竞争优势。北方华创致力于打造半导体设备平台型企业，布局刻蚀/薄膜沉积/清洗/热处理四大应用领域，其中ICP突破12英寸各技术节点，CCP实现逻辑/存储/功率多关键制程覆盖。中微公司是国产刻蚀设备龙头，CCP设备和ICP设备应用覆盖度分别达到94%和95%，同时布局薄膜沉积等其他设备，平台化建设持续推进。
- ◆ **风险提示：**宏观经济和行业波动风险，下游客户资本性支出波动较大及行业周期性特点带来的经营风险，下游客户扩产不及预期的风险，市场竞争加剧风险，研发投入不足导致技术被赶超或替代的风险，研发方向存在偏差的风险等。

- 01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备
- 02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展
- 03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势
- 04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限
- 05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求
- 06 建议关注标的
- 07 风险提示

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 1.1 设备为IC制造第一大资本支出，全球芯片投资Capex预计2024年复苏
- 1.2 中国大陆连续四年成为全球最大半导体设备市场
- 1.3 制程微缩&3D趋势推升刻蚀设备用量
- 1.4 2018~2025年中国大陆新建晶圆厂项目预计为74座，占比位居全球第一
- 1.5 以中芯国际8寸/12寸产线为例，刻蚀设备数量占比约10%
- 1.6 全球刻蚀设备市场集中度高，泛林集团占比近半
- 1.7 干法刻蚀精度更高，已成为主流技术，占比超90%
- 1.8 介质刻蚀和硅刻蚀为主，金属刻蚀占比仅3%
- 1.9 原子层刻蚀技术ALE满足极高选择比和精度的要求
- 1.10 刻蚀主要工艺参数
- 1.11 干法刻蚀常见问题

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 2.1 3D NAND简介
- 2.2 堆叠层数竞赛开启，2030年后有望突破1000层
- 2.3 3D NAND芯片结构
 - 2.3.1 3D NAND芯片结构——PNC和PUC
 - 2.3.2 3D NAND芯片结构——晶栈®Xtacking®
- 2.4 3D NAND制作简要流程
- 2.5 从工艺角度看2D NAND和3D NAND的区别
- 2.6 存储阵列涉及的刻蚀工艺
- 2.7 CMOS结构涉及的刻蚀工艺
- 2.8 刻蚀设备数量配置分析
- 2.9 多堆栈堆叠
 - 2.9.1 多堆栈堆叠有效解决层数增加的需求与高深宽比刻蚀工艺挑战间的矛盾
 - 2.9.2 长存百层以上NAND采用双堆栈架构，SK海力士300层NAND将采用三堆栈架构
- 2.10 TEL低温刻蚀技术实现更高深宽比刻蚀，可应用400层以上NAND生产
- 2.11 1000层NAND：新材料/新器件结构降低刻蚀难度，同时刻蚀降低成本
- 2.12 长江存储历代产品信息

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 3.1 DRAM主要刻蚀工艺
- 3.2 20nm以下DRAM刻蚀难度显著提高
- 3.3 电容孔刻蚀是DRAM良率的瓶颈之一，深宽比可超80
 - 2.3.1 3D NAND芯片结构——PNC和PUC
 - 2.3.2 3D NAND芯片结构——晶栈®Xtacking®
- 3.4 深接触孔三大常见问题，高功率CCP刻蚀设备用于高深宽比刻蚀
- 3.5 3D DRAM成未来发展趋势，SK海力士五层堆叠3D DRAM良率过半
- 3.6 3D DRAM制作工艺流程

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 4.1 大马士革工艺使铜互连得以大规模应用
- 4.2 金属硬掩模一体化刻蚀为后段金属沟槽/通孔刻蚀的主流
- 4.3 BEOL互连技术未来发展趋势
- 4.4 GAA晶体管是3nm以下节点的首选器件结构
- 4.5 GAA晶体管制造需准确且高选择性的SiGe各向同性刻蚀
- 4.6 三种常规SiGe选择性刻蚀技术
- 4.7 新型SiGe选择性刻蚀技术
- 4.8 多重曝光技术
 - 4.8.1 多重曝光技术成为我国突破光刻极限关键手段
 - 4.8.2 SA技术精度更高，所需刻蚀次数更多

- 01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备
- 02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展
- 03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势
- 04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限
- 05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求
- 06 建议关注标的
- 07 风险提示

- 5.1 TSV助力先进封装，通常选择ICP刻蚀设备制造
- 5.2 TSV应用领域
- 5.3 背面供电方面采用TSV结构实现互连

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 6.1 北方华创（002371. SZ）
- 6.2 中微公司（688012. SH）
- 6.3 泛林集团（LRCX. O）
- 6.4 东京电子（8035. T）
- 6.5 应用材料（AMAT. O）

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

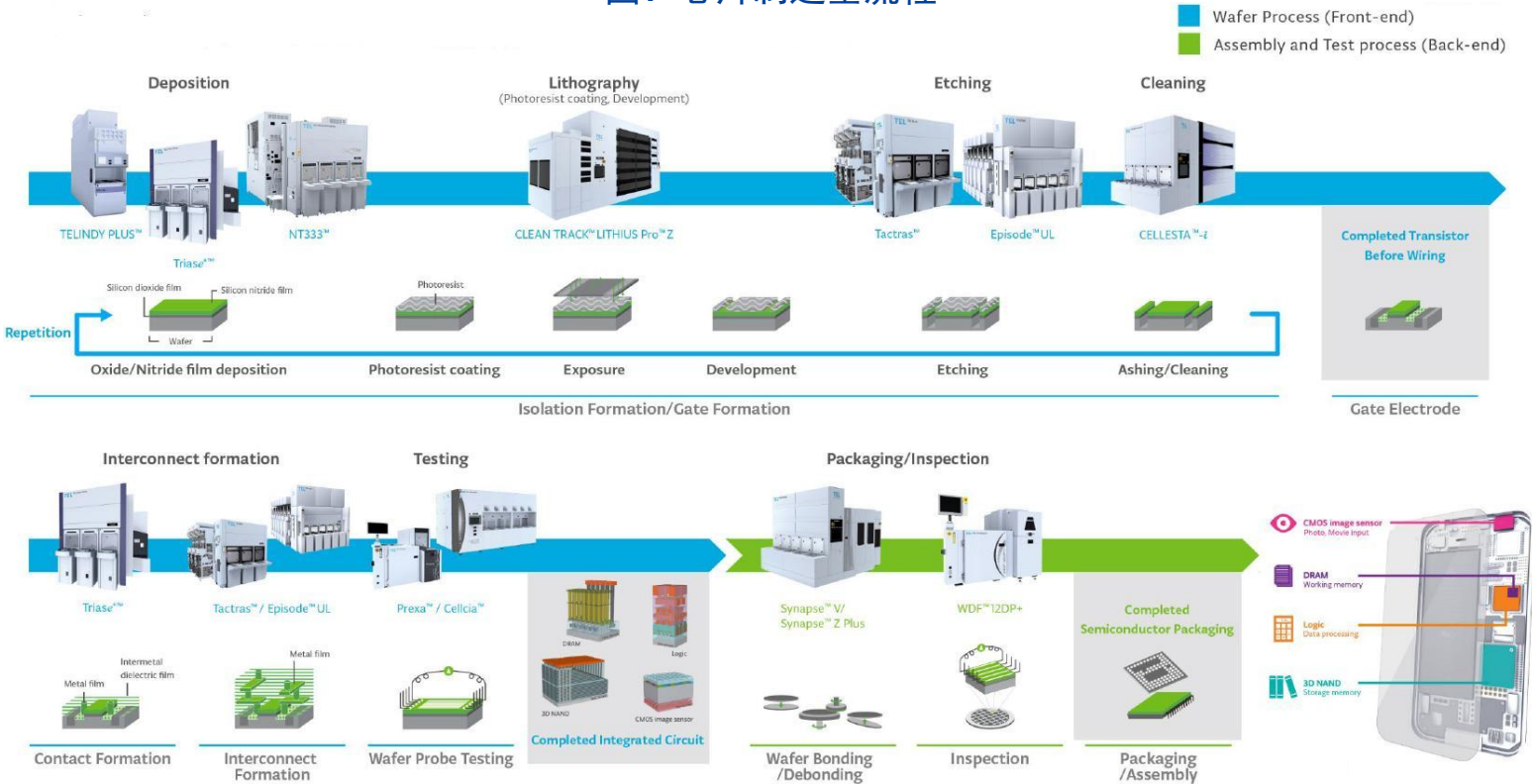
- 1.1 设备为IC制造第一大资本支出，全球芯片投资Capex预计2024年复苏
- 1.2 中国大陆连续四年成为全球最大半导体设备市场
- 1.3 制程微缩&3D趋势推升刻蚀设备用量
- 1.4 2018~2025年中国大陆新建晶圆厂项目预计为74座，占比位居全球第一
- 1.5 以中芯国际8寸/12寸产线为例，刻蚀设备数量占比约10%
- 1.6 全球刻蚀设备市场集中度高，泛林集团占比近半
- 1.7 干法刻蚀精度更高，已成为主流技术，占比超90%
- 1.8 介质刻蚀和硅刻蚀为主，金属刻蚀占比仅3%
- 1.9 原子层刻蚀技术ALE满足极高选择比和精度的要求
- 1.10 刻蚀主要工艺参数
- 1.11 干法刻蚀常见问题

1.1 设备为IC制造第一大资本支出，全球芯片投资Capex预计2024年复苏

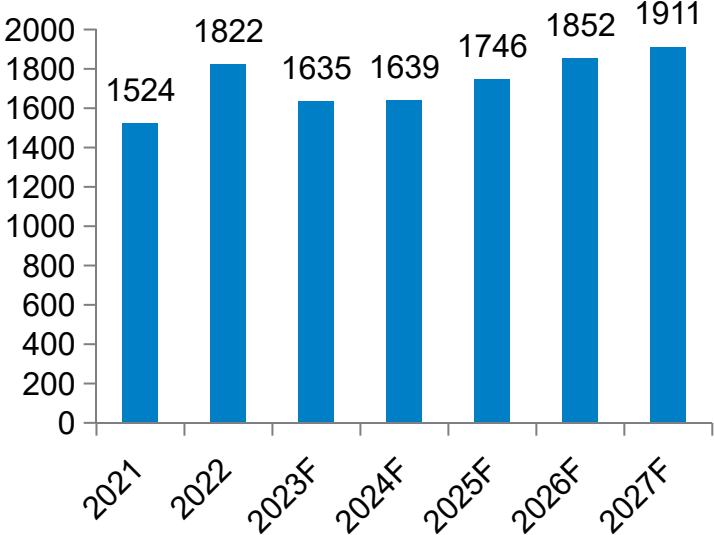
华金证券
Huajin Securities

- ◆ 根据Gartner数据，集成电路制造设备投资一般占集成电路制造领域资本性支出的70%-80%，且随着工艺制程的提升，设备投资占比也将相应提高——当制程达到14/16nm时，设备投资占比可达85%。
- ◆ 芯片制造是集成电路制造过程中最重要、最复杂的环节，对应设备投资占比可达78%-80%。
- ◆ 由于2021年和2022年全球集成电路投资过热以及2023年全球经济不景气，2023年全球芯片投资Capex预计下降至1635亿美元，2024年有望开始复苏。

图：芯片制造全流程



图：全球芯片投资Capex（亿美元）



表：集成电路制造领域典型资本开支结构（%）

投资项目及金额占比	
厂房建设：20%-30%	设计：2%-7%
	土建设施：30%-40%
	洁净室分工：50%-70%
设备投资：70%-80%	硅片制造：1%-3%
	芯片制造：78%-80%
	封装测试：18%-20%

资料来源：Gartner，TEL，华金证券研究所

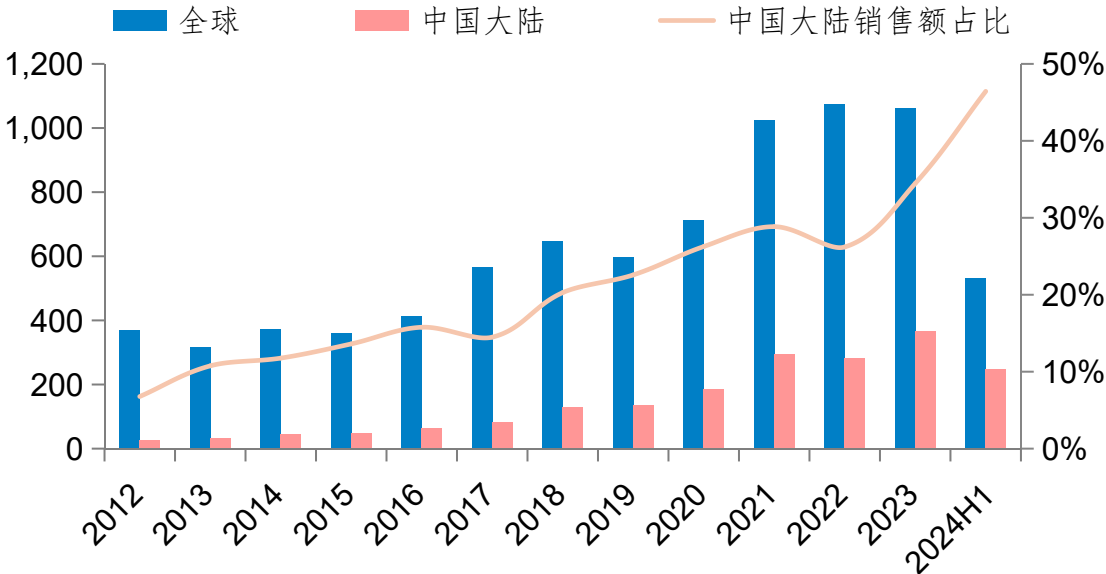
1.2 中国大陆连续四年成为全球最大半导体设备市场

- ◆ 根据SEMI数据，2024H1全球半导体设备销售额为532亿美元；其中，中国大陆半导体设备销售额为247亿美元，占比达46.43%，创历史新高，连续五年成为全球最大半导体设备市场。
- ◆ 相比后道环节，前道晶圆制造技术难度更高，涉及工艺更繁杂，涵盖光刻、刻蚀、薄膜沉积、清洗、离子注入、化学机械平坦等工艺，因此所需设备价值量更高、种类更多。SEMI数据显示，2023年晶圆制造设备市场规模约占半导体设备总市场规模的90%。
- ◆ 刻蚀工艺用于去除特定区域的材料来形成微小的结构和图案。随着集成电路线宽的持续减小和3D集成电路的发展，刻蚀设备已跃居集成电路采购额最大的设备类型。2023年刻蚀设备市场规模约210.44亿美元，占晶圆制造设备总市场规模的22%。

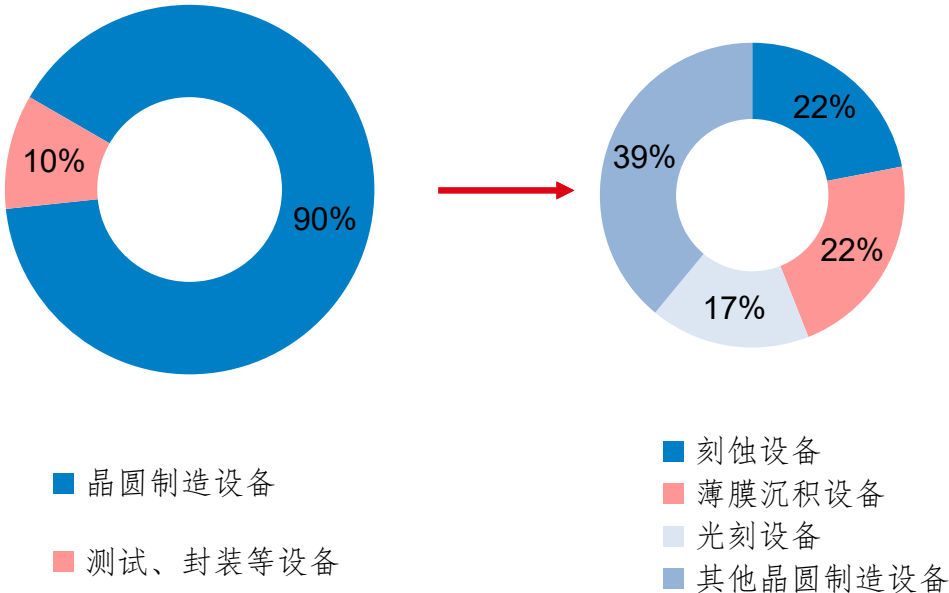
图：2023年各国家/地区晶圆制造设备市场规模及占比（亿美元，%）

国家/地区	市场规模（亿美元）	占比（%）
中国大陆	330	35%
中国台湾	179	19%
韩国	183	19%
北美洲	111	12%
日本	69	7%
欧洲	57	6%
其他	20	2%

图：历年全球和中国大陆半导体设备销售额及占比（亿美元，%）



图：2023年全球半导体设备市场分布（%）



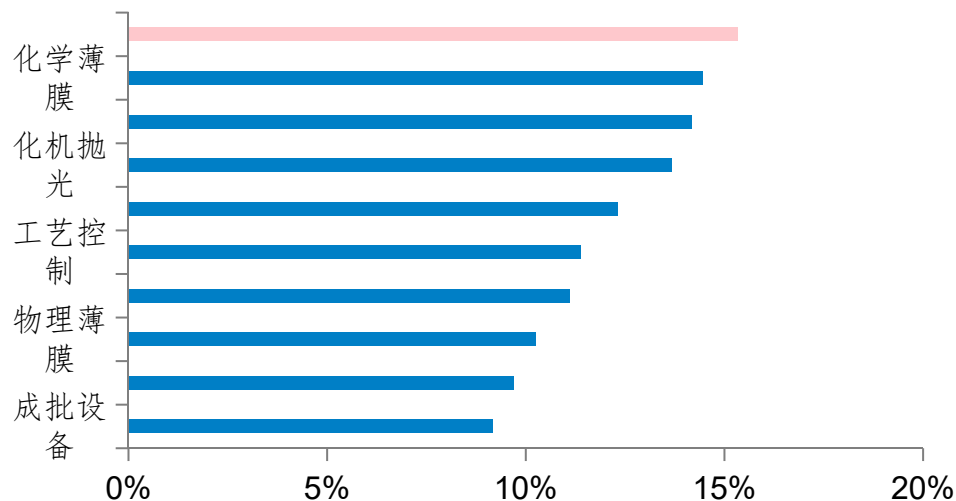
资料来源：SEMI，北方华创，华金证券研究所

1.3 制程微缩&3D趋势推升刻蚀设备用量

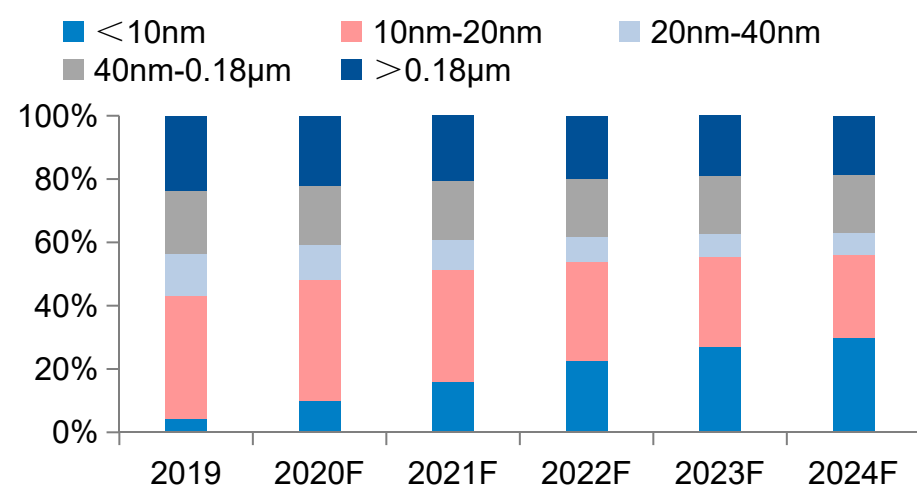
◆ 由于光刻机的波长限制，14nm及以下的逻辑芯片需要双重模板和四重模板工艺；同时存储器从2D至3D的转变需要进行极高深宽比的深层结构刻蚀，进而大幅增加对干法刻蚀设备的需求。

◆ 根据Gartner数据，干法刻蚀设备2013~2023年CAGR高达15.34%，位居半导体芯片前道设备第一。

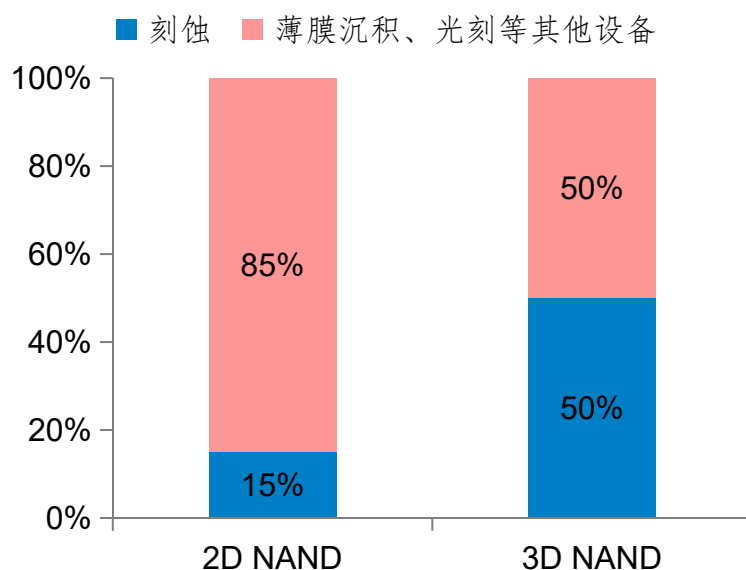
图：不同半导体芯片前道设备2013~2023年CAGR（%）



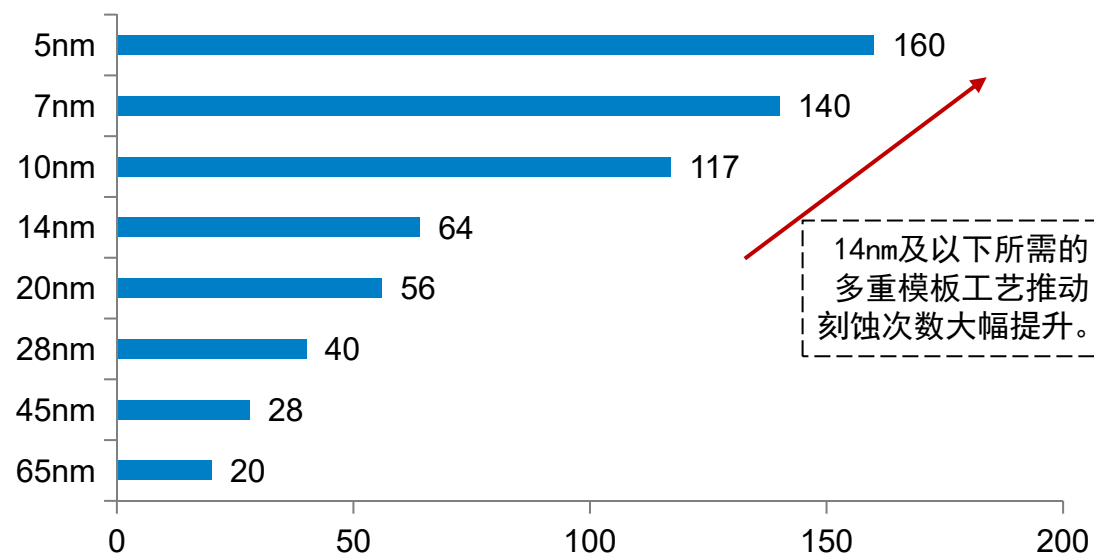
图：历年全球新建产能各制程占比（%）



图：2D NAND和3D NAND设备支出分布（%）



图：不同制程芯片所需刻蚀次数（次）

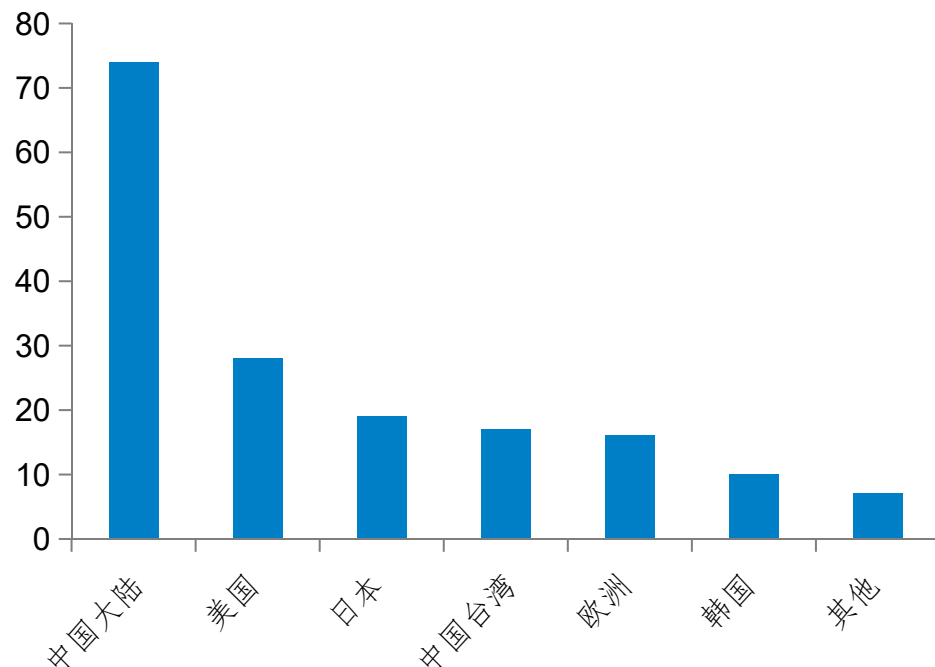


14nm及以下所需的多重模板工艺推动刻蚀次数大幅提升。

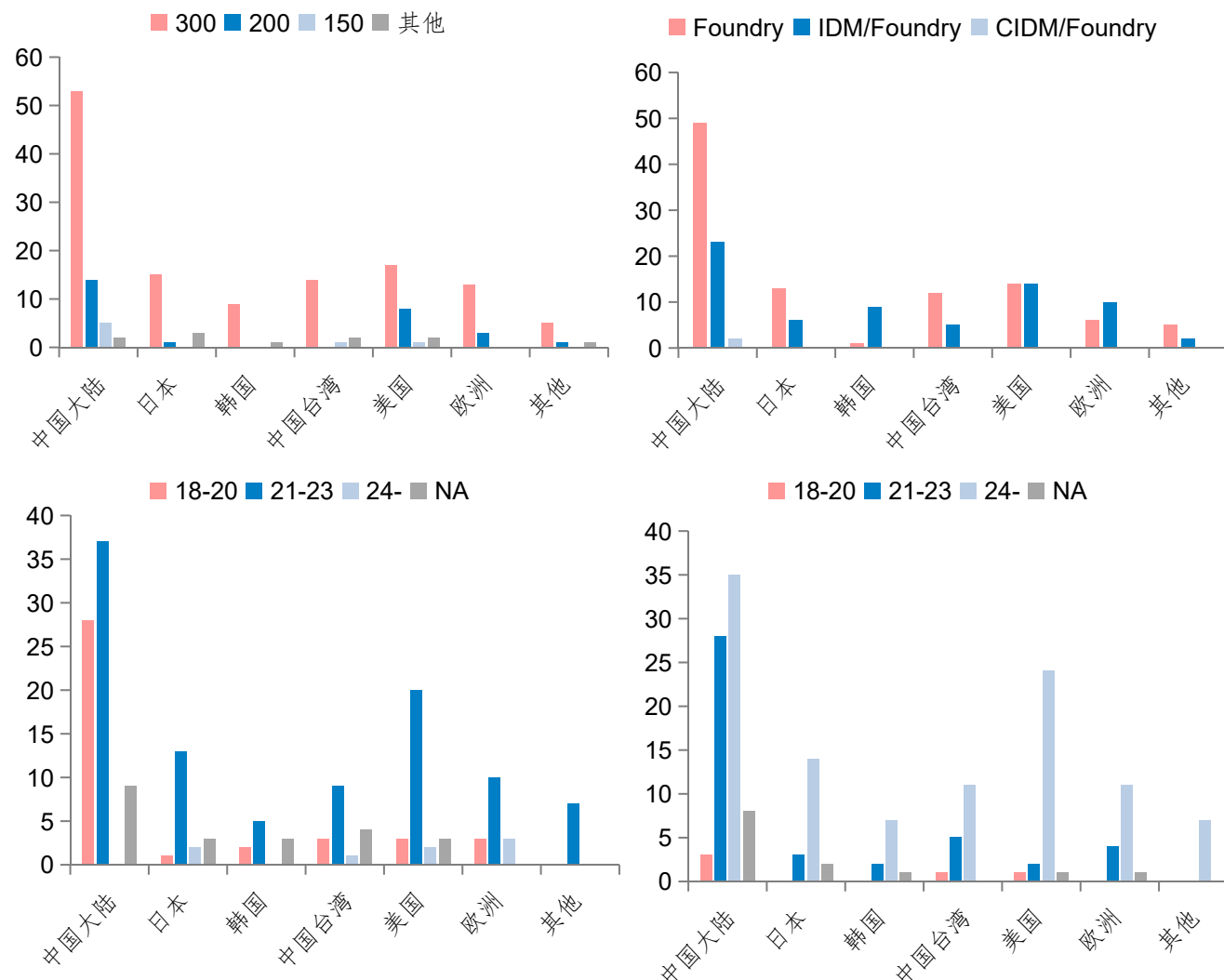
1.4 2018~2025年中国大陆新建晶圆厂项目预计为74座，占比位居全球第一

- ◆ Gartner预计，2018-2025年全球新建晶圆厂项目总数预计为171座，其中中国大陆为74座，占比为43%，位居全球第一。
- ◆ 中国大陆74座新建晶圆厂项目中，有53座为12寸晶圆项目；Foundry厂为主要建设厂商；目前绝大多数项目均已开始建设；有35座项目将于2024年后开始生产。

图：全球各国家/地区2018-2025年新建晶圆厂项目数量(座)



图：2018-2025年新建晶圆厂项目按晶圆尺寸（左上）、公司类型（右上）、建设起始年份（左下）、生产起始年份（右下）分类



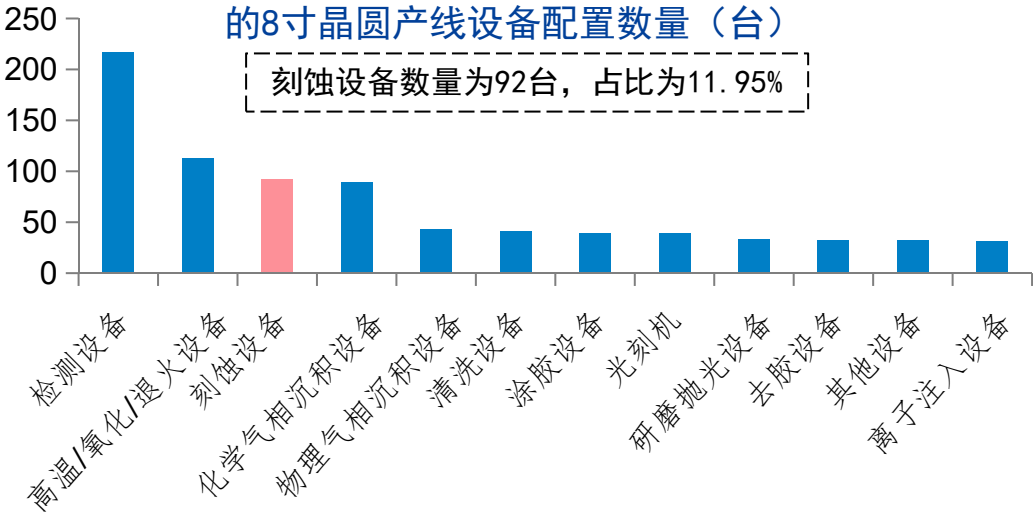
1.5 以中芯国际8寸/12寸产线为例，刻蚀设备数量占比约10%

- ◆ 根据芯思想研究院调研，截止2023年12月20日，中国大陆12英寸、8英寸和6英寸及以下的硅晶圆制造线共有210条（不含纯MEMS生产线、化合物半导体生产线和光电子生产线）。建成12英寸晶圆厂45座，在建24座，规划兴建或改造13座，全部产能合计420万片；建成8英寸晶圆厂34座，在建5座，规划兴建或改造11座，全部产能合计220万片。
- ◆ 以中芯国际8寸/12寸产线为例，单条产线约有10%的设备为刻蚀设备。

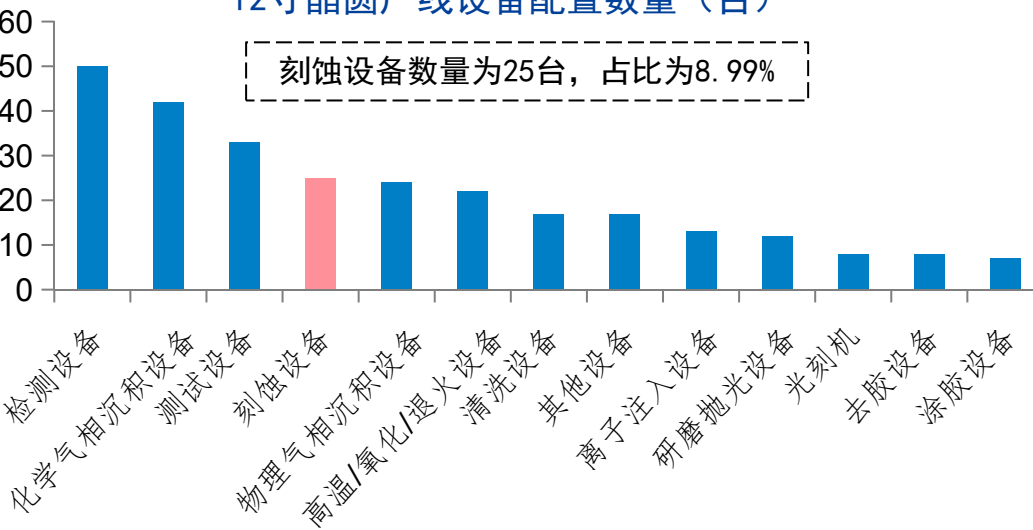
图：截至2023年12月20日，中国大陆硅晶圆制造线统计（不含纯MEMS生产线、化合物半导体生产线和光电子生产线）

	12英寸	8英寸	6英寸	5/4/3英寸
建成数量（座）	45	34	48	63
规划产能（万片）	238	168	264	730
装机产能（万片）	-	152	206	-
实际产能（万片）	125-140	140	180	-
在建数量（座）	24	5	4	-
规划产能（万片）	125	20	21	-
规划兴建/改造数量（座）	13	11	6	-
规划产能（万片）	57	32	34	-
总产能（万片）	420	220	319	730
其中外资产能（万片）	77	35	-	-

图：中芯国际天津T2车间月产9万片180nm的8寸晶圆产线设备配置数量（台）



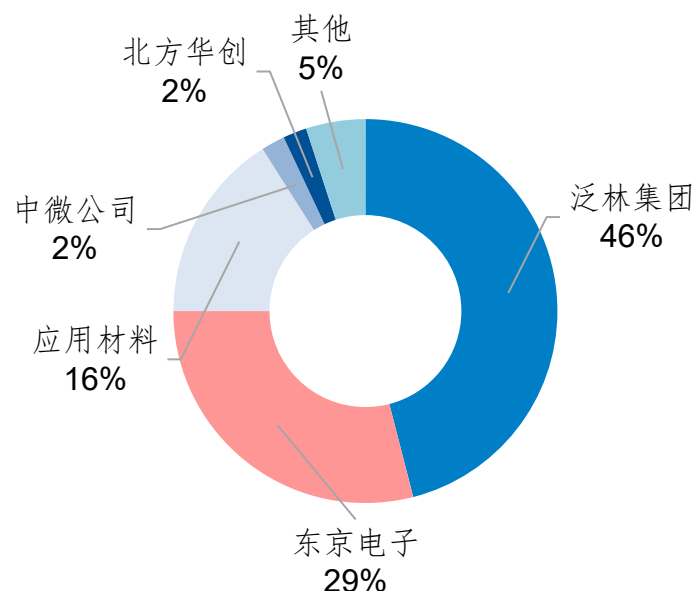
图：中芯国际天津T3车间月产1万片90nm的12寸晶圆产线设备配置数量（台）



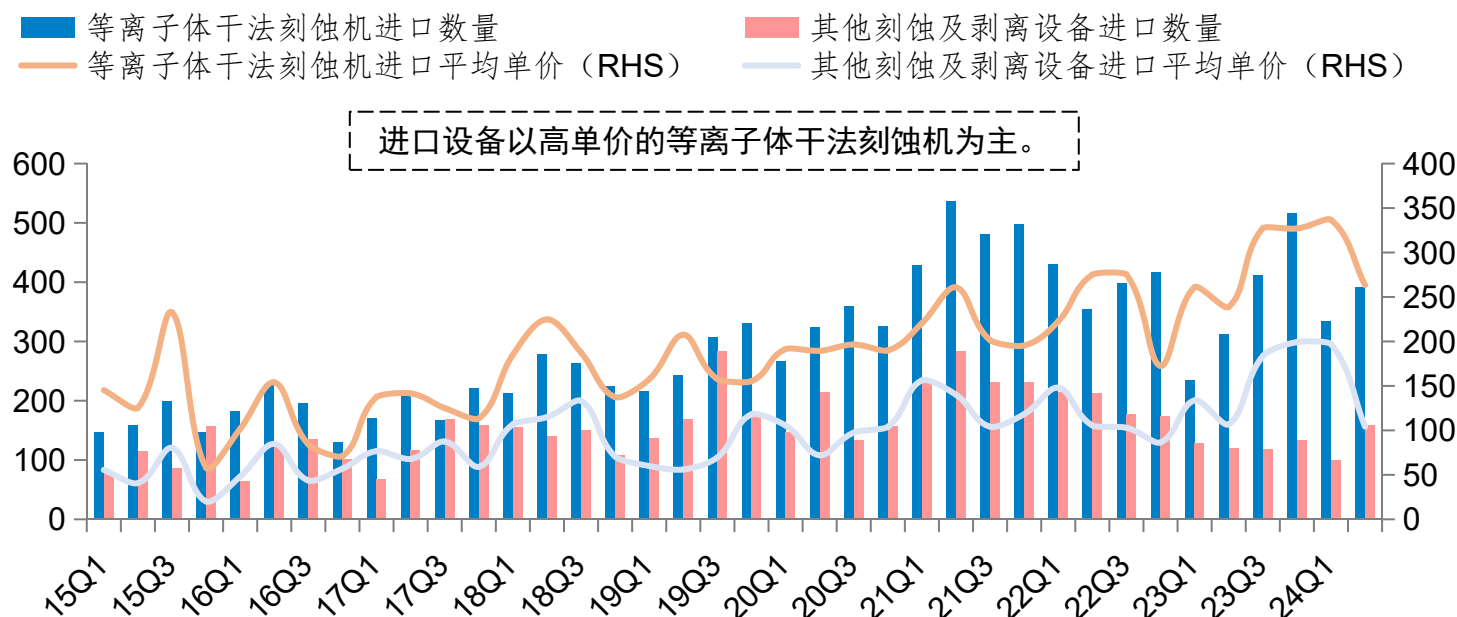
1.6 全球刻蚀设备市场集中度高，泛林集团占比近半

- ◆ 由于刻蚀工艺复杂、技术壁垒高，早期进入市场的国际巨头如泛林集团、东京电子、应用材料等拥有领先的技术工艺及客户资源，垄断了全球刻蚀设备市场。根据华经产业研究院数据，2021年全球刻蚀设备CR3超90%。
- ◆ 随着集成电路中器件互连层数增多，刻蚀设备的使用量不断增大，泛林半导体由于其刻蚀设备品类齐全，从65nm、45nm设备市场起逐步超过应用材料和东京电子，占据全球近一半的市场份额。
- ◆ 中微公司和北方华创是国产刻蚀设备龙头，分别在CCP和ICP领域占据领先地位。截至24H1，中微公司CCP刻蚀设备累计交付超3600个反应台，超300个反应台进入5nm及以下生产线。北方华创在刻蚀技术方面实现12英寸硅、金属、介质刻蚀机全覆盖；截至2023年底，刻蚀产品系列累计出货超3500腔（ICP超3200腔，CCP超100腔）。

图：2021年全球刻蚀设备竞争格局（%）



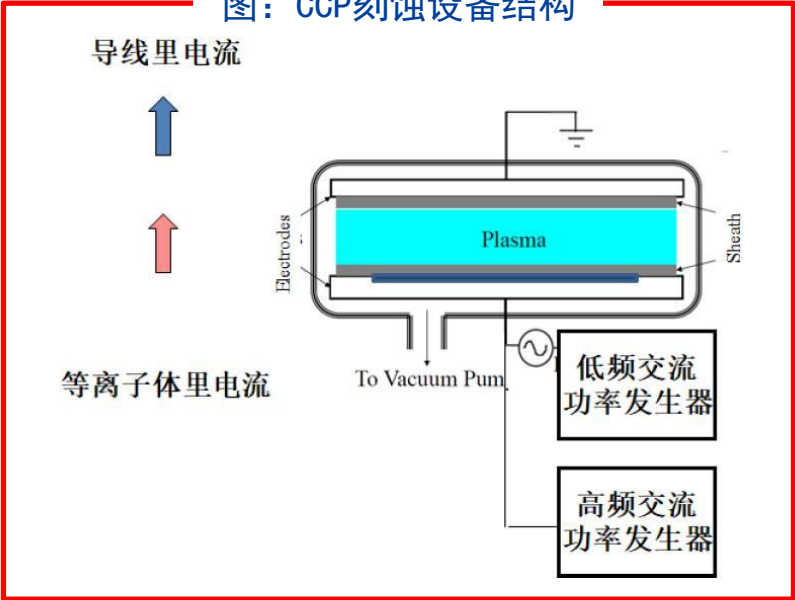
图：历年各季度我国制造半导体器件或IC的等离子体干法刻蚀机和其他刻蚀及剥离设备进口数量（台）和进口平均单价（万美元）



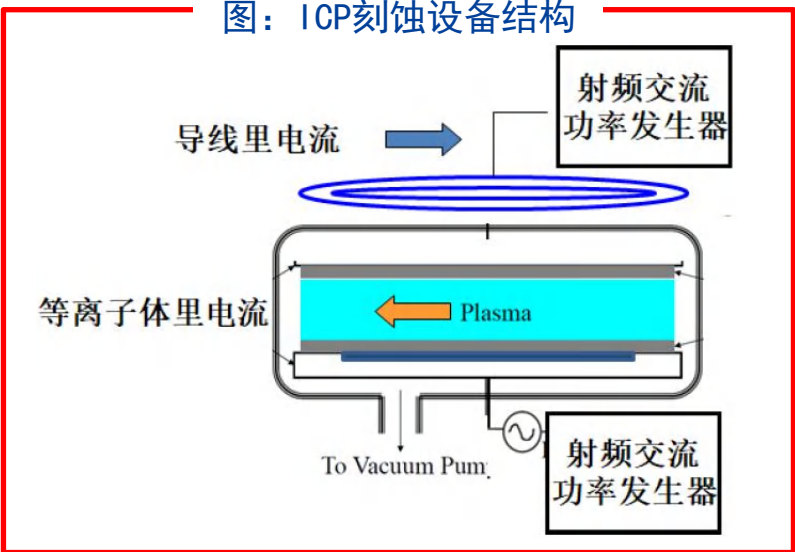
1.7 干法刻蚀精度更高，已成为主流技术，占比超90%

- ◆ 刻蚀可分为湿法刻蚀和干法刻蚀。湿法刻蚀各向异性较差，侧壁容易产生横向刻蚀造成刻蚀偏差，通常用于工艺尺寸较大的应用，或用于干法刻蚀后清洗残留物等。干法刻蚀是目前主流的刻蚀技术，占比超90%，其中以等离子体干法刻蚀为主导。
- ◆ 等离子体刻蚀设备是除光刻机以外最关键的微观加工设备，是制程步骤最多、工艺过程开发难度最高的设备。其由多个真空等离子体反应腔和主机传递系统构成，其原理是利用等离子体放电产生的带化学活性的粒子，在离子的轰击下，与表面的材料发生化学反应，产生可挥发的气体，从而在表面的材料上加工出微观结构。
- ◆ 根据产生等离子体方法的不同，干法刻蚀可分为电容性等离子体刻蚀（CCP）和电感性等离子体刻蚀（ICP）两大类。CCP受益3D发展趋势，制程微缩推动ICP需求增长。

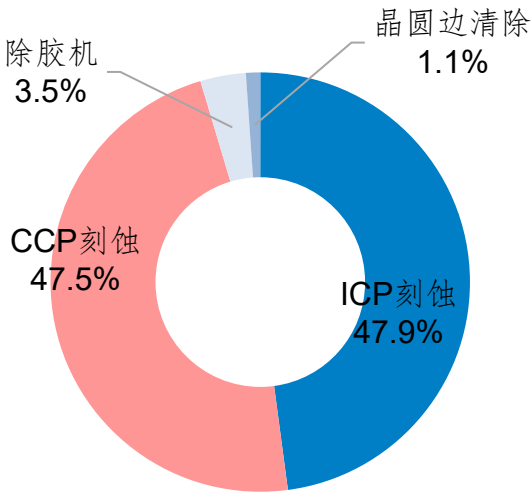
图：CCP刻蚀设备结构



图：ICP刻蚀设备结构



图：2022年全球刻蚀设备市场产品结构（%）



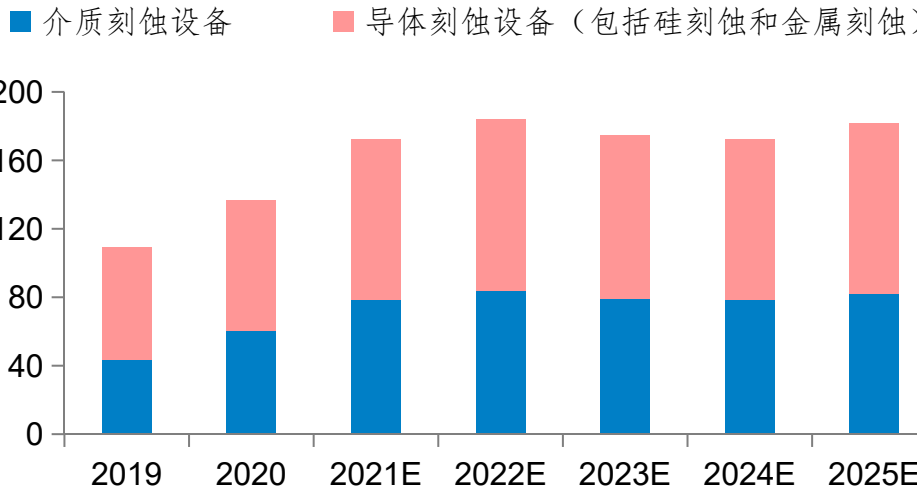
表：CCP和ICP技术对比

刻蚀技术	原理	应用场景
电容性等离子体刻蚀CCP	通过对相互平行放置的电极施加射频功率产生的高频电磁场激发产生等离子体。这种等离子体密度低，可调节性较差，但能量高。	适用于蚀刻硬介电材料，如氧化物和氮氧化物，以及硬掩模。此外，还有各种专业孔和槽，例如中间部分的接触孔、逻辑芯片网格的侧壁，以及3D NAND存储器中的深槽、深孔和连接孔。
电感性等离子体刻蚀ICP	通过电感应线圈产生的感应磁场产生等离子体，由于能量传递机制类似于两个电感线圈相互耦合形成的变压器，有时ICP又被称为变压器耦合等离子体（TCP）。这种等离子体密度高、能量低，但具有可相对独立控制等离子体密度和离子能量的优点。	适用于蚀刻单晶硅、多晶硅、金属和其他硬度低或相对薄的材料，也适用于挖掘浅槽。通常用于硅蚀刻和金属蚀刻，包括硅浅槽、锗、多晶硅栅极、金属栅极、应变硅、金属线、金属焊盘、镶嵌蚀刻金属硬掩模和多重成像。

1.8 介质刻蚀和硅刻蚀为主，金属刻蚀占比仅3%

- ◆ 根据被刻蚀材料的不同，干法刻蚀可分为介质刻蚀、硅刻蚀和金属刻蚀三大类。
- ◆ 在接触孔和通孔结构的制作中需要使用介质刻蚀，目的是使其在层间电介质（ILD）中刻蚀出窗口。然而高深宽比（窗口的深与宽的比值）的窗口刻蚀具有一定的挑战性。
- ◆ 硅刻蚀（包括多晶硅）应用于需要去除硅的场合，如刻蚀多晶硅晶体管栅和硅槽电容，是定义特征尺寸的关键工序。对多晶硅的刻蚀要求具有高选择比
- ◆ 金属刻蚀主要是在金属层上去掉铝合金复合层，制作出互连线。因铜互连技术的广泛应用，金属刻蚀占比较低，仅3%。

图：历年全球集成电路制造刻蚀设备市场规模（亿美元）



表：介质刻蚀、硅刻蚀和金属刻蚀三种干法刻蚀技术介绍

刻蚀材料		刻蚀对象	刻蚀目的	刻蚀要求	市场占比	设备选用
介质刻蚀		介质材料刻蚀，包括氧化硅、氮化硅、光刻胶等	制作接触孔、通孔，形成MOS器件的有源区和钝化窗口	1、注意刻蚀接触孔对下层Si、SiN、抗反射涂层的高选择比； 2、注意刻蚀通孔对TiN、W、Al的高选择比。	49%	CCP设备为主
导体刻蚀	硅刻蚀	用于除硅，包括单晶硅、多晶硅、硅化物等	形成MOS栅电极（属于特征尺寸刻蚀）、STI槽和垂直电容槽	1、高选择比，防止栅氧化层穿通，大于150：1； 2、高均匀性和重复性； 3、高度的各向异性，因多晶硅栅在源/漏的注入过程中起阻挡层的作用； 4、通过多步工艺对沟槽实现精确的控制，包括一致的光洁度、接近的垂直侧壁、准确的深度、圆滑的沟槽顶角/底角。	48%	ICP设备为主
	金属刻蚀	刻蚀铝、钨、铜及合金层	制作出金属互连线	1、高刻蚀速率； 2、对下面层的高选择比； 3、高均匀性、CD控制精确（尺寸控制会影响器件沟道长度）； 4、无等离子诱导充电带来的器件损伤； 5、残留物污染少； 6、快速去胶； 7、不腐蚀金属。	3%	

1.9 原子层刻蚀技术ALE满足极高选择比和精度的要求

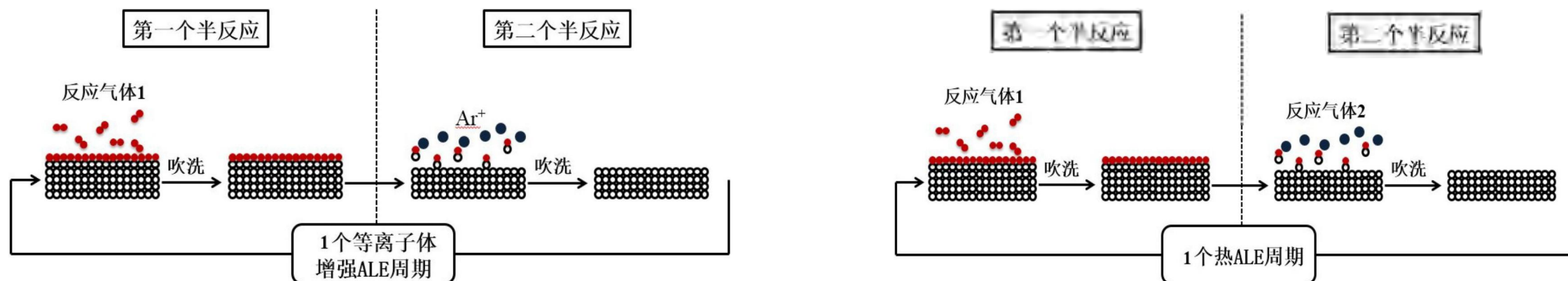
- ◆ 随着先进芯片的关键尺寸不断缩小，甚至要求具有三维结构（如FinFET和3D NAND），刻蚀工艺需满足极高选择比和精度的要求。纳米级器件结构对于允许的工艺尺寸误差一般约为其自身尺寸的10%；例如，宽度为5nm的晶体管栅极结构允许误差仅为0.5nm，相当于2~4个原子层厚度。传统的等离子体刻蚀技术难以满足上述需求。
- ◆ ALE（原子层刻蚀）工艺是ALD的逆向过程，具有薄膜刻蚀的自限制性，可实现每个循环周期单ALE工艺过程，进而实现原子层尺寸和精度的器件加工。因移除材料效率低而移除膜层较厚，早期ALE技术被认为不可能应用于实际生产。器件关键尺寸的不断缩小（许多功能层膜厚已小于2~3nm）使得ALE迎来发展良机。
- ◆ ALE技术主要可以分为等离子体增强ALE和热ALE，均包括两个半反应过程。

图：原子层刻蚀工艺

按照自限制性方式进行的理想ALE工艺过程，每个循环周期刻蚀掉衬底的厚度为1个单原子层。

第一个半反应：将反应气体1引入到反应腔中，对材料表面进行改性，形成单层自限制层。停止通入反应气体1，并将多余的反应气体1和副产物排出反应腔。

第二个半反应：引入具有一定能量的离子（通常氩离子）轰击表面或活性反应气体2，除去单层自限制层从而实现自限制刻蚀行为。最后停止引入高能粒子或反应气体2，除去刻蚀副产物以及多余粒子或反应气体2，以完成一个ALE循环周期。



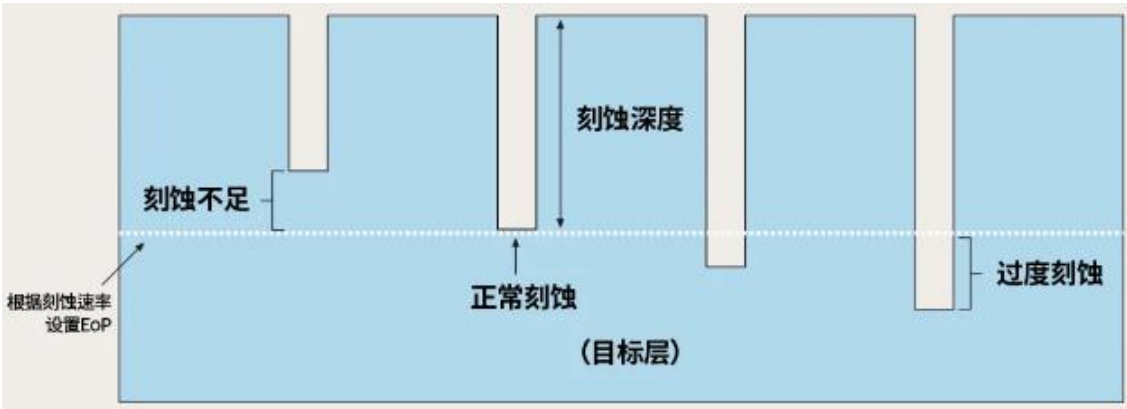
1.10 刻蚀主要工艺参数

◆ 刻蚀工艺参数包括不完全刻蚀、过刻蚀、刻蚀速率、钻蚀、选择比、均匀性、纵横比及侧边的各向异性/各向同性刻蚀等。

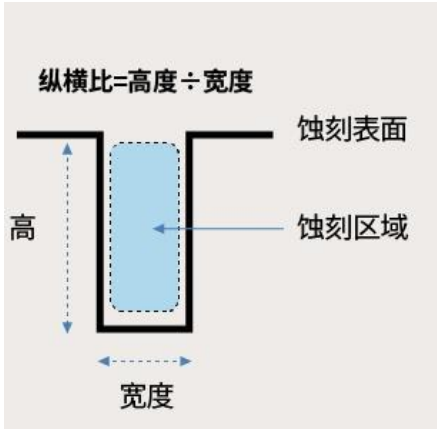
表：刻蚀工艺参数介绍

工艺参数	具体介绍
不完全刻蚀	不完全刻蚀是指表面层还留在图形孔中或表面上的情况，原因包括刻蚀时间过短、待刻蚀薄膜厚度不均匀等。
过刻蚀	在任何的刻蚀工艺中，总会有一定程度的、计划的过刻蚀，以便允许表层厚度变化，或是为了下一步工艺的要求等。
刻蚀速率	单位时间内刻蚀深度。刻蚀中最常见的问题之一负载效应是指在刻蚀过程中由于反应等离子体不充足而引起的刻蚀速率降低或刻蚀不均匀的效应。
钻蚀	从最外的表面开始到底部的过程中刻蚀同样也会在最外表面进行，结果会在侧面形成一个斜面，当这种作用在光刻胶边缘下被刻蚀，可称为钻蚀。
选择比	在同一刻蚀条件下两种不同材料刻蚀速率快慢之比。
均匀性	衡量刻蚀工艺在整个硅片上，或整个一批，或批与批之间刻蚀能力的参数。
纵横比	水平宽度与垂直高度之比（即高度除以宽度），电路的关键尺寸（CD）越小，纵横比值越大
各向同性/各向异性	各向同性是指刻蚀会向各个方向进行；各向异性与之相反，更易获得理想的刻蚀图形

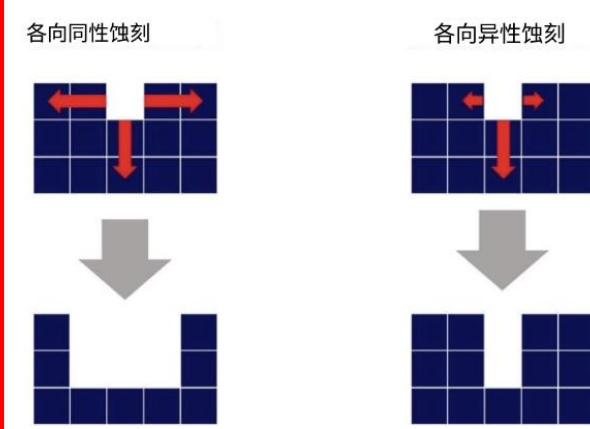
图：不完全刻蚀、过度刻蚀、正常刻蚀示例



图：刻蚀纵横比示意图



图：各向异性/各向同性刻蚀对比

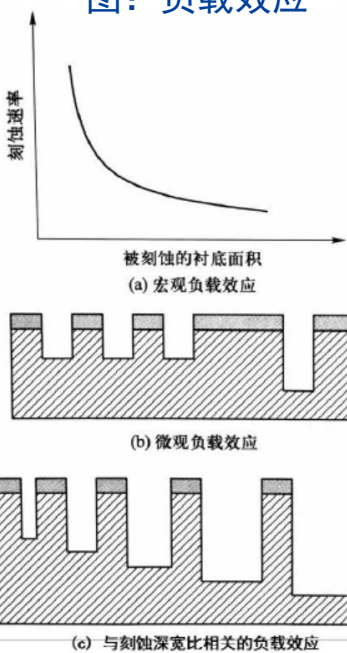


1.11 干法刻蚀常见问题

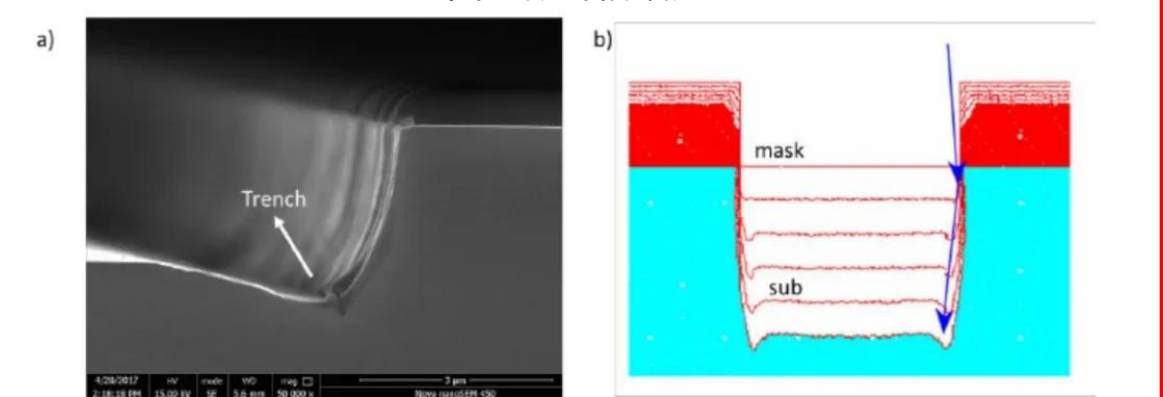
◆ 干法刻蚀中常见问题包括负载效应、微沟槽效应和充电效应等。负载效应是刻蚀中最常见的问题之一，是指在刻蚀过程中由于反应等离子体不足而引起的刻蚀速率降低或刻蚀不均匀的效应。

表：干法刻蚀中三种常见问题介绍

问题	介绍	解决方式
负载效应 (Loading effect)	由于反应等离子体不充足而引起的刻蚀速率降低或刻蚀不均匀的效应。负载效应由刻蚀系统特点决定，普遍存在于所有的反应离子刻蚀中。	1、需要更高密度、分布更均匀的等离子体； 2、可在反应气体中加入辅助气体以稀释和均匀等离子体、提升真空系统性能以加快等离子体的交换和刻蚀产物抽除、以及在设计光刻板时注意平衡图形密集程度等。
微沟槽效应 (Trenching effect)	在刻蚀过程中侧壁附近的刻蚀速率大于沟槽中心的刻蚀速率而导致的倒角现象。该效应是由于高能粒子以一定角度轰击到刻蚀侧壁时，能量未能损耗完全而被侧壁反射下滑至底部形成继续刻蚀而导致的，该效应的产生与高能粒子的入射角度以及侧壁的倾角均有关系，因此侧壁沟槽的出现往往伴随着非完全陡直的侧壁。	加大RF功率能在一定程度上增加入射粒子的准直性从而提高侧壁陡直度和降低沟槽效应。但除此之外，刻蚀掩膜的负电荷积累也会在一定程度上加重侧壁沟槽的产生。
充电效应 (Charging effect)	由于刻蚀掩膜绝缘性导致的部分电子聚集在掩膜表面在样品顶部形成一个微局域电场，从而对入射粒子的方向产生一定的影响，降低刻蚀各向异性的同时加重沟槽效应。该效应在刻蚀窄沟道图形时较为常见，且刻蚀时间越长，电子聚集越多该效应越明显。	可通过采用合适的刻蚀掩膜或间歇性刻蚀的方式减缓。

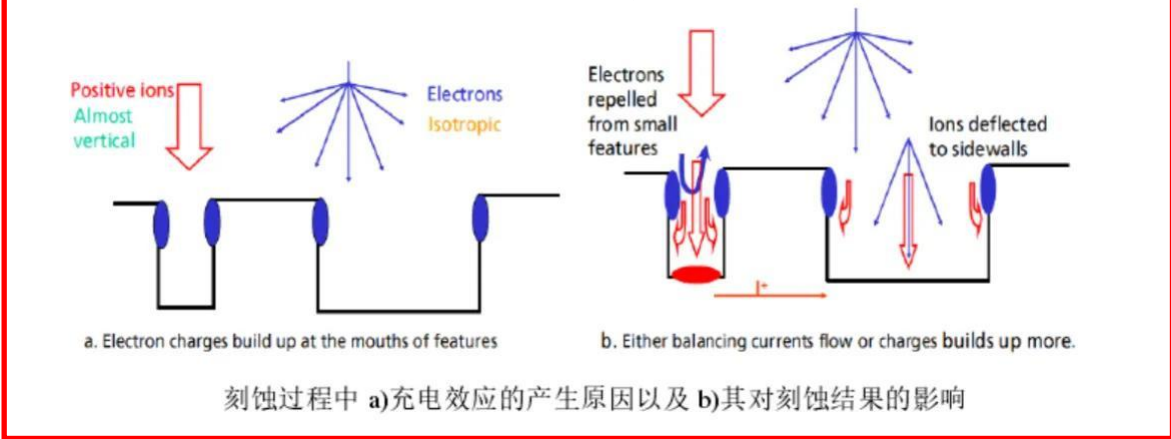


图：微沟槽效应



刻蚀过程中的 a)微沟槽效应以及 b)其形成的原因

图：充电效应



01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 2.1 3D NAND简介
- 2.2 堆叠层数竞赛开启，2030年后有望突破1000层
- 2.3 3D NAND芯片结构
 - 2.3.1 3D NAND芯片结构——PNC和PUC
 - 2.3.2 3D NAND芯片结构——晶栈®Xtacking®
- 2.4 3D NAND制作简要流程
- 2.5 从工艺角度看2D NAND和3D NAND的区别
- 2.6 存储阵列涉及的刻蚀工艺
- 2.7 CMOS结构涉及的刻蚀工艺
- 2.8 刻蚀设备数量配置分析
- 2.9 多堆栈堆叠
 - 2.9.1 多堆栈堆叠有效解决层数增加的需求与高深宽比刻蚀工艺挑战间的矛盾
 - 2.9.2 长存百层以上NAND采用双堆栈架构，SK海力士300层NAND将采用三堆栈架构
- 2.10 TEL低温刻蚀技术实现更高深宽比刻蚀，可应用400层以上NAND生产
- 2.11 1000层NAND：新材料/新器件结构降低刻蚀难度，同时刻蚀降低成本
- 2.12 长江存储历代产品信息

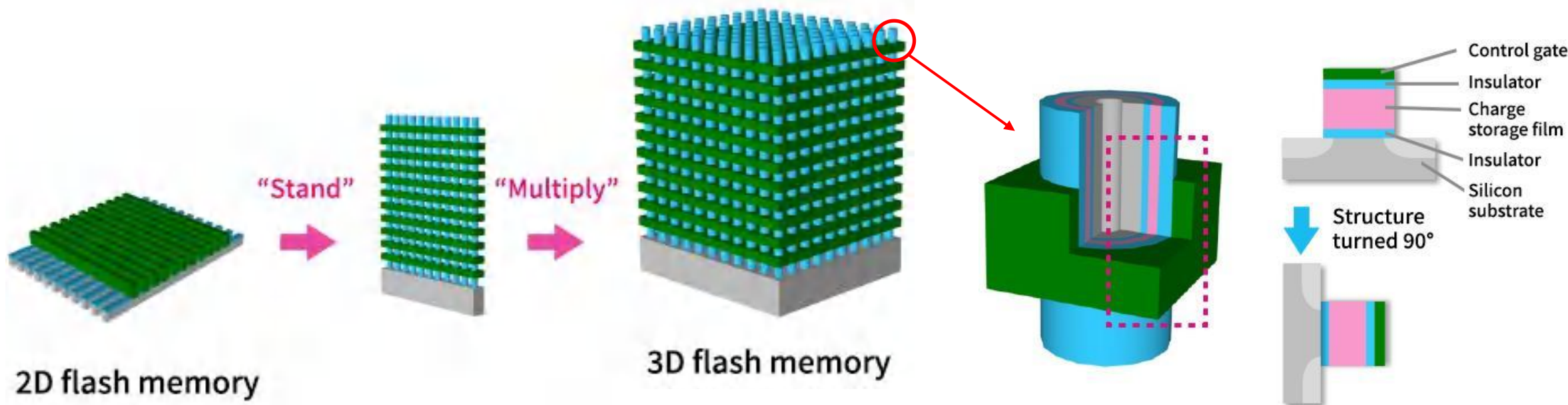
2.1 3D NAND简介

- ◆ 随着制程持续微缩，平面2D NAND的栅极结构和氧化层逐渐减小与变薄，进而导致器件可靠性降低，难以满足高速、大容量的产品需求，NAND发展开始转向三维空间，即3D NAND。
- ◆ 3D NAND是将二维平面结构进行垂直构造，通过一个圆柱形的沟道来制备电荷俘获单元，从而在保证性能的同时能够实现更大存储容量。

表：2D NAND与3D NAND性能对比

指标	2D NAND	3D NAND
单个chip的存储容量	最大为128Gb	256Gb以上
存储单元	浮栅型	浮栅型和电荷捕获型
可靠性	低	高
存储速度	慢	快
能耗	高	低

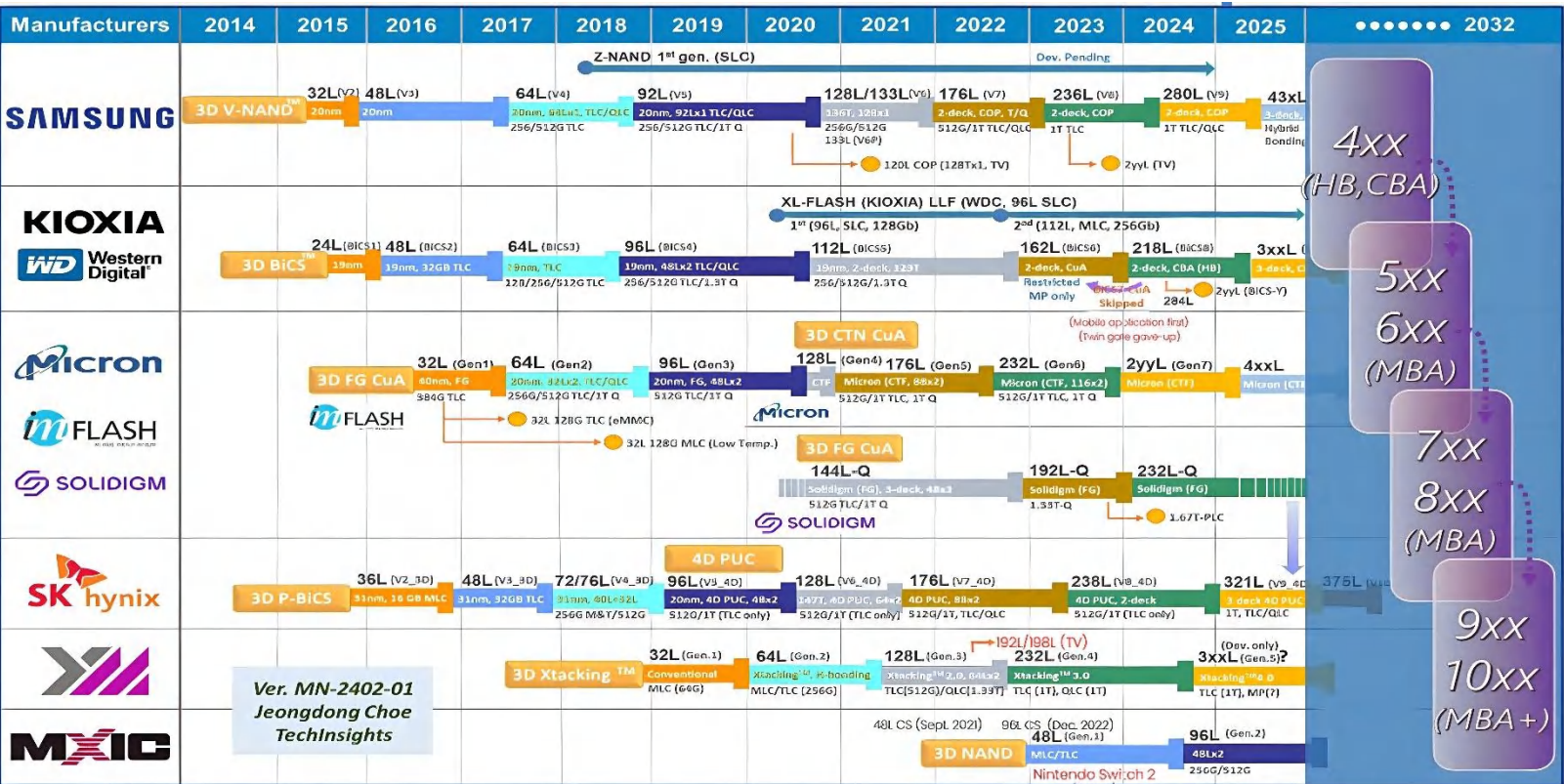
图：2D NAND和3D NAND结构对比



2.2 堆叠层数竞赛开启，2030年后有望突破1000层

- ◆ 3D NAND堆叠层数越高，单die的存储位元密度和容量都将大幅提升，同时单位容量的存储位元的制造成本大幅降低。
- ◆ 根据TechInsights数据，目前各大存储原厂量产的3D NAND最高层数多为200层以上。2023年8月SK 海力士推出321层 NAND样品，成为全球首家完成300层以上堆叠NAND闪存的公司，预计25H1量产供货。
- ◆ 22Q4长江存储推出基于Xtacking® 3.0架构的232层3D NAND产品。TechInsights表示这是当时位密度最高、层数最多的3D NAND产品。三星、Kioxia均表示将在2030年后推出超1000层的3D NAND。

图：3D NAND Roadmap



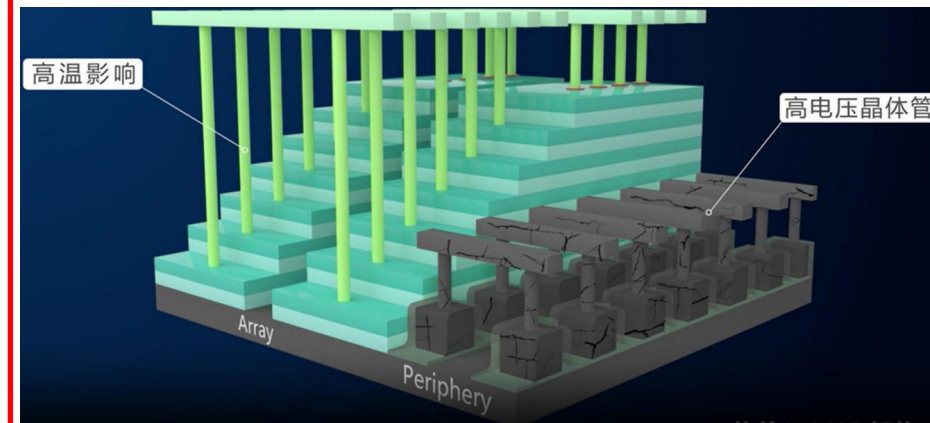
表：三星历代3D NAND数据
(2024年后数据为预测值)

发布时间	世代	层数	堆栈层数	颗粒类型
2013	V1	24	1	MLC
2014	V2	32	1	MLC&TLC
2015	V3	48	1	TLC
2016	V4	64	1	TLC&QLC
2018	V5	92	1	TLC&QLC
2019	V6	128	1	TLC
2021	V7	176	2	TLC&QLC
2022	V8	236	2	TLC
2024E	V9	280	2	TLC&QLC
2025E	V10	430	3	TLC
2027E	V11	581	3	TLC&QLC
2028E	V12	784	4	TLC
2030E	V13	1058	4	TLC&QLC
2031E	V14	1428	5	TLC

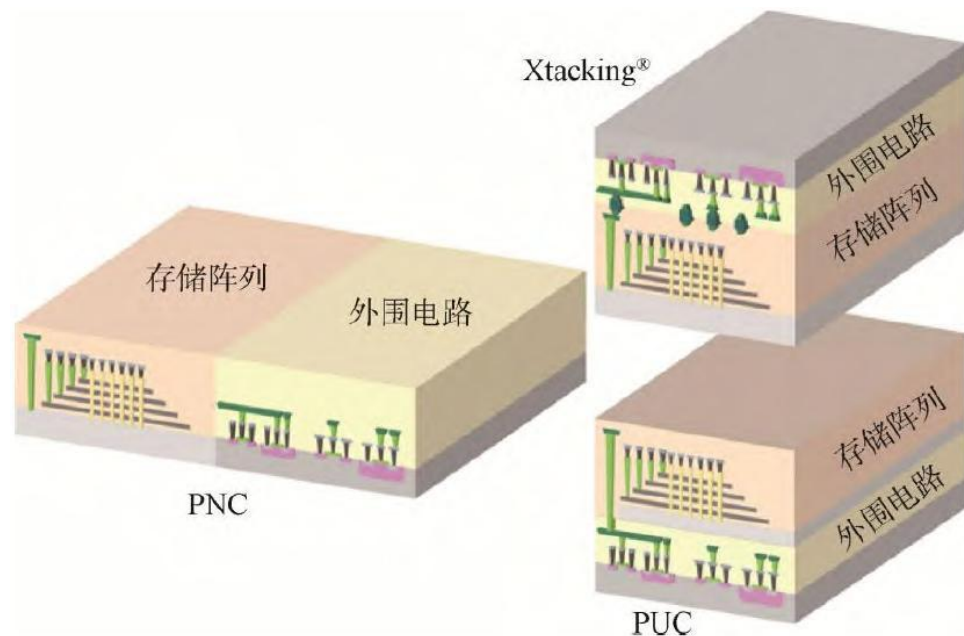
2.3.1 3D NAND芯片结构——PNC和PUC

- ◆ 3D NAND通常由外围电路和存储阵列两部分组成，主要有PNC、PUC以及长江存储推出的晶栈®Xtacking®三种架构，其中后两种为当前主流技术架构。
- ◆ **PNC（Peripheral Circuit Nearby Cell）**：外围电路置于存储阵列旁。随着3D NAND堆叠层数的增加，外围电路所占芯片面积比例增大，芯片面积利用率降低。
- ◆ **PUC（Peripheral Circuit Under Cell）**：外围电路置于存储阵列下方。PUC架构可将更多感测电路和页缓冲器电路放入外围电路中，从而实现更高的数据传输速率。三星COP架构，美光CuA架构和SK海力士4D NAND架构均属于PUC架构。
- ◆ 然而，PUC架构通常先进行外围电路结构的制备，在其基础上再进行存储阵列制备。由于存储阵列加工会涉及高温高压工艺，易对之前的逻辑电路产生影响。同时，该制备方式下，如发现问题再进行工艺调整将使得研发制造周期变长。

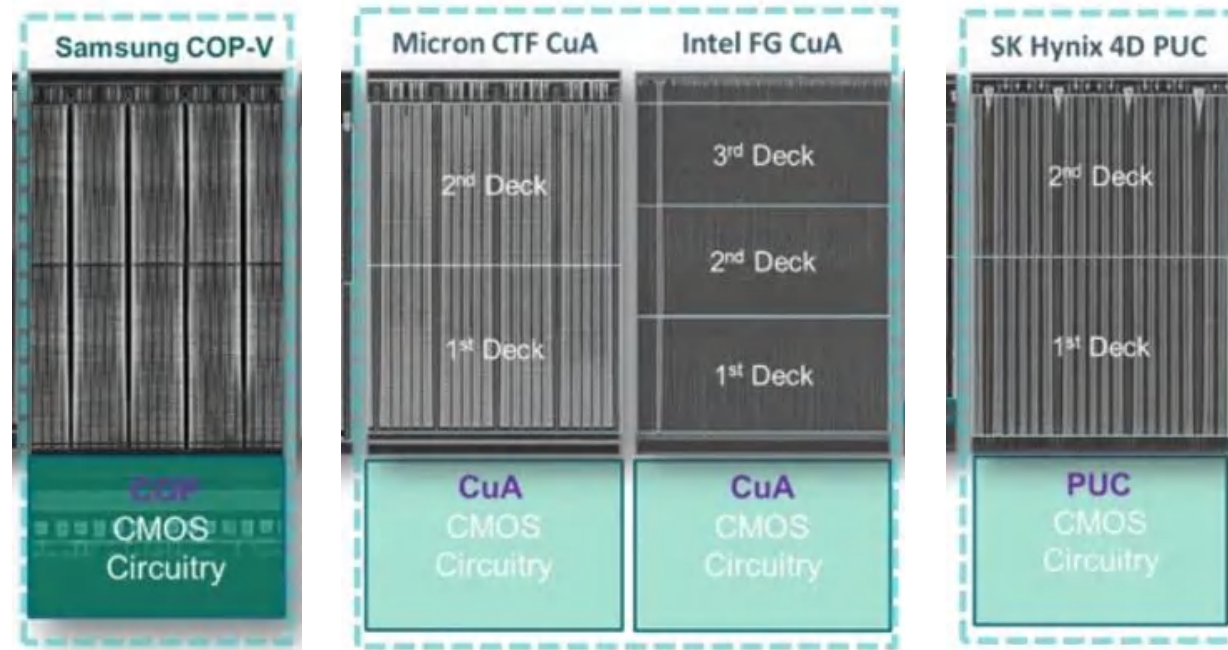
图：CUA架构阵列加工涉及高温高压工艺易对逻辑电路产生影响



图：3D NAND闪存的3种架构示意图



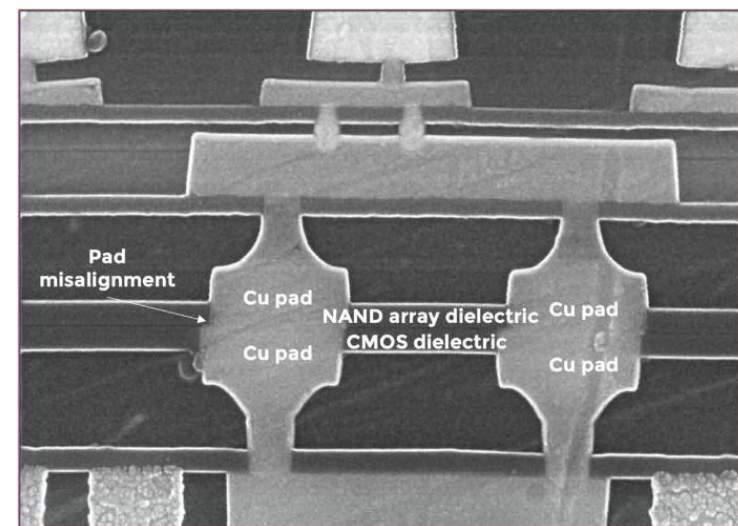
图：三星COP架构，美光CuA架构、SK海力士4D NAND架构



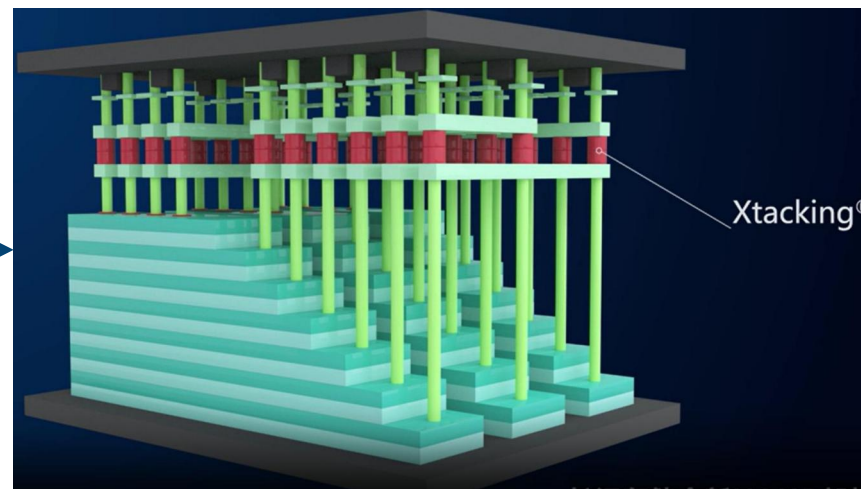
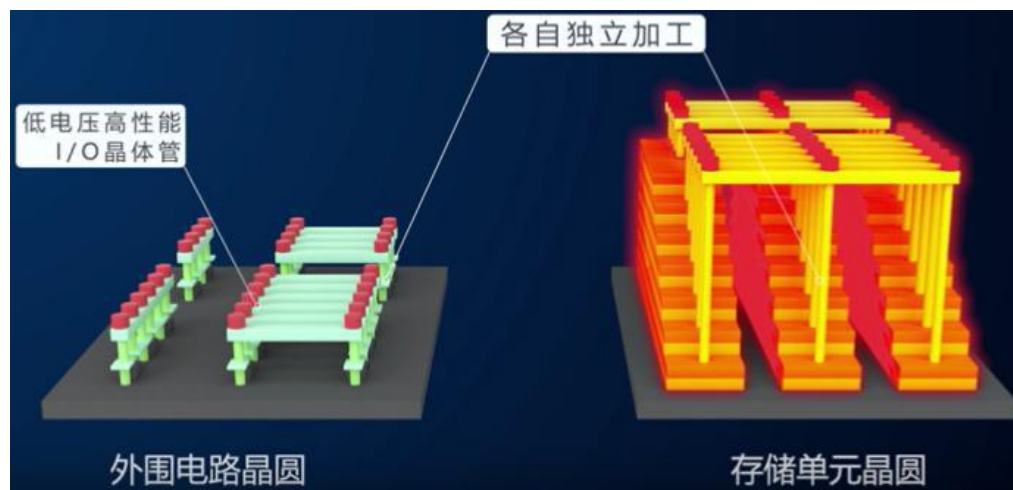
2.3.2 3D NAND芯片结构——晶栈®Xtacking®

- ◆ 晶栈®Xtacking®：2018年长江存储发布晶栈®Xtacking®架构，通过将外围电路和存储阵列分开加工，使得外围电路不受影响，具有更快I/O传输速度、更高存储密度和提升研发效率并缩短生产周期三大优点。随着存储阵列的堆叠层数不断提高，晶栈®Xtacking®将成为未来3D NAND的主流技术架构。
- ◆ 更快I/O传输速度：在两片独立的晶圆上加工外围电路和存储单元，有利于选择更先进的逻辑工艺，实现更高的I/O接口速度及更多的操作功能。
- ◆ 更高存储密度：在传统3D NAND架构中，外围电路约占芯片面积20~30%，晶栈®Xtacking®架构将外围电路置于存储单元之上，实现比传统3D NAND更高的存储密度，芯片面积可减少约25%。
- ◆ 提升研发效率并缩短生产周期：利用存储单元和外围电路的独立加工优势，实现了并行的、模块化的产品设计及制造，产品开发时间可缩短三个月，生产周期可缩短20%。此外，模块化的方式可引入NAND外围电路的创新功能以实现NAND的定制化。

图：Xtacking架构中两片晶圆键合电镜图

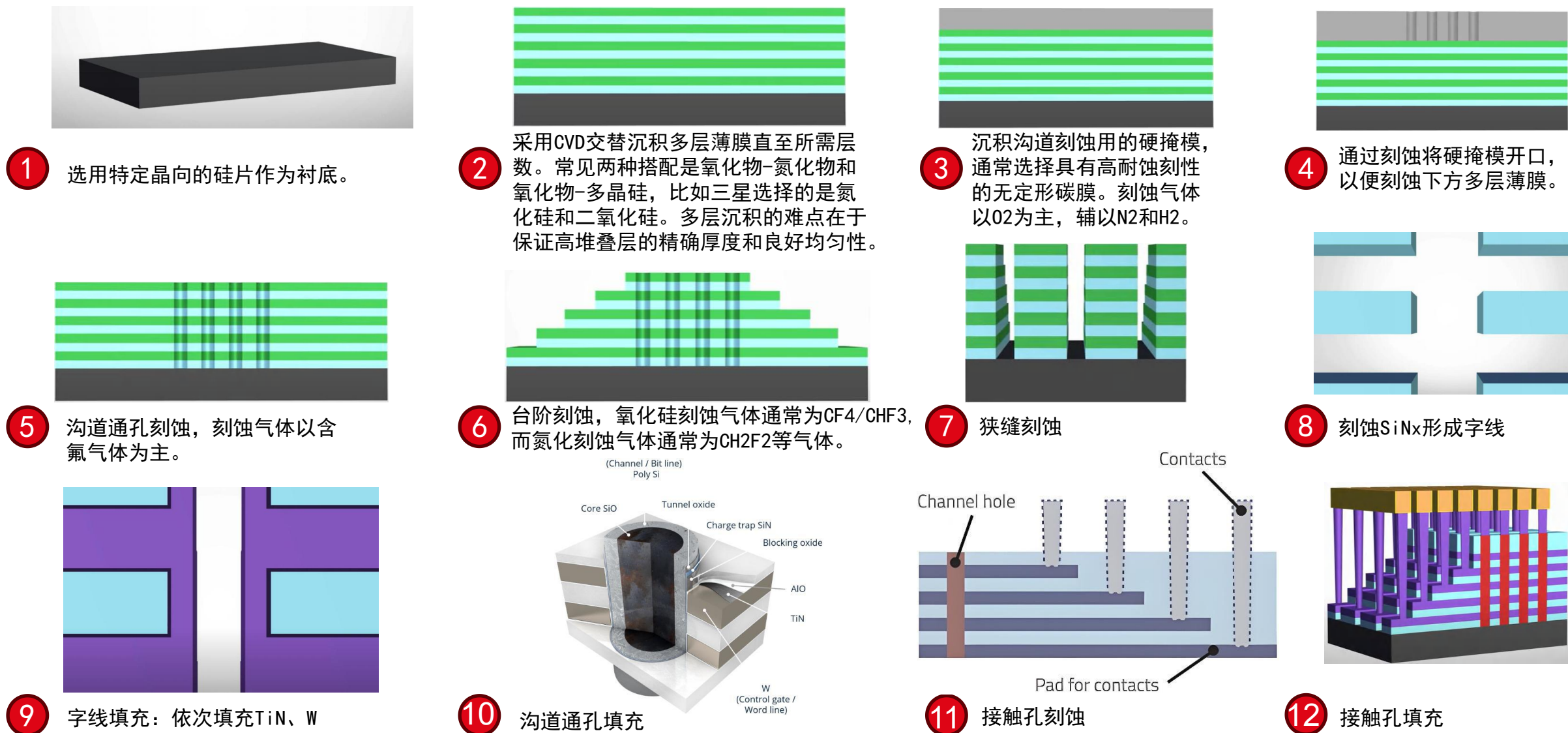


图：Xtacking架构是在两片晶圆上完成独立的制造工艺再通过数十亿根金属互连通道VIAs进行两片晶圆的键合



2.4 3D NAND制作简要流程

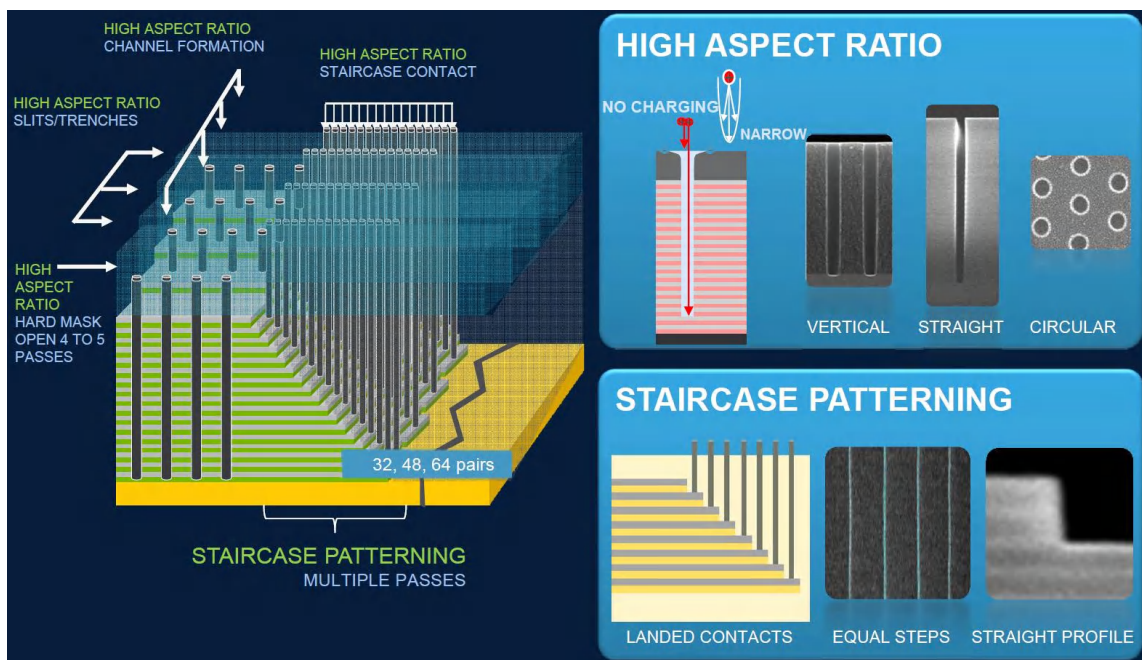
图：3D NAND制作简要流程



2.5 从工艺角度看2D NAND和3D NAND的区别

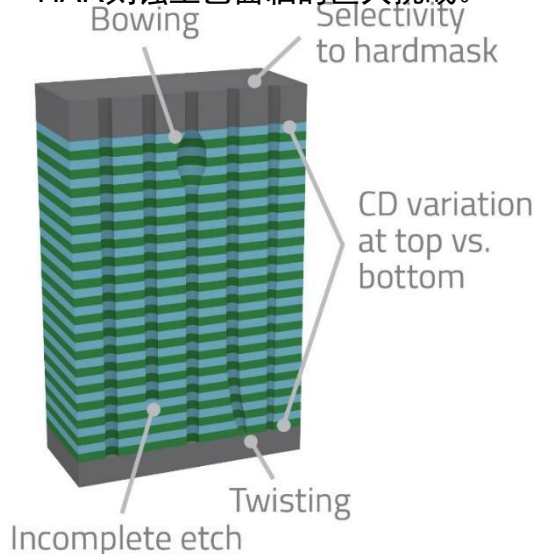
- ◆ 不同于2D NAND，3D NAND的制造工艺难点从光刻技术转向沉积和刻蚀技术。
- ◆ 台阶刻蚀难点在于台阶尺寸的可重复性以及高选择比的侧向修整工艺（Trim）。狭缝刻蚀、沟道孔洞刻蚀和接触孔刻蚀均要求设备具有高深宽比（High Aspect Ratio, HAR）刻蚀能力。
- ◆ 刻蚀的难度受孔间距和模具总高度两方面决定，前者与横向缩放即制程有关，后者与堆叠层数有关。三星表示刻蚀难度与模具高度平方成正比，与通道口间距立方成反比。Lam Research数据显示，96层3D NAND晶圆的刻蚀深宽比高达70:1，且每块晶圆中约有一万亿个细小通孔，这些孔道必须互相平行规整。

图：3D NAND所需刻蚀具体应用



图：HAR刻蚀主要挑战

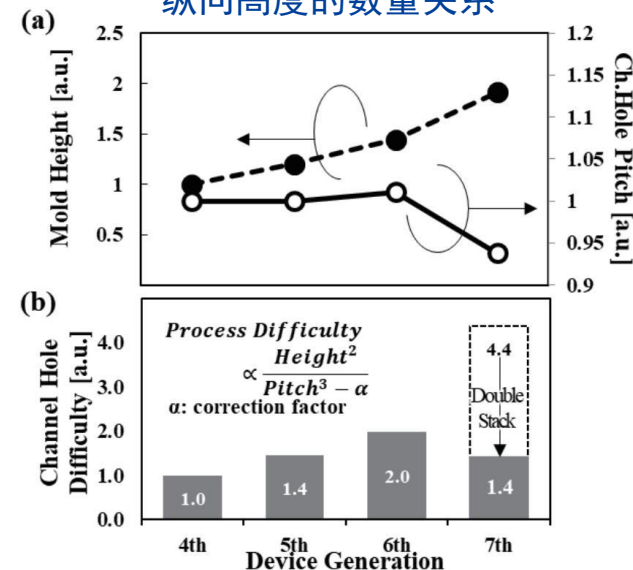
不完全刻蚀、弓形刻蚀、扭曲以及顶部和底部之间的CD差异是HAR刻蚀工艺面临的巨大挑战。



表：2D和3D NAND各自技术难点

2D NAND	3D NAND
Advanced Lithography (technically and cost)	HAR etching (profile control, mask formation, and selectivity, etc.)
Not enough charge available to store multiple bits	HAR deposition (uniformity and quality in extreme geometries)
Cross talk between cells	Need to access cells in 3D (staircase structure required)
Uniformity of cell performance	-

图：刻蚀难度与横向缩放/纵向高度的数量关系



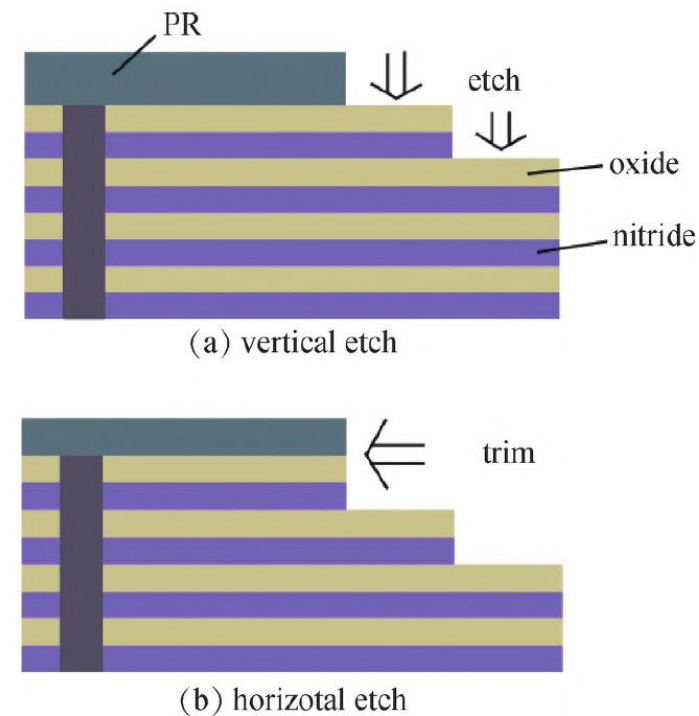
2.6 存储阵列涉及的刻蚀工艺

- ◆ 对于刻蚀设备选型，在满足技术节点的前提下，**1) Plasma类型**：首先要根据工艺特点选择合适的Plasma类型以满足不同需求，CCP类型具有较强深宽比加工能力，ICP类型可以产生较均匀的等离子体，TCP类型则可两者兼顾；**2) 特色功能**：考虑设备的特色功能对工艺的改善，比如多区域加热、Plasma分布可控和多区气体分配功能等。**3) 成本等其他因素**：对于同一个工艺制程，还需要考虑设备成本、设备综合效率（OEE）和良率等其他因素。
- ◆ 存储阵列涉及的刻蚀工艺主要为台阶刻蚀、狭缝刻蚀、沟道孔洞刻蚀和接触孔刻蚀。台阶刻蚀难点在于台阶尺寸的可重复性以及高选择比的侧向修整工艺，优选TCP刻蚀设备，而后三者要求设备具有高深宽比刻蚀能力，通常选择CCP刻蚀设备。

表：存储阵列涉及的刻蚀工艺介绍及所需刻蚀设备类型

刻蚀工艺	介绍	刻蚀设备选型
台阶刻蚀	难点在于台阶尺寸的可重复性以及高选择比的侧向修整工艺（Trim）。掩膜层不断变薄，侧向需要刻蚀掉固定的尺寸，要求精准地控制Trim时间。在反应过程中，已打开的台阶部分需要减少膜层损失，要求该步骤减弱纵向轰击能力并引入聚合物保护，可以通过调整反应气体和偏置功率等条件达到该目的。同时，该工艺对晶圆的均匀性要求非常高。	优先选择TCP刻蚀设备。
狭缝刻蚀	三种刻蚀工艺均要求刻蚀设备需要具有高深宽比刻蚀能力，如96层的3D NAND器件堆叠层刻蚀的深宽比高达70：1。如何克服不完全刻蚀、弓形刻蚀、扭曲，以及堆叠顶部和底部之间的CD差异是刻蚀工艺面临的巨大挑战。	通常选择CCP刻蚀设备以实现纵向较高的轰击能力；其次，该工艺对晶圆的均匀性和选择比有很高的要求，刻蚀设备需要具有多区域气体分配以及多区控温的功能。
沟道孔洞刻蚀		
接触孔刻蚀		

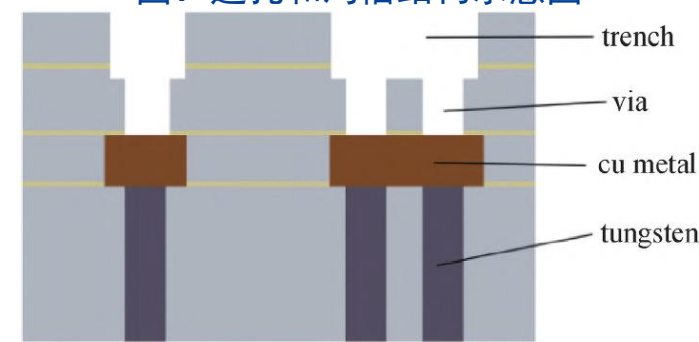
图：台阶刻蚀结构示意图



2.7 CMOS结构涉及的刻蚀工艺

- ◆ CMOS结构涉及的刻蚀工艺主要为浅层沟道隔离刻蚀、栅极刻蚀、补偿侧墙刻蚀、钨接触孔刻蚀、铜通孔（Via）刻蚀和介质沟槽（Trench）刻蚀。
- ◆ 浅层沟道隔离刻蚀、栅极刻蚀和钨接触孔刻蚀三类工艺对均匀性要求高，因此静电吸盘需要具备多区动态控温功能，同时设备还需配置多区气体分配系统。
- ◆ 此外，钨接触孔刻蚀工艺要求刻蚀设备需要具有高深宽比刻蚀能力，通常选用电容性等离子体（CCP）刻蚀设备。

图：通孔和沟槽结构示意图



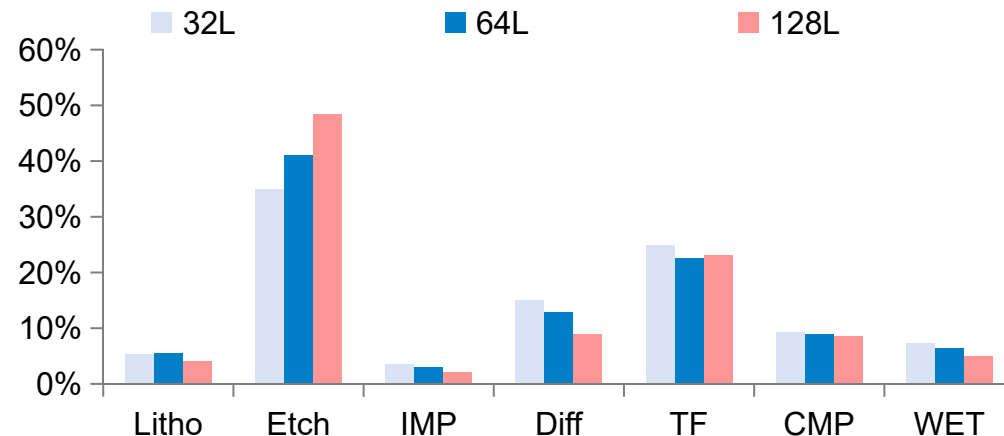
表：CMOS结构涉及的刻蚀工艺介绍及所需刻蚀设备类型

刻蚀工艺	介绍	刻蚀设备选型
浅层沟道隔离刻蚀	在硅基底上刻出数道沟渠以隔离各个器件。该工艺需精确地控制关键尺寸和沟道深度，同时要求工艺设备具有非常均匀的刻蚀速率。	通常选择变压器耦合等离子体（TCP）刻蚀设备，同时要求静电吸盘具有多区动态控温的功能，通过调节内外圈温度来改善CD和深度的均匀性。
栅极刻蚀	该工艺用以形成器件开关。栅极材料在28nm以上一般为多晶硅，主要反应气体为Cl ₂ /HBr或SF ₆ /CH ₂ F ₂ 。通过调节反应气体的比例用量来调整栅极的侧壁角和CD，因其微小的变化对芯片的电性影响很大，故该工艺对均匀性要求非常高，在晶圆边缘易发生良率损失。	除了静电吸盘需要具备多区动态控温功能，还要求设备配置多区气体分配系统，如边缘可通入小剂量的CH ₃ F改善晶圆的均匀性。此外，还需要增加电感线圈调节功能，通过调整内、外圈电流比例来控制Plasma的分布，一般选用电感耦合等离子体（ICP）或TCP刻蚀设备
补偿侧墙刻蚀	在栅极两侧形成薄膜以隔绝低掺杂的漏区及源、漏区。该工艺主要由两道工序完成，先沉积氧化硅和氮化硅膜层，再利用刻蚀去除表面的氮化硅，最终在多晶硅栅极侧面保留一部分氮化硅。此加工过程不需要掩模版，而是利用回刻形成。	该刻蚀工艺制程步骤较少，通常选用CH ₂ F ₂ 和O ₂ 参与反应进行主刻蚀和过刻蚀，反应过程中无需很强的纵向轰击能力。优选ICP或TCP刻蚀设备
钨接触孔刻蚀	用以形成连接栅极和源、漏区到金属层。通过刻蚀工艺穿过层间电介质形成的深孔，再填充钨金属用以连接前段开关和金属层。深孔对应着下方的栅极和源、漏极，导通性决定了开关的有效性。因此，控制通孔的CD和深度非常重要，既要保证纵向贯通，还要求深孔上、下口尺寸稳定。由于前层光刻Overlay的偏移以及刻蚀速率的波动，晶圆边缘易出现通孔异常而导致器件失效。	刻蚀设备需精确控制刻蚀速率的均匀性，要求晶圆边缘具备精细化的供气装置，可在上电极边缘通入小流量的气体（如O ₂ ）进行调节。此外，刻蚀设备需具有高深宽比刻蚀能力，反应腔内等离子体要有很强的纵向轰击能力。通常选择电容耦合等离子体（CCP）刻蚀设备。
铜通孔（Via）刻蚀	形成纵向金属层互连通孔	先沟槽后通孔工艺：需先进行TiN硬掩模刻蚀，主要刻蚀气体为Cl ₂ 和BCl ₃ 。由于生成物易在反应腔壁积累，要求设备具有自清洁功能。因为硬掩膜比较薄，无需很强的纵向轰击能力，一般选用ICP刻蚀设备。
介质沟槽（Trench）刻蚀	形成横向导线通道，经过铜金属填充和化学机械研磨最终形成金属互连	先通孔后沟槽工艺：通孔刻蚀主要由底部抗反射涂层打开、主刻蚀和过刻蚀三步组成，需要设备通过高偏置功率产生较强的纵向轰击能力。通常选用CCP刻蚀设备。

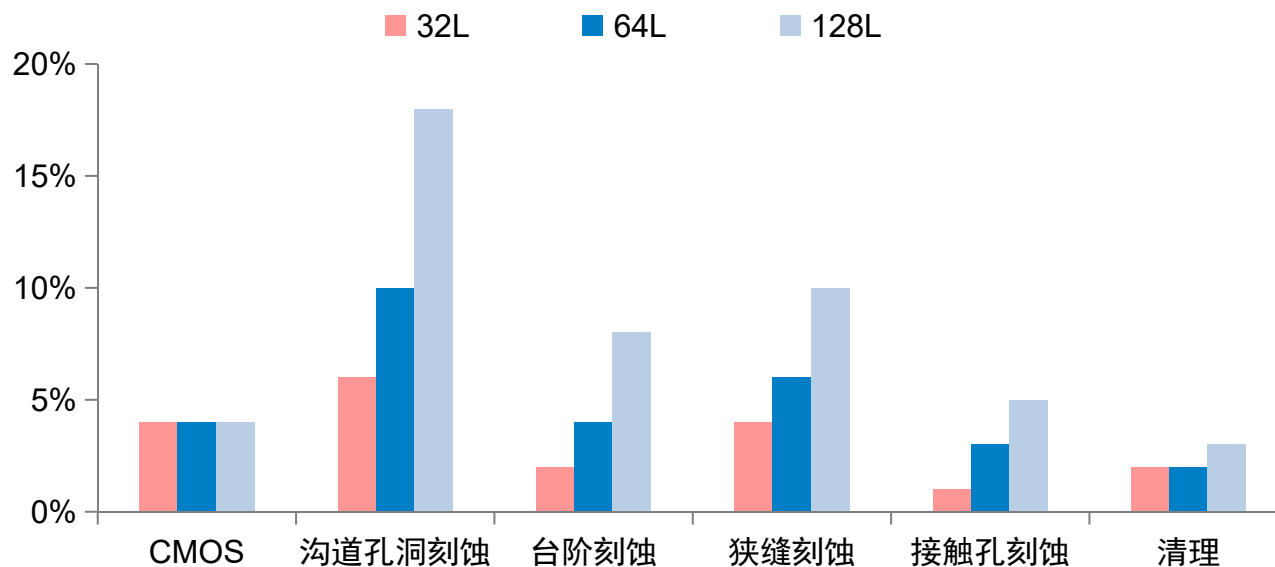
2.8 刻蚀设备数量配置分析

- ◆ 刻蚀设备数量需求变化主要来自Array存储结构堆叠层数的变化。随着堆叠层数的增加，相同工艺制程次数增加以及待刻蚀膜层厚度增加是刻蚀工艺设备数量需求增加的主要原因。
- ◆ 随着堆叠层数的增加，刻蚀设备数量占比不断攀升；128L的3D NAND产线中刻蚀设备数量占比接近一半。
- ◆ 对于不同堆叠层数，CMOS驱动部分的刻蚀设备用量需求不变，Array存储结构刻蚀设备数量的变化明显。台阶刻蚀和清理工艺刻蚀设备用量提升主要来自加工次数增长，而沟道通孔、狭缝和接触孔工艺则是来自于加工时长变长。

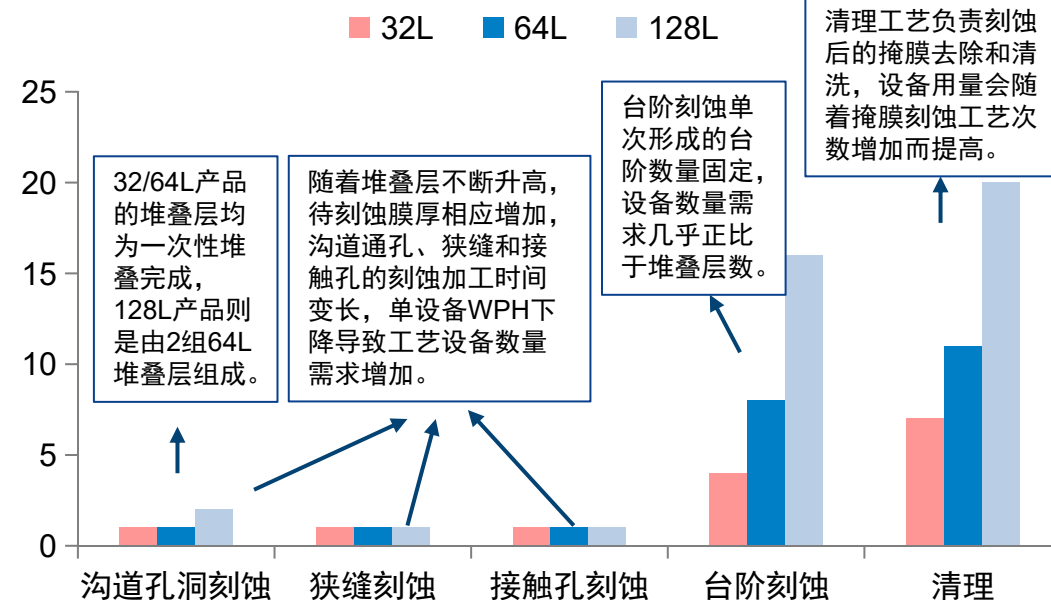
图：150K/月假定产能下各个工艺区设备数量占比（%）



图：不同堆叠层刻蚀工艺设备用量（%）



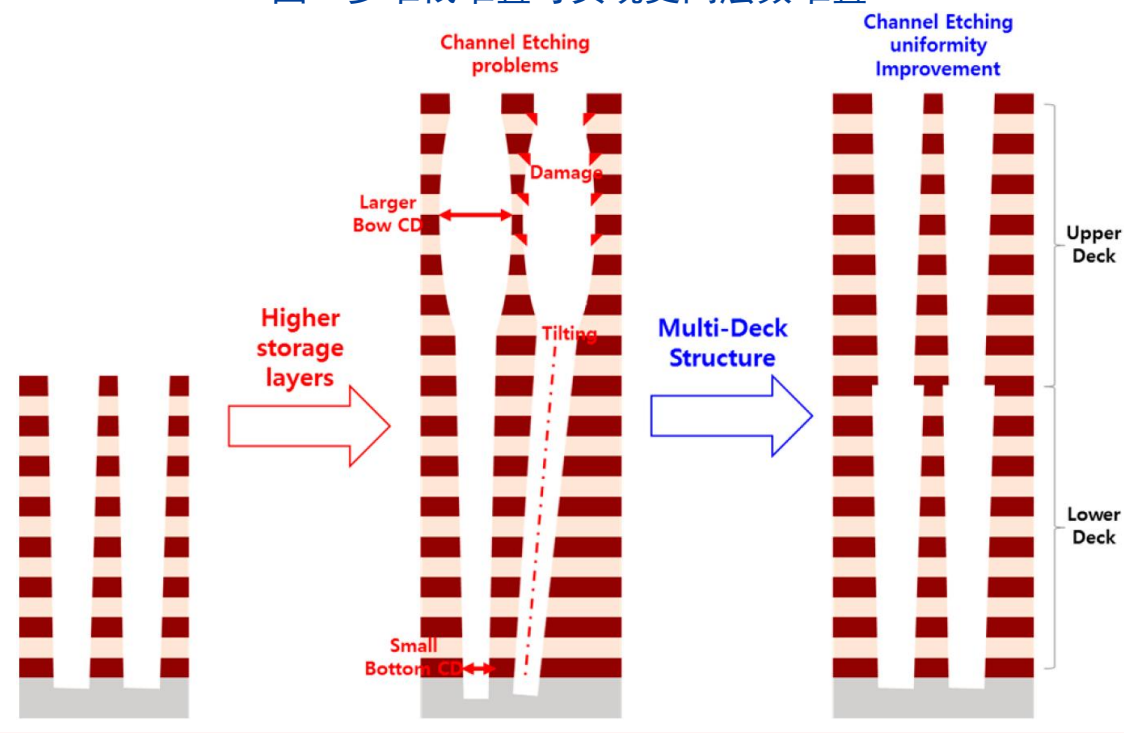
图：不同堆叠层刻蚀工艺加工次数（次）



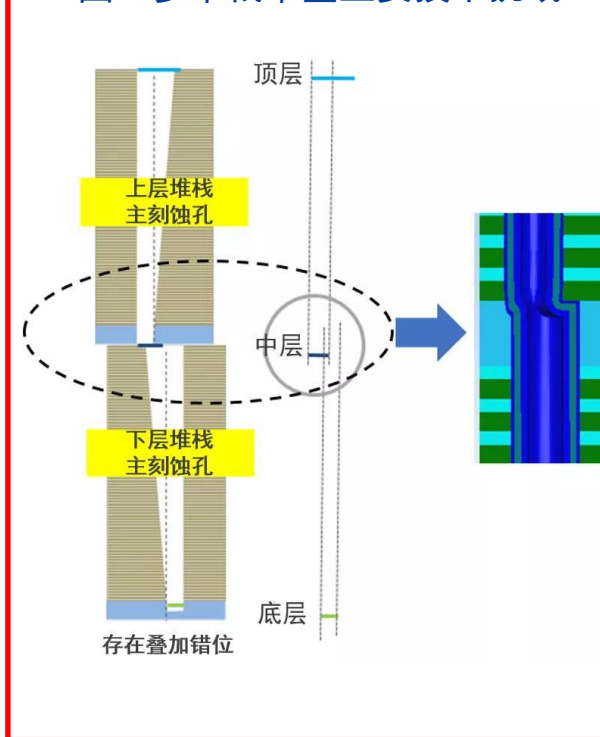
2.9.1 多堆栈堆叠有效解决层数增加的需求与高深宽比刻蚀工艺挑战间的矛盾

- ◆ 多堆栈堆叠是解决3D NAND层数不断增加的需求与高深宽比刻蚀工艺挑战之间矛盾的有效解决方案。相比单次直接成型，多堆栈堆叠制造工序更多，制造时间更长，成本更高且良率更低，但技术难度低，其主要技术挑战在于不同层错位问题和其导致的沟道刻蚀偏移。
- ◆ 迈入100层以上后，除三星外的各大存储厂商都开始采用多堆栈堆叠技术。
- ◆ 凭借领先的HAR刻蚀技术。三星在128层3D NAND仍选择单次刻蚀成型，但其同时表示单次刻蚀若超128层则变得十分困难。因此，三星在其第七代176层的V-NAND产品首次引入双堆栈架构。

图：多堆栈堆叠可实现更高层数堆叠



图：多堆栈堆叠主要技术挑战



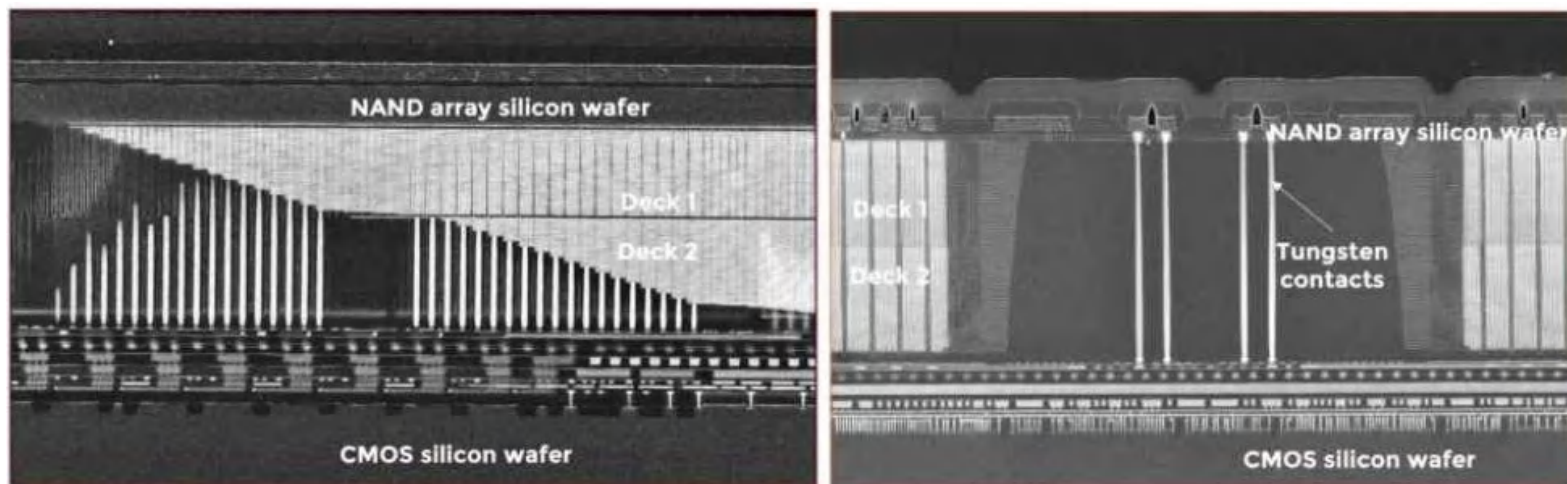
表：各公司不同层3D NAND产品堆栈数量

公司	3D NAND层数	堆栈数量
美光	128	2
	176	2
	232	2
三星	128	1
	176	2
	236、310	2
	430、581	3
	784、1058	4
	1428	5
SK海力士	128	2
	176	2
	238	2
	321	3
西部数据/铠侠	112	2
	162	2
	212	2
长江存储	128	2
	232	2

2.9.2 长存百层以上NAND采用双堆栈架构，SK海力士300层NAND将采用三堆栈架构

- ◆ 2022年10月17日，美国商务部工业与安全局出台了针对半导体领域的大规模的出口管制规则，限制128层及以上NAND闪存芯片生产用设备出口中国。
- ◆ 不同于其他厂商由64层升级至96层的传统产品规划，长江存储第三代3D NAND通过双堆栈堆叠将堆叠层数由上一代的64层提升至128层（Deck1 72层，Deck2 69层）。其第四代产品也并未遵循常规升级至176层，而是同样通过双堆栈堆叠的方式实现232层堆叠层数（Deck1 128层，Deck2 125层）。
- ◆ 2023年8月SK海力士推出321层NAND样品，成为全球首家完成300层以上堆叠NAND闪存的公司，预计25H1量产供货。TechInsights数据显示，该321层3D NAND产品的上层Deck字线层数为110层，中间和下层Deck字线层数均为114层。

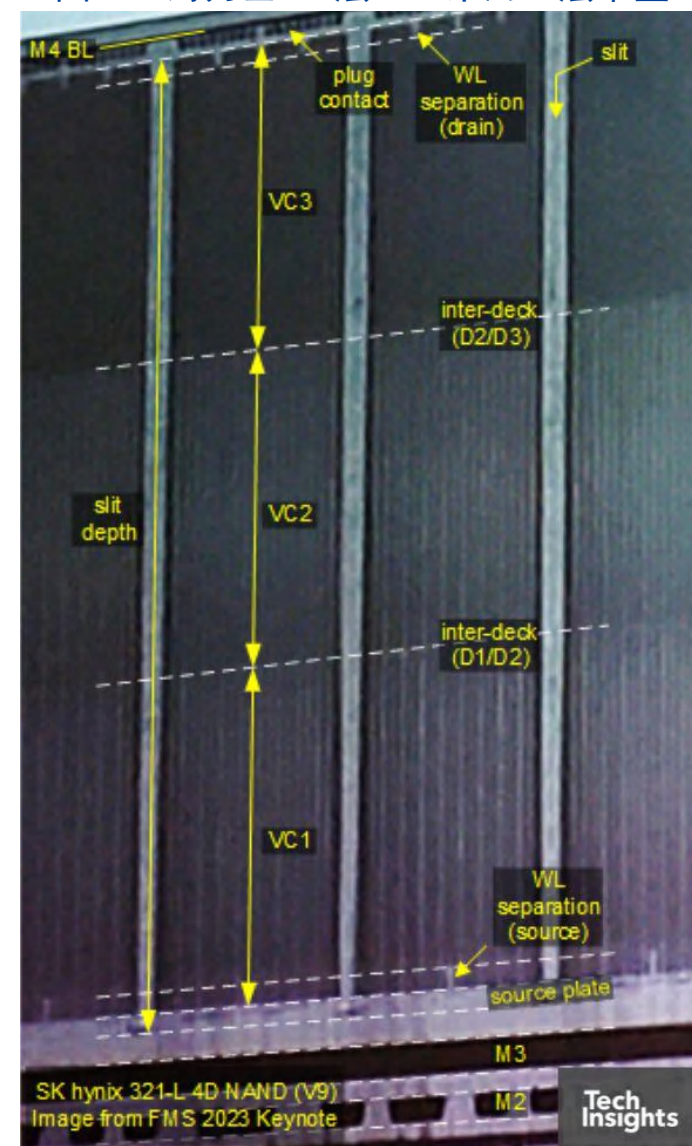
图：长江存储128层和232层3D NAND产品结构



YMTC 128-layer

YMTC 232-layer

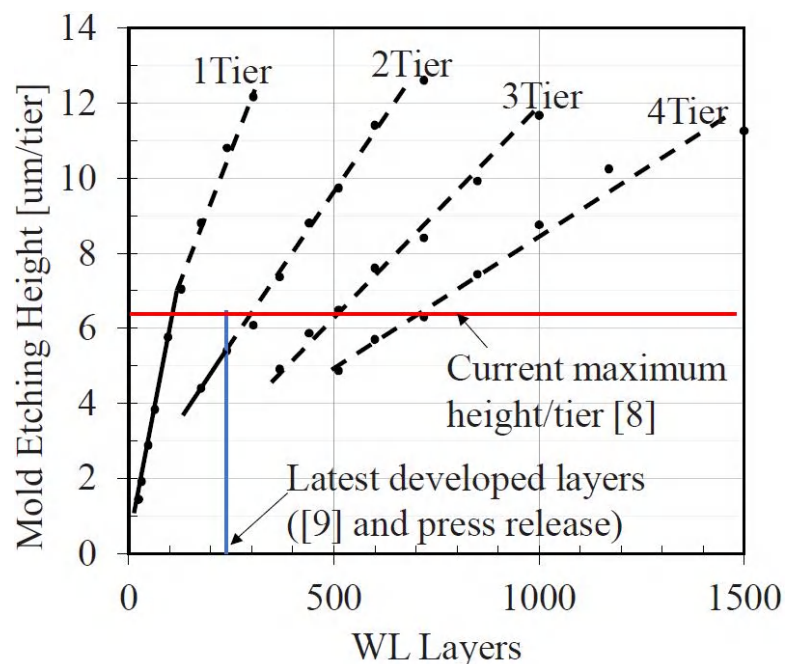
图：SK海力士321层NAND采用三层堆叠



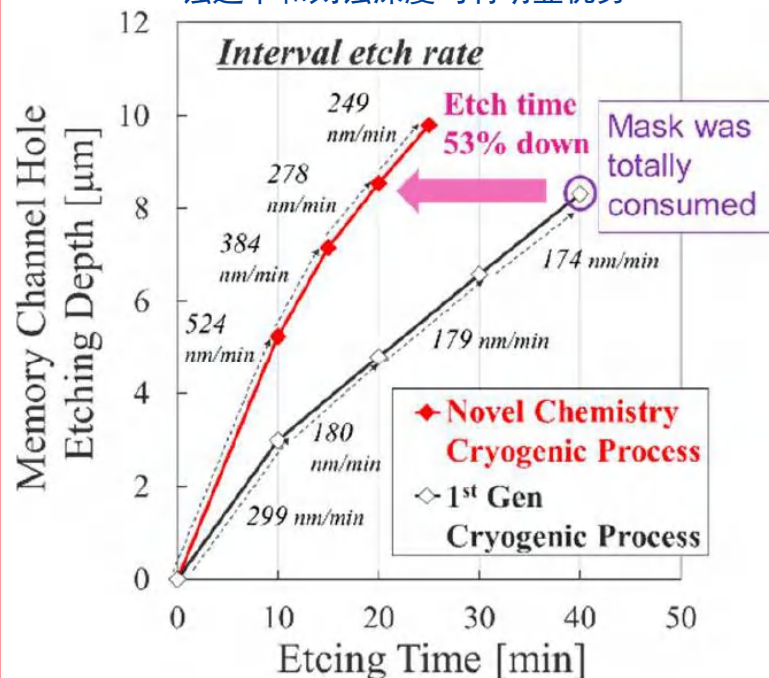
2.10 TEL低温刻蚀技术实现更高深宽比刻蚀，可应用400层以上NAND生产

- ◆ 128层3D NAND需要约6.3 μm 的单层刻蚀，对于超400层的3D NAND，即使采用双层堆叠，也需要至少8 μm 的单层刻蚀技术。
- ◆ 2023年6月，TEL推出全新低温刻蚀设备。该设备在-70 $^{\circ}\text{C}$ 低温下运行，33分钟内可蚀刻10 μm 深的ONONO内存通道孔，可应用于超400层的3D NAND制造；同时，该设备放弃了传统高GWP值的CF和CHF气体，而是采用GWP值小于1的HF气体。
- ◆ SK海力士和三星均在对TEL低温刻蚀设备进行测试评估，其中SK海力士是将测试晶圆送至日本的TEL实验室，而三星则是直接引进TEL新设备。

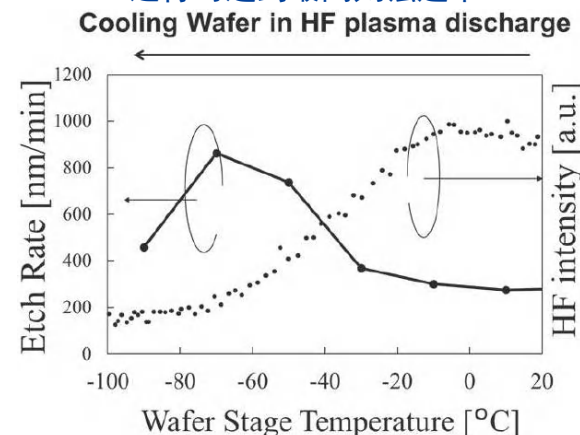
图：堆叠层数、单次刻蚀深度以及堆栈个数间关系



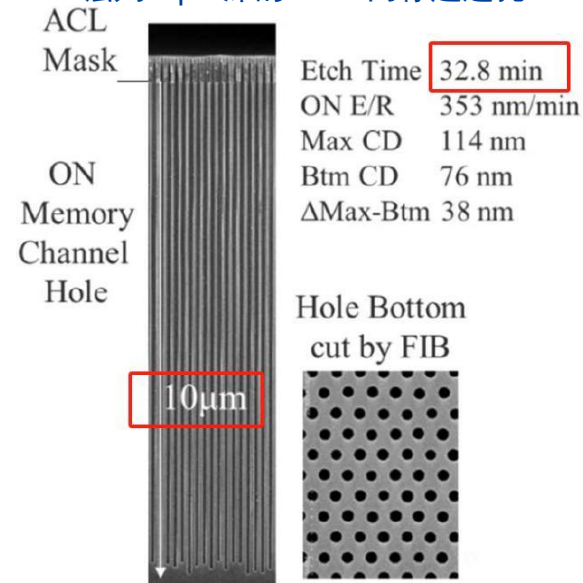
图：TEL新一代低温刻蚀技术在刻蚀速率和刻蚀深度均有明显优势



图：TEL低温刻蚀设备在-70 $^{\circ}\text{C}$ 温度运行时达到最高刻蚀速率



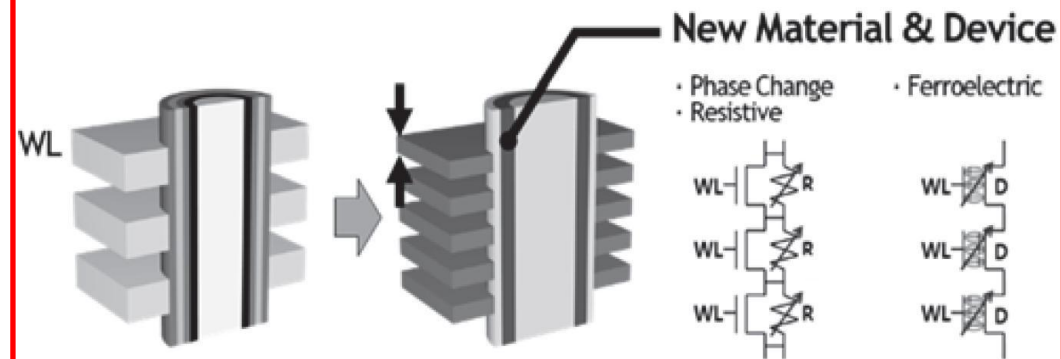
图：TEL低温刻蚀设备可在33分钟内可蚀刻10 μm 深的ONONO内存通道孔



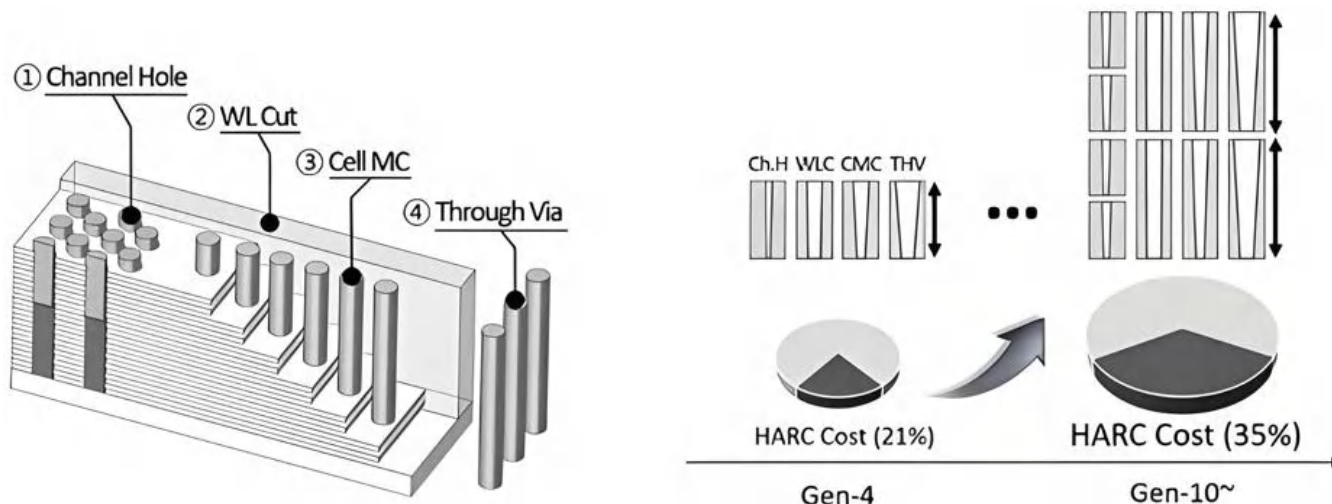
2.11 1000层NAND：新材料/新器件结构降低刻蚀难度，同时刻蚀降低成本

- ◆ 2023年12月，三星在IEDM 2023上表示将在其第13代（V13）产品实现1000层以上的字线层数堆叠。
- ◆ 难度：高层数将导致芯片高度增加，进而使得增加刻蚀难度。三星通过将部分栅极绝缘膜替换为铁电膜以减少栅极间距等方式实现芯片高度减少。
- ◆ 成本：三星表示，V10（430层）仅沟道通孔就需重复蚀刻四次，接触孔等其他三种高深宽比结构需重复蚀刻两次，高深宽比刻蚀工艺成本占比提升由V4（64层）的21%提升至35%。三星计划同时进行四种结构的高深宽比刻蚀以减少刻蚀次数，进而降低刻蚀成本。

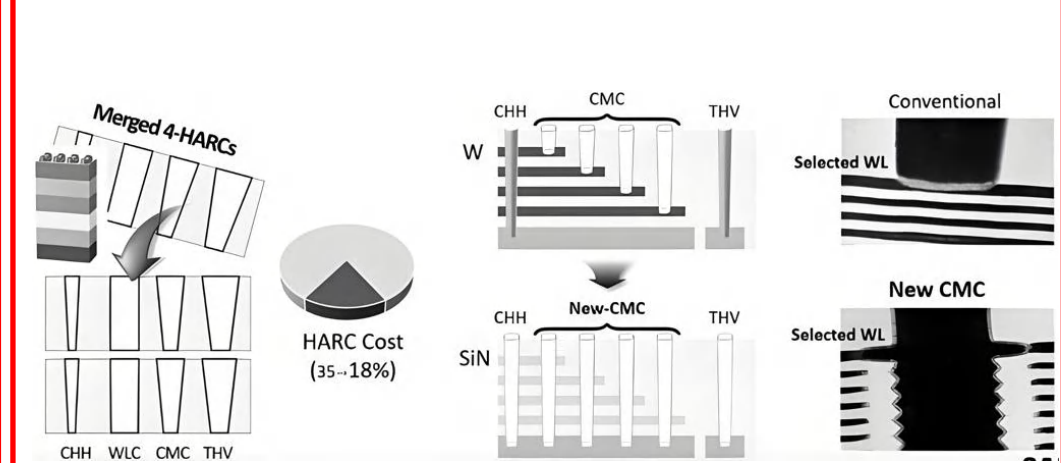
图：三星通过新材料和新器件结构实现高度减少



图：高深宽比刻蚀工艺成本占比随着层数提升而增长



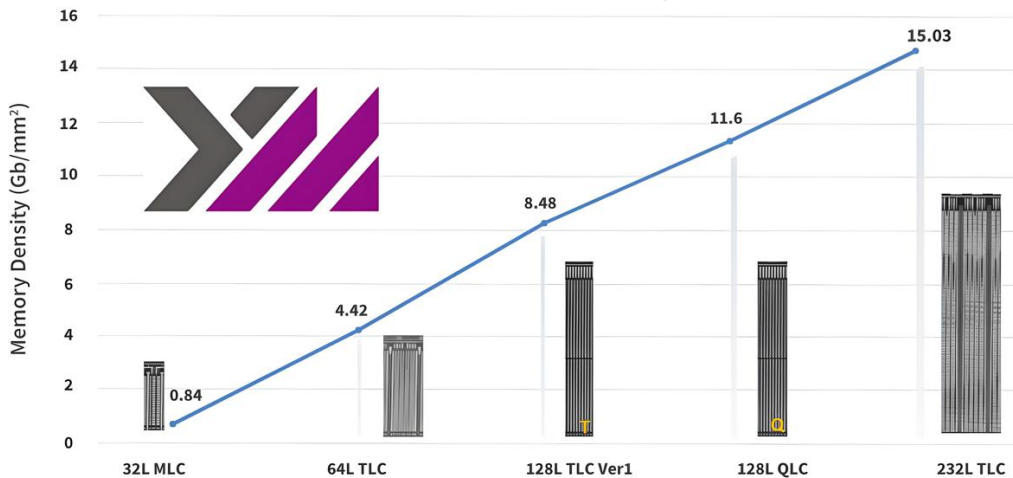
图：三星同时进行四种结构的刻蚀以降低刻蚀成本



2.12 长江存储历代产品信息

- ◆ 长江存储历代产品迭代过程中，位元密度均实现了大幅度的提升。
- ◆ 首款3D NAND产品为32层结构，并在第二代64层3D NAND产品首次引入了Xtacking技术。
- ◆ 第三代产品首次采用双堆栈架构，成功实现高达128层的层数堆叠，相应的沟道通孔高度约是第二代的两倍。
- ◆ 第四代产品同样采用双堆栈架构，层数高达232层，垂直单元效率达到91.7%；位元密度实现接近翻倍的提升达到15.0Gb/mm²，超过美光176层QLC和232层TLC的3D NAND产品（位元密度分别为14.9和14.6Gb/mm²）。

图：长江存储历代3D NAND位元密度（Gb/mm²）



表：长江存储历代3D NAND具体性能参数

	Gen 1 (32L MLC)	Gen 2 (64L TLC)	Gen3 (128L TLC, 1B-Die)	Gen4 (232L TLC)
Memory / Device	256 Gb	1 Tb	2 Tb	8 Tb
Die Markings	98081A	BCT1B	CDT1B	EET1A
Architecture	T-CAT	Xtacking 1.0	Xtacking 2.0	Xtacking 3.0
# Dice, Memory/Die	4, 64Gb	4, 256Gb	4, 512Gb	8, 1Tb
Die Size	76.30 mm ²	57.96 mm ²	60.42 mm ²	68.15 mm ²
Memory Density	0.84 Gb/mm ²	4.42 Gb/mm ²	8.48 Gb/mm ²	15.03 Gb/mm ²
# Planes	1	2	4	6 (Center-XDEC)
# Decks, # Gates	1, 39T	1, 73T	1, 141T (69 + 72)	2, 253T (128 + 125)
Vertical Cell Efficiency	82.1%	87.7%	90.8%	91.7%
# Metals	3	8	11	11 (BSSC)
Channel Hole Height	2.74 μm	4.14 μm	8.49 μm	12.0 μm
WL Pitch (Z-direction, min.)	70 nm	58 nm	58 nm	48 nm
BL Pitch	39 nm	39 nm	39 nm	39 nm
Unit Cell Area	0.018 μm ²	0.021 μm ²	0.021 μm ²	0.021 μm ²

01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

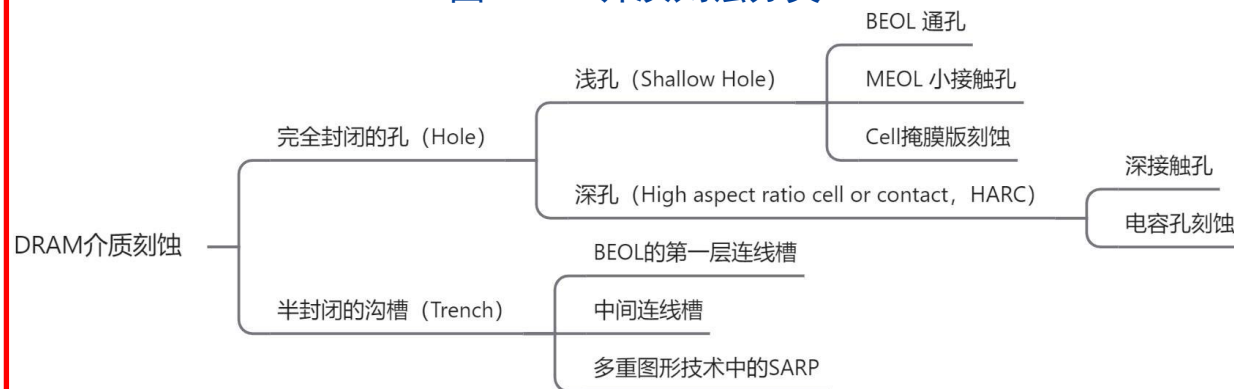
07 风险提示

- 3.1 DRAM主要刻蚀工艺
- 3.2 20nm以下DRAM刻蚀难度显著提高
- 3.3 电容孔刻蚀是DRAM良率的瓶颈之一，深宽比可超80
 - 2.3.1 3D NAND芯片结构——PNC和PUC
 - 2.3.2 3D NAND芯片结构——晶栈®Xtacking®
- 3.4 深接触孔三大常见问题，高功率CCP刻蚀设备用于高深宽比刻蚀
- 3.5 3D DRAM成未来发展趋势，SK海力士五层堆叠3D DRAM良率过半
- 3.6 3D DRAM制作工艺流程

3.1 DRAM主要刻蚀工艺

- ◆ DRAM结构分为存储阵列（Cell）和外围区（Periphery）。
- ◆ DRAM刻蚀工艺按刻蚀材料可分为导体刻蚀和介质刻蚀。BEOL的MC/Via/Trench/PAD、MEOL的CC/PC和Cell的Cap及其介质掩膜版（Mask Open）均属于介质刻蚀工艺，常采用电容耦合等离子体（CCP）刻蚀设备。
- ◆ DRAM介质刻蚀按图形类型可分为完全封闭的孔（Hole）和半封闭的沟槽（Trench）。

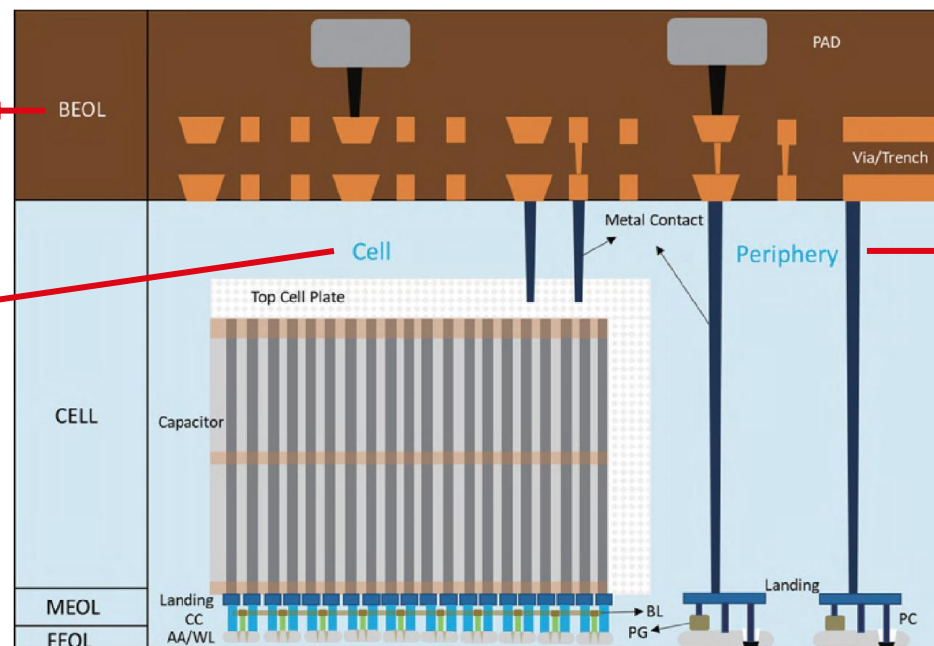
图：DRAM介质刻蚀分类



图：DRAM剖面结构

BEOL连线包括槽（Trench）、通孔（Via）和平板（PAD）。Trench/Via不同世代层数有所不同，一般为2~4层。大部分Trench/Via都是Cu线工艺，顶层Trench和PAD是Al工艺。

存储区包括前段工艺（Front end of line, FEOL）的AA、WL、BL，中段工艺（Middle end of line, MEOL）的BL、电容接触孔（Capacitor contact, CC）、着陆电板（Landing pad, LP）和存储段（CELL）的电容孔。

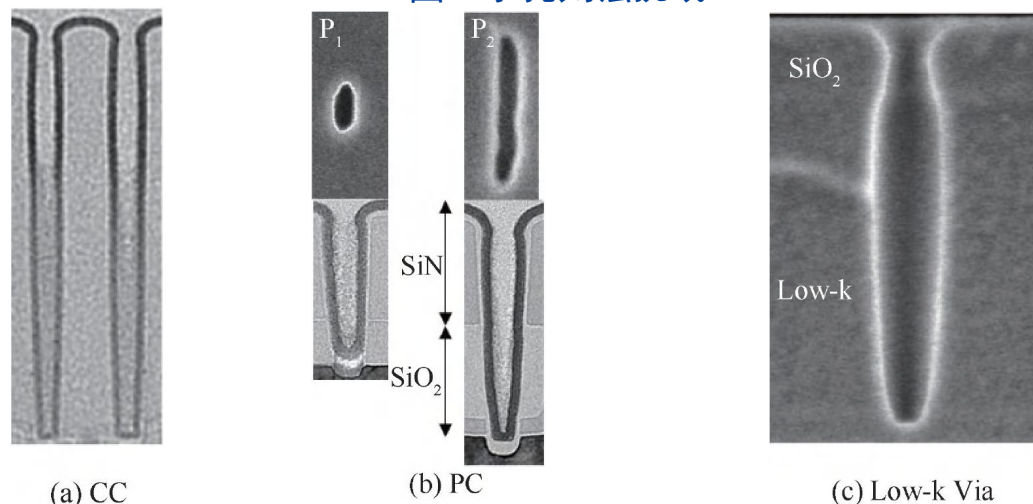


外围区主要是驱动器和放大器。存储区的WL和BL延伸出来与外围接触孔（Periphery contact, PC）底端相连，PC底端还连接着外围传递门（Periphery gate, PG）和外围区的AA，PC的顶端连接金属（Landing metal, LM），LM向上继续连接金属、接触孔（metal contact, MC），MC底端连接存储阵列区的电容上电极，MC再向上即后段工艺（Backend of line, BEOL）连线布局。

3.2 20nm以下DRAM刻蚀难度显著提高

- ◆ 当DRAM迭代至20nm以下时，对刻蚀工艺和刻蚀设备均提出了更高的要求。对于介质刻蚀工艺的挑战主要来源于图案的小尺寸、高深宽比和多样性，设备的挑战主要来源于对机台稳定性和晶圆均匀性更加严苛的要求。
- ◆ 小孔刻蚀：20nm以下，小孔刻蚀的挑战主要来自于小CD、图形负载（Pattern Loading）和材料三个方面。
- ◆ 沟槽刻蚀：线型粗糙度、形貌和均一性是考量沟槽刻蚀物理表现的三大指标。LER/LWR和CD有一定的关联性，小CD的粗糙现象会更加明显。对于LER/LWR要求较高的制程，应避免使用较高的离子能量。BEOL第一层连线槽为了有效降低接触电阻，沟槽的形貌要求尽量直。中间层连接槽还需要关注沟槽与孔界面处的形貌。对于SARP，高掩模选择比能够有效保持初始尺寸和形貌。
- ◆ 晶体管的有源区（Active Area, AA），是DRAM存储阵列区域最关键的Pattern之一，其尺寸和形状则是影响良率和性能的重要因素。作为DRAM中间距最小的图案，AA通常采用自对准多重图形技术进行制作。

图：小孔刻蚀挑战

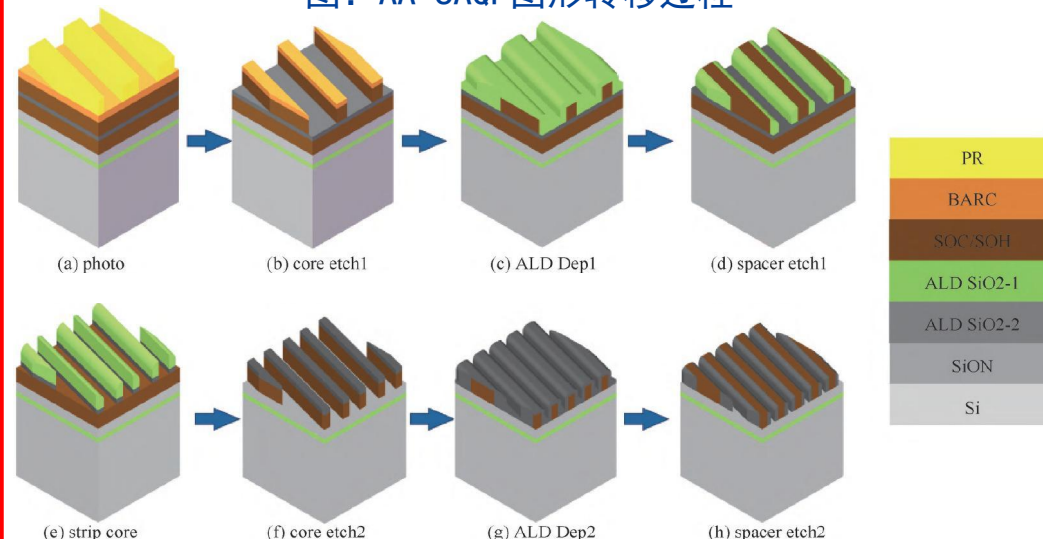


a) 小尺寸图案刻蚀中存在刻蚀形貌和相邻孔间CD均一性较差的问题，需在刻蚀中尽可能地控制形成聚合物的尺寸以及沉积位置。

b) P2比P1更深，深度差异源自于停止层分别位于不同深度，造成两种孔在刻蚀结束后存在一定尺寸差异，需对孔长短边进行精确控制。

c) DRAM介质刻蚀材料的变化主要发生在BEOL孔/槽。Low-k材料在硬度和化学反应特性上和SiO₂都存在较大的区别，因此刻蚀过程中在材料分界面形成碗状的形貌。此外，Low-k材料在刻蚀气体选择时，需要严格控制活性氧的浓度，以免造成对材料本身的损伤。

图：AA SAQP图形转移过程

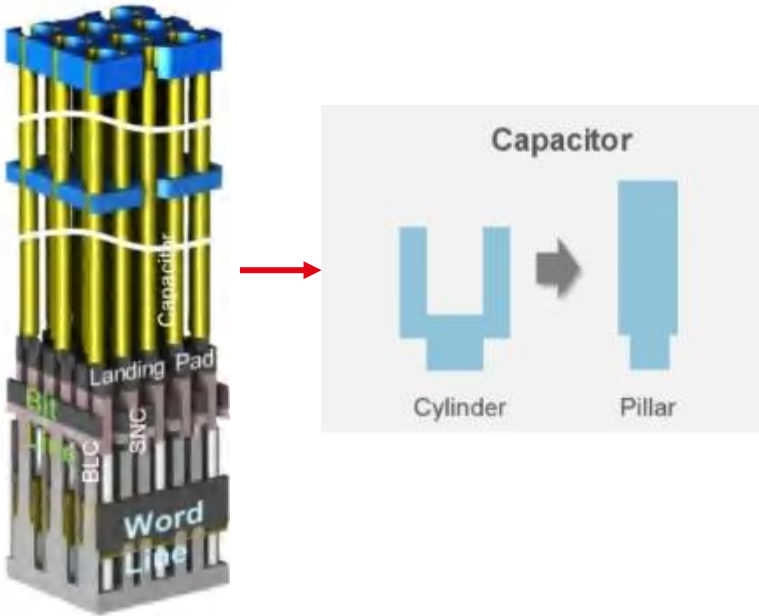


AA SAQP图形转移过程：第一次图形曝光，第二次图形core etch1 > ALD1 > spacer etch1，再重复一次core etch2 > ALD2 > spacer etch2。后对spacer进行切分，分成一个个独立的掩膜（mask）进一步向下转移图形。涉及到的刻蚀材料有光阻、抗反射层、无定形碳、SiO₂、无定型Si和单晶Si。

3.3 电容孔刻蚀是DRAM良率的瓶颈之一，深宽比可超80

- ◆ DRAM中的HARC刻蚀主要用于形成电容孔和深接触孔。
- ◆ 随着尺寸的缩小，电容正向深宽比更高的柱状结构发展，20nm以下电容孔深宽比已超30。未来，深宽比急剧增大；TEL预计电容深宽比可超80。
- ◆ 电容孔刻蚀工艺挑战包括掩膜选择比、掩膜损伤和孔顶端与底端尺寸的差值等，这些参数通常存在折中效应，重点在于找到工艺最佳的平衡点。此外，设备对晶圆边缘的控制、可靠性和稳定性等同样至关重要。晶圆边缘的孔在电容孔刻蚀后通常会出现刻蚀停止和扭曲的现象，需通过调整机台边缘设计以控制晶圆边缘的等离子体分布。
- ◆ 作为是DRAM良率的瓶颈之一，电容孔刻蚀所需的设备的生产稳定性至关重要。维护设备量产的稳定性常见方法包括腔室内的清洁和恢复，新旧零部件的搭配和管控等。

图：电容结构



图：DRAM技术Roadmap

Year of HVM (20k/month)	2023	2024	2025	2026	2027	2028	2029	2030	2031	2032	2033			
Node	1b		1c		1d		0a		0b		0c		0d	
Cell layout / Structure	2D 6F² 4F² VCT* [1,2] 3D * Vertical Channel Transistor [1] Seokhan Park (Samsung) et al., IEDM 2023 [2] Daewon Ha (Samsung) et al., IEDM 2023													
F [nm] in 6F ²	13		12~11		11~10		10~9		8		7			
Cap. pitch [nm]	39		36~33		33~30		30~27		24		21			
Cap. A.R.	>50		>55		>65		>70		>75		>80			
Cap. Mat.	ZrAlHfO								Alternative (HfZrO Anti Ferro, STO etc.)					
BL	W LK spacer								Low R metal					
Peri. CMOS	HKMG													

3.4 深接触孔三大常见问题，高功率CCP刻蚀设备用于高深宽比刻蚀

- ◆ 深接触孔的深宽比通常在15~30之间，常见问题包括侧掏，底部变形以及随机堵孔。
- ◆ 侧掏：侧掏会使后续填充金属时候出现空隙（void），从而影响BEOL M1连线的电性可靠性。常见的解决方法是尽可能提高氧化硅对掩模的刻蚀选择比，将侧掏部分限制在顶部的无定形碳中。
- ◆ 底部变形：底部变形与孔内聚合物的沉积以及侧壁充电的均匀性有很大关系，即使微小的变形都容易造成电路短路。
- ◆ 随机堵孔：堵孔会造成电路断路,通常由聚合物沉积过多导致。
- ◆ CCP刻蚀设备可分为低成本、中等功率和高功率三大类，分别针对不同的介质刻蚀工艺。低成本机型用于大CD制程；中等功率机型属于介质刻蚀的通用机型；高功率机型是刻蚀设备研发的最难点，主要用于存储器中的高深宽比刻蚀。

表：不同CCP刻蚀设备介绍

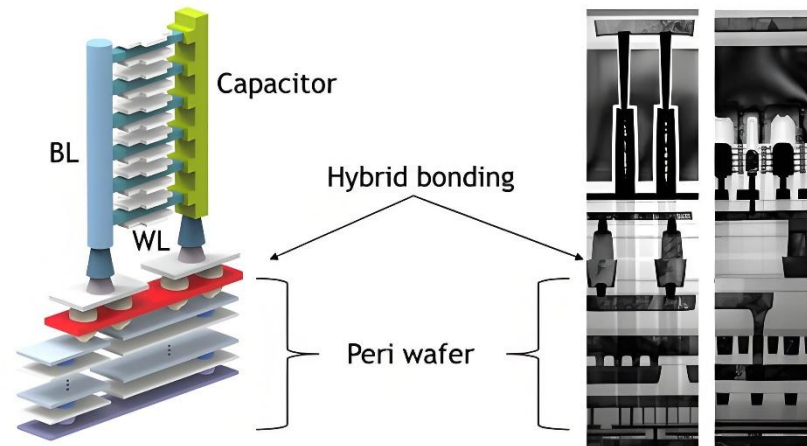
类别	特点	应用场景	发展趋势
低成本	通常选择低成本的系统设计和零件配套，拥有较少的调节功能	用于大CD（微米级或次微米级）的制程，例如BEOL PAD	低成本机型在工艺和设备方面都已完全成熟，但是存在量产阶段金属污染所带来的缺陷和刻蚀速率偏移等问题，需优化清洁规则和零部件的材料。常见的解决方案是增加腔内干法清洁的频率和强度，但这势必会加速零部件的消耗，因此零部件表面的镀层和改性尤为重要。
中等功率	具有强大的晶圆均匀性调控功能，属于介质刻蚀的通用机型，涵盖的制程类型和细分较多。逻辑接触孔和槽刻蚀往往要求低损伤，因此LF频率通常选择10~30MHz；而存储相关制程需要一定强度的离子能量，所以LF频率通常选择1~3MHz。	小孔和小槽的刻蚀	更精准、更灵活、更快速的温度控制和气体切换。 例如：1、气体方面不仅包含传统的碳氟气体，还会引入甲烷等高氢含量的气体用于调节选择比和孔内形貌。 2、引入原子层刻蚀工艺，该工艺优势为超高的氧化硅对氮化硅选择比，优异的图案均匀性以及较低的材料损伤。
高功率	具有复杂的射频系统和晶圆边缘控制组件，需配备高功率低频的射频电源。在高功率环境下，CCP设备容易发生击穿和高温熔断等问题，要求对机台的一些关键组件的传热导电进行特殊处理。	存储器中的高深宽比刻蚀	低频电源更高功率和更低频率、多水平脉冲射频电源的开发、工艺组件的导热和冷却能力越来越强和对等离子体边缘效应的精确控制等。

资料来源：《DRAM介质刻蚀工艺和设备发展简述》（胡增文、侯剑秋和周娅），华金证券研究所

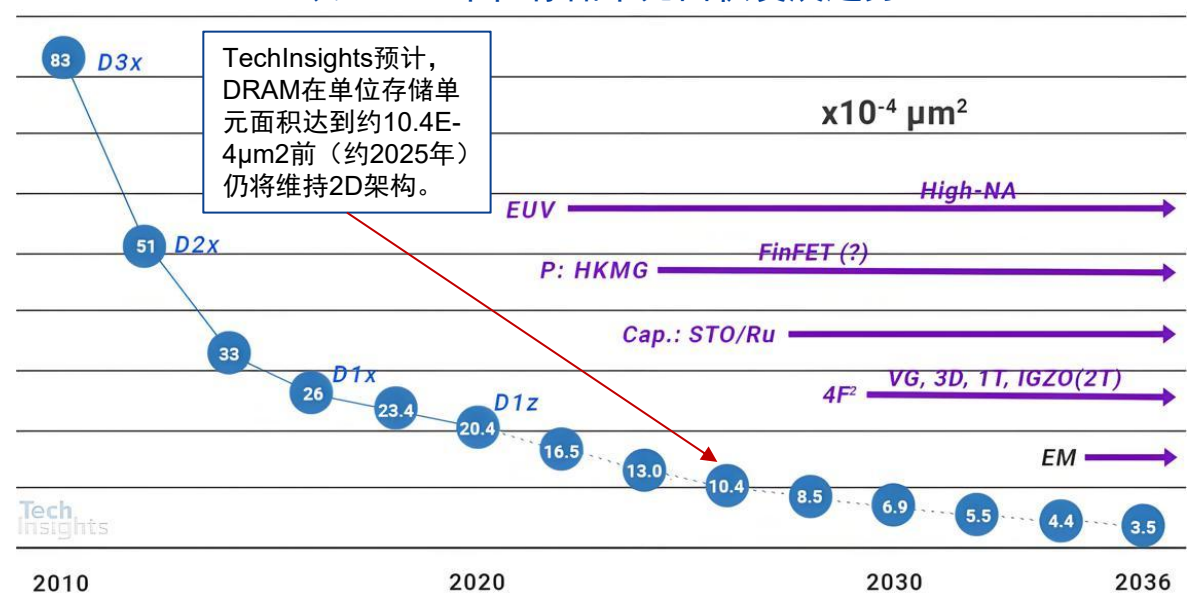
3.5 3D DRAM成未来发展趋势，SK海力士五层堆叠3D DRAM良率过半

- ◆ DRAM通常通过采用更先进的制程节点以提高位密度，同时制程持续微缩也带来了感裕度不足、易漏电等诸多挑战，难以实现稳定的电荷存储和读写操作。
- ◆ TechInsights预计，DRAM将在2025年后朝着三维的垂直架构发展以提高单位面积的存储单元数量，即3D DRAM。根据The Elec 2024年5月的消息，三星和美光正分别进行16层和8层3D DRAM的研发。在2024年6月举办的VLSI 2024上，SK海力士表示其五层堆叠的3D DRAM生产良率已达56%。
- ◆ 3D DRAM将存储单元堆叠在逻辑单元之上，可在单位芯片面积内实现更高的容量，同时更宽的晶体管间隙可有效减少漏电流和干扰。此外，3D DRAM通过垂直堆叠的存储单元进行数据的读写，实现更快的访问速度，同时还具有低功耗、高可靠性等特点，可满足AI等领域对高速、大容量、低延迟内存的需求。

图：SK海力士3D DRAM结构

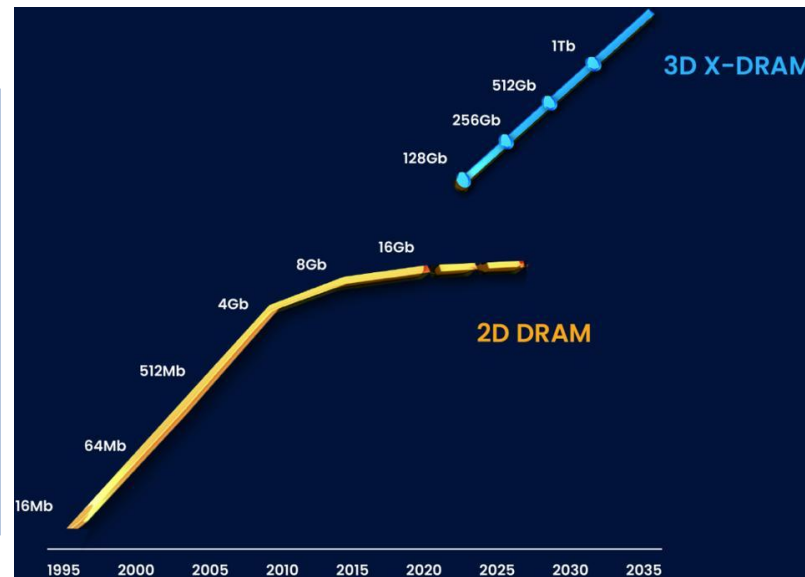


表：DRAM单位存储单元面积发展趋势



图：2D DRAM和3D DRAM容量对比

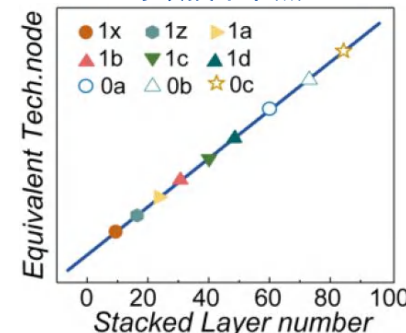
NEO Semiconductor推出了名为3D X-DRAM的技术，旨在克服DRAM的容量限制。3D X-DRAM可通过230层堆叠实现128Gb容量，同时NEO提出了每10年容量增加8倍的目标，计划在2030~2035年实现1Tb的容量。



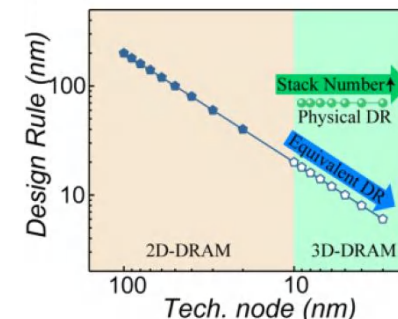
3.6 3D DRAM制作工艺流程

- ◆ 长鑫存储在2023年度IEEE IMW国际存储研讨会上介绍了3D DRAM研究成果。
- ◆ 长鑫存储表示3D DRAM架构与3D NAND类似，同样可扩展至几十甚至上百层。此外，3D DRAM将减轻光刻技术的挑战使得制作工艺更为简单，同时由于所有层可共享关键的光刻和刻蚀工艺，因此在成本端具有明显优势。

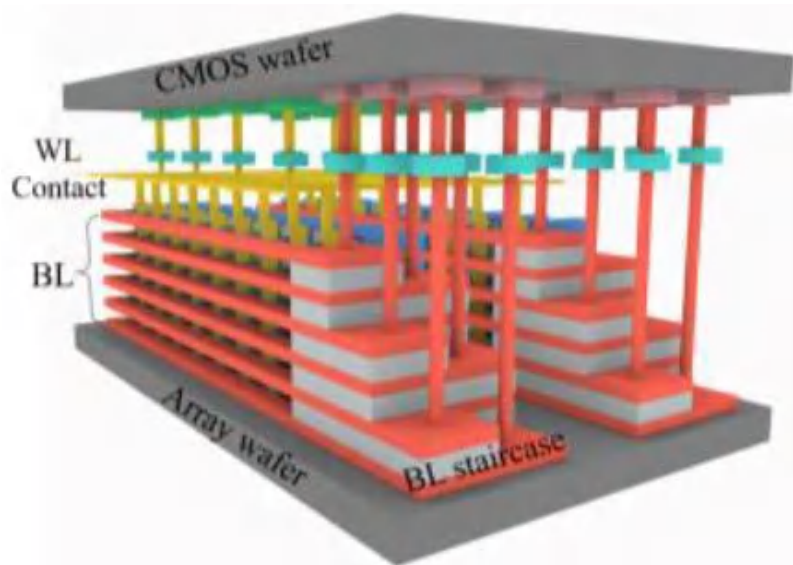
图：不同堆叠层数3D DRAM的等效技术节点



图：2D DRAM和3D DRAM的设计规则和技术节点

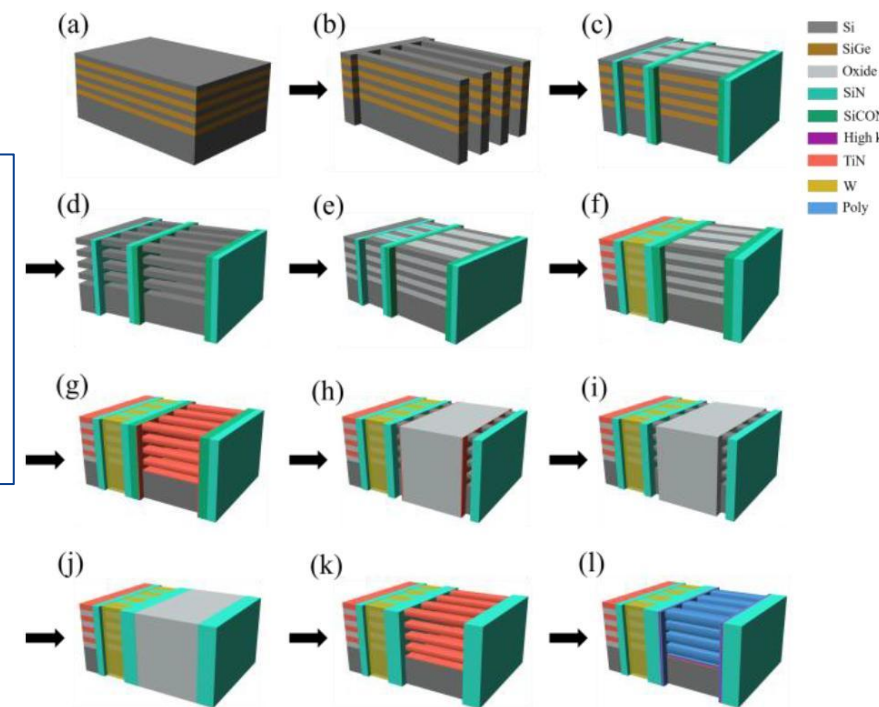


图：长鑫存储3D DRAM结构



图：长鑫存储3D DRAM工艺流程

3D DRAM工艺流程涉及到的刻蚀工艺：
(b)：RIE刻蚀形成有源区；
(c)：通过氧化物刻蚀和SiGe横向刻蚀和ALD形成SiN和低K材料框架；
(d)：完全刻蚀SiGe；
(g)：打开电容器区域；
(h)：去除低K材料；
(i)：TiN侧壁刻蚀。



01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

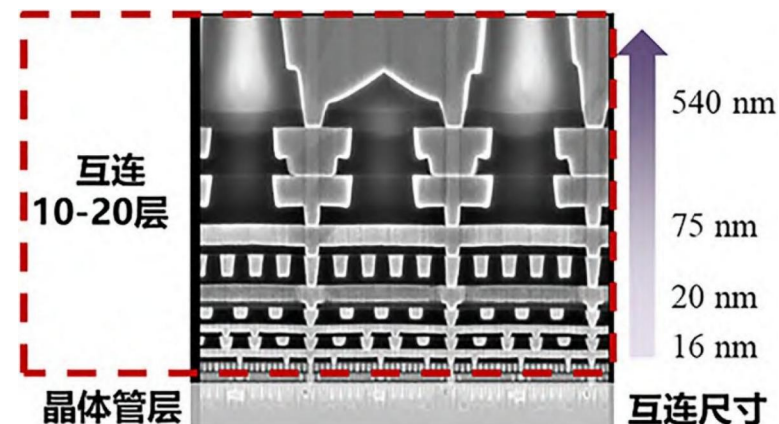
07 风险提示

- 4.1 大马士革工艺使铜互连得以大规模应用
- 4.2 金属硬掩模一体化刻蚀为后段金属沟槽/通孔刻蚀的主流
- 4.3 BEOL互连技术未来发展趋势
- 4.4 GAA晶体管是3nm以下节点的首选器件结构
- 4.5 GAA晶体管制造需准确且高选择性的SiGe各向同性刻蚀
- 4.6 三种常规SiGe选择性刻蚀技术
- 4.7 新型SiGe选择性刻蚀技术
- 4.8 多重曝光技术
 - 4.8.1 多重曝光技术成为我国突破光刻极限关键手段
 - 4.8.2 SA技术精度更高，所需刻蚀次数更多

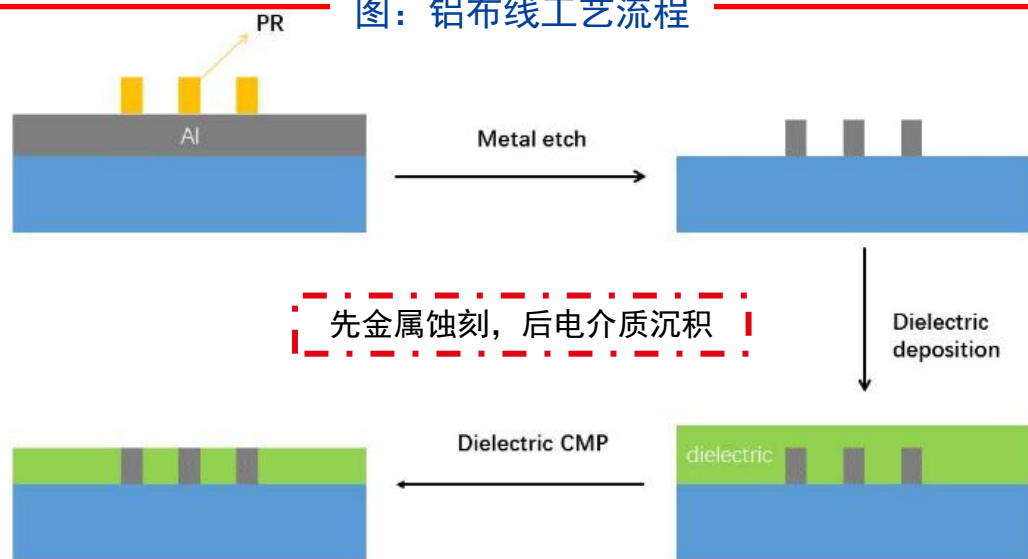
4.1 大马士革工艺使铜互连得以大规模应用

- ◆ 芯片制造可分为前段（FEOL）晶体管制造和后段（BEOL）金属互连制造。后段工艺是制备导线将前段制造出的各个元器件串连起来连接各晶体管，并分配时钟和其他信号，也为各种电子系统组件提供电源和接地。
- ◆ 第一代互连技术通常采用铝和铝合金作为导体材料。铝通常采用干法刻蚀中的反应离子刻蚀工艺进行布线。至0.18微米技术节点以下时，铝作为金属材料的缺点逐渐显示出来。铜因具有良好的导电性、较高的熔点以及较好的抗电迁移性能，成为铝之后金属互连材料首选。
- ◆ 铜属于稳定金属，反应时不易产生挥发性物质，因此干法刻蚀不再适用于铜布线。1997年IBM公司提出大马士革工艺，通过沉积铜实现布线，互连技术进入铜互连时代。
- ◆ 大马士革工艺可分为单大马士革工艺和双大马士革工艺，两者的区别在于互连引线沟槽与互连通孔是否同时淀积填充铜金属。
- ◆ 单大马士革工艺通过一次刻蚀和填充工艺来形成，即仅包含沟槽或仅包含通孔，具有更高的分辨率。通常第一金属铜层（M1）用单大马士革工艺，其他层用双大马士革工艺。

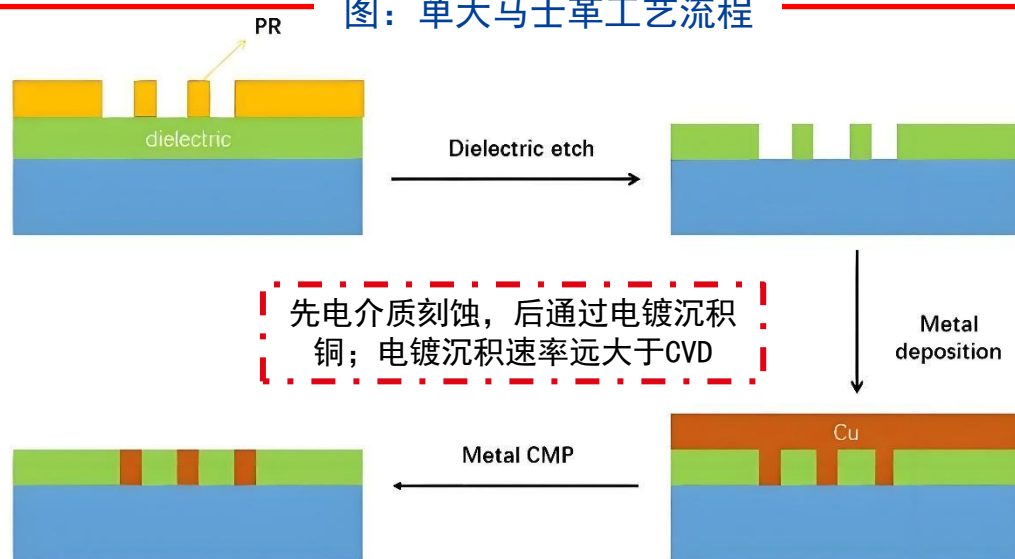
图：芯片剖面图



图：铝布线工艺流程



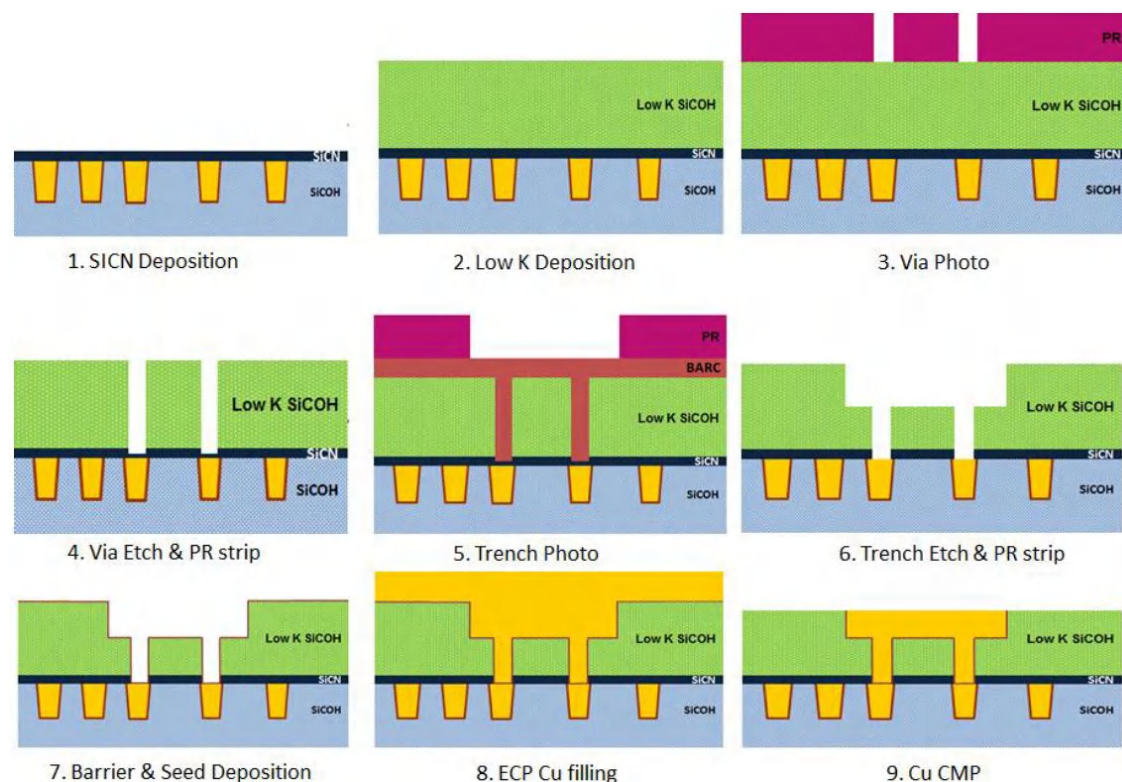
图：单大马士革工艺流程



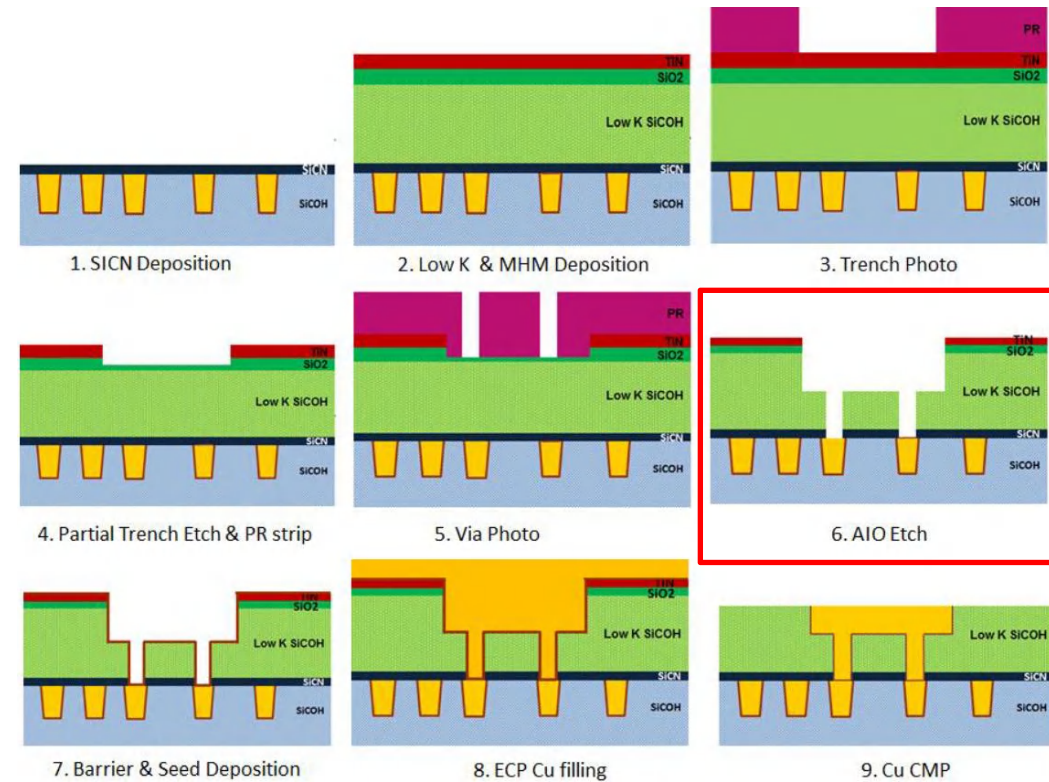
4.2 金属硬掩模一体化刻蚀为后段金属沟槽/通孔刻蚀的主流

- ◆ 双大马士革工艺可一次形成通孔和沟槽，较单大马士革工艺可减少约20%的工艺流程，可分为先通孔-后沟槽和先沟槽-后通孔两类。
- ◆ **先通孔-后沟槽**：65nm及以上技术节点多采用基于光阻掩膜的先通孔工艺，原因是先形成沟槽会导致表面不平整，而通孔关键尺寸小于沟槽，为了在不平整的沟槽上光刻形成达到要求的通孔，对光刻胶的要求较高，要求光刻胶较厚且景深较大。
- ◆ **先沟槽-后通孔**：金属硬掩模一体化刻蚀（Metal Hard Mask All-in-One Etch）因更好的CD控制和更少的介质损伤，成为45nm及以下技术节点后段金属沟槽/通孔刻蚀的主流，采用的是先沟槽的双大马士革工艺。

图：基于光阻掩膜的先通孔-后沟槽双大马士革工艺流程



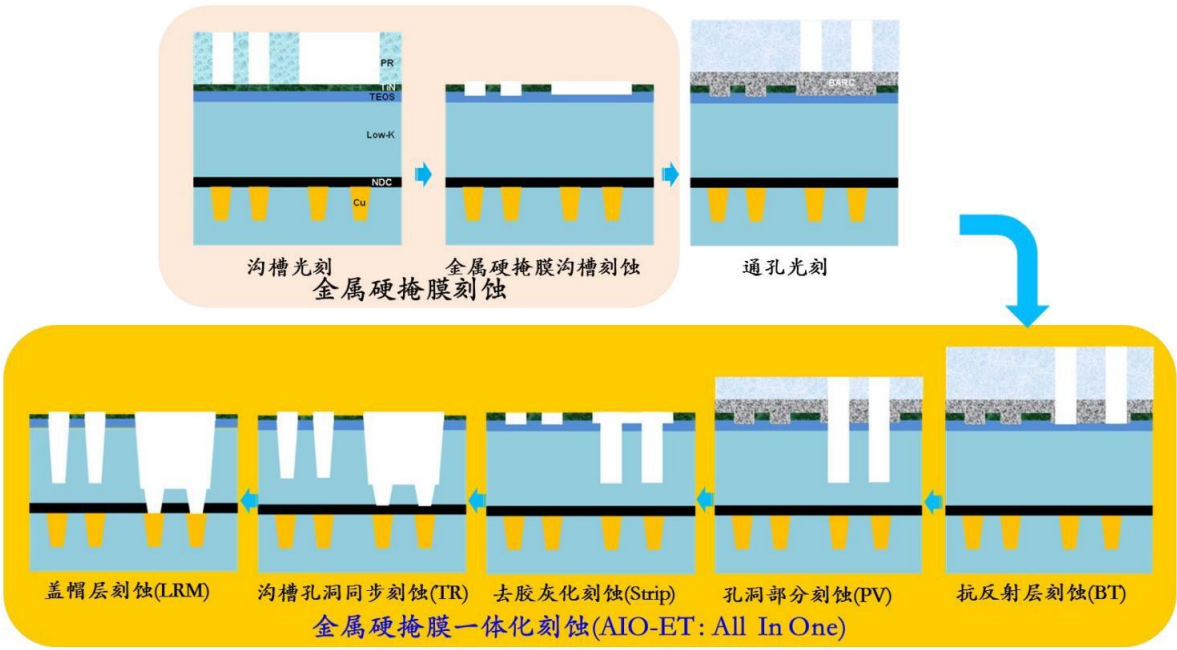
图：基于金属硬掩模的先部分沟槽-后沟槽通孔双大马士革工艺流程



4.2 金属硬掩膜一体化刻蚀为后段金属沟槽/通孔刻蚀的主流

- ◆ 金属硬掩膜一体化刻蚀（AIO-ET, All In One Etch）需在干法刻蚀机的同一个工艺腔体内一次完成，包括：①一次光刻完成沟槽形貌定义；②金属刻蚀腔完成金属掩膜刻蚀、去光刻胶，停在TEOS上，完成沟槽形貌刻蚀；③二次光刻完成通孔形貌定义；④干法刻蚀形成半通孔形貌+去光刻胶+沟槽&通孔一步刻蚀+盖帽层刻蚀。
- ◆ 金属硬掩膜一体化刻蚀工艺由于引入了全新硬掩膜材料（TiN）以及不同轮廓结构在一个工艺菜单条件下完成，使得一体化刻蚀工艺面临着诸多全新的挑战。TiN硬掩膜的引入除了会形成区别于传统工艺的刻蚀轮廓，反应生成物也由原先的C/H/O/F等易挥发的副产物变成更为复杂的含金属Ti的聚合物，这些金属副产物会沉积在产品表面以及工艺设备上影响产品的缺陷。由于金属硬掩膜一体化刻蚀工艺需要在一个工艺菜单条件下完成孔洞结构和沟槽结构的刻蚀，工艺步骤间的参数变化剧烈，这也会带来工艺上的诸多问题。

图：金属硬掩膜一体化刻蚀工艺流程图



表：相较传统的光刻胶掩膜刻蚀工艺，金属硬掩膜一体化刻蚀工艺的优势

优势	具体说明
高选择比	光刻胶掩膜刻蚀工艺中，通过工艺调整 LK:PR 的刻蚀选择比可以达到~8:1，而金属硬掩膜刻蚀工艺通过工艺调整 LK:TiN 的选择比可以达到~30:1。
特征尺寸 (CD) 可控性强	高选择比使得金属硬掩膜的侧向耐刻性能远远高于光刻胶，确保了关键尺寸的稳定性。
工艺可延展性强	基于金属硬掩膜的高选择比，可实现小线宽和高深宽比的刻蚀工艺开发（例如14nm技术），而光刻胶掩膜在面对小线宽和高深宽比的刻蚀工艺开发时，面临光刻胶厚度增加与小线宽显影能力减弱的技术难题。
Low K介质膜损伤性小	在45nm及以下技术节点，为了进一步减小RC延迟，大都采用多孔的超低K材料（K=2.4）。因K值低的薄膜非常软，易被高能量攻击。基于光刻胶掩膜的工艺中，在沟槽&通孔形貌刻蚀完成后都需要有去胶灰化过程，此时整个沟槽&通孔结构的Low k材料直接暴露在高能量等离子体（Plasma）环境中，极易遭受损伤；而金属硬掩膜工艺在形成半通孔形貌时，就完成了去胶灰化过程中，此时整个沟槽形貌被TEOS所保护，通孔行形貌露部分在后续的沟槽&通孔一体化刻蚀过程中会被剥离，因此在最终的沟槽&通孔结构形成时不会出现Low_k材料损伤问题。

4.3 BEOL互连技术未来发展趋势

- ◆ **钴（Co）互连工艺**：英特尔10nm技术节点钴互连采用大马士革工艺制作。因Cu互连工艺更加成熟，良率和产量更高同时金属RC延迟性能保持不变，英特尔7nm技术节点放弃了Co互连，转向增强型Cu基互连技术。
- ◆ **Cu/Ru混合金属互连工艺**：Cu/Ru混合金属互连工艺仍采用双大马士革工艺，其中铜布线金属仍为铜，而过孔填充材料更换为钌Ru。钌与介电材料间的阻挡层可沉积更薄的Ti膜，保持电迁移可靠性的同时降低通孔的电阻。
- ◆ **Ru半大马士革工艺**：Ru电阻随尺寸微缩的上升较缓，在纳米级尺寸下电阻显著低于Co，与Cu性能大致相当，且具有更高的抗电迁移性能与可靠性。上述优点使得Ru成为5nm技术节点之后最有希望代替Cu与Co的金属之一。Ru具有很高的惰性和硬度，不易通过CMP除去。双大马士革工艺的CMP过程易对低K介质造成损伤，导致成品率下降。Ru互连通常采用半大马士革工艺实现。

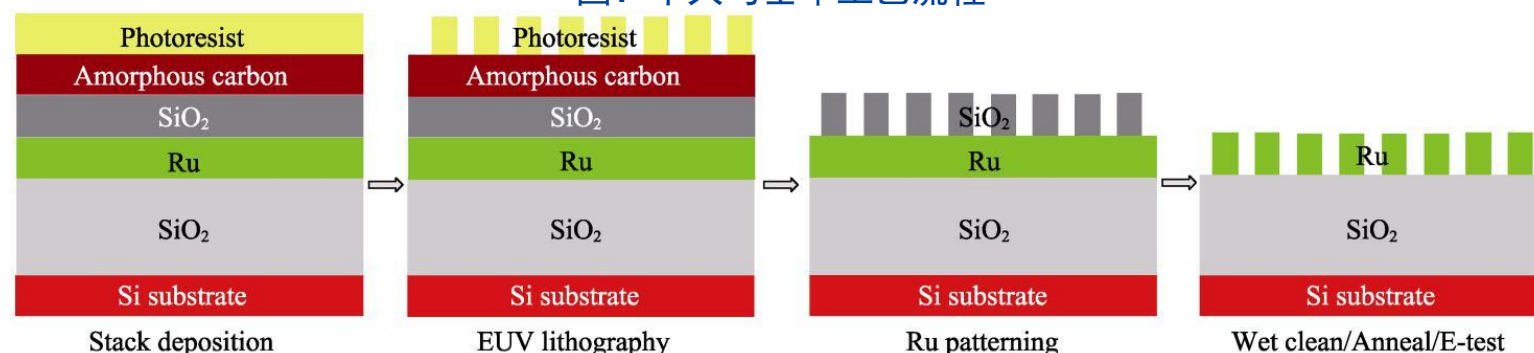
表：各大厂商BEOL互连技术路线图

公司	2019	2020	2021	2022	2023	2024	2025
Intel	10~36nm Co		7nm(10 eSF)~36nm Co	4~28nm DDCu	3~28nm DDCu	20A、18A~18nm SDRu	
Samsung	7~36nm DDCu	5~36nm DDCu		3~29nm DDCu			2~20nm Cu/Ru
TSMC	5~28nm DDCu			3~23nm DDCu			2~18nm SDRu

Co：钴（Co）互连工艺；DDCu：双大马士革工艺铜互连

Cu/Ru：双大马士革工艺铜/钌互连；SDRu：半大马士革工艺钌互连

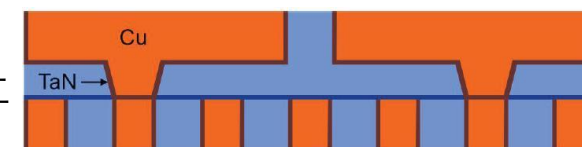
图：半大马士革工艺流程



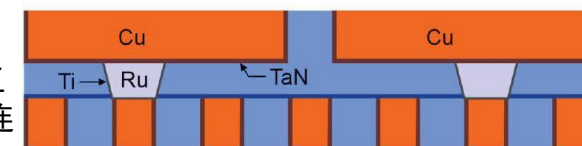
- 1、由于Ru薄膜沉积在整个晶圆上，晶粒大小不受大马士革孔宽度的限制，可显著抑制由于晶界散射造成的电阻增大；
- 2、金属层厚度是通过Ru沉积工艺而非CMP控制，可通过增加Ru薄膜厚度来减小电阻，且不存在与高深宽比相关的填孔问题；
- 3、Ru金属的半大马士革工艺与空气隙的制备具有良好的工艺兼容性，可在Ru金属线间采用空气隙以降低RC延时。

图：三种互连工艺结构

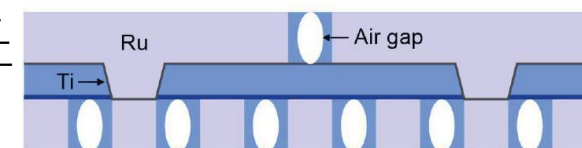
DDCu：双大马士革工艺铜互连



Cu/Ru：双大马士革工艺铜/钌互连



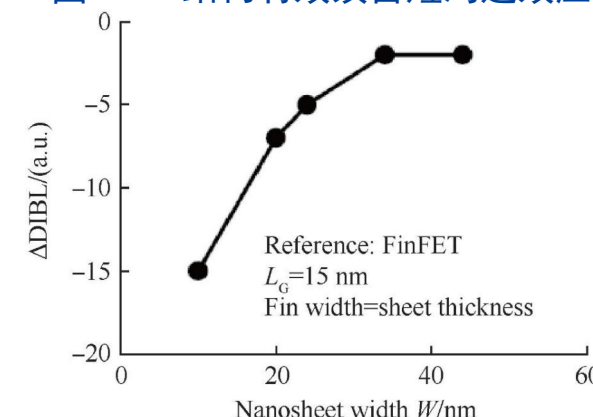
SDRu：半大马士革工艺钌互连（带气隙）



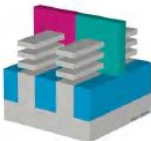
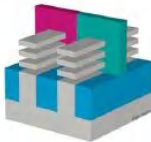
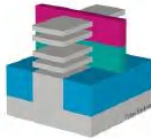
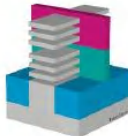
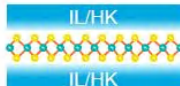
4.4 GAA晶体管是3nm以下节点的首选器件结构

- ◆ 环栅（Gate-all-around, GAA）晶体管是3nm以下节点替代现有鳍式晶体管（FinFET）最有竞争力的器件结构。台积电、三星、英特尔等厂商均已全面布局GAA技术，并计划分别在各自定义的2、3、5nm（20A）节点应用GAA技术。
- ◆ GAA栅极材料对沟道实现360°全方位包裹，最大程度实现栅极对沟道中载流子的控制，能有效改善器件尺寸不断微缩带来的短沟道效应。
- ◆ GAA结构分为纳米片（Nanosheet, NS）和纳米线（Nanowire, NW）两种类型。相比纳米线，纳米片有更强的驱动能力，而且纳米片可以根据器件类型实现不同宽度的设计，纳米片工艺可在很大程度上与FinFET兼容，更容易实现产业化。

图：GAA结构有效改善短沟道效应



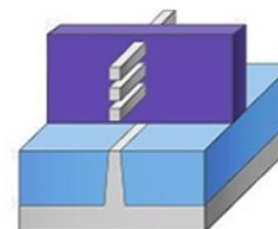
图：逻辑技术路线图

Year of HVM (20k/month)	2022~23	2024~2026	2027~28	2029~30	2031~32	2033~34	2035~36
Node	3nm	2nm/18A/16A	14A	10A	7A	5A	3A
Transistor	2~1 Fin	GAA NS	GAA NS scaling	CFET	2 nd Gen. CFET	3 rd Gen. CFET	2D material stack
							
	2D material: TMDC MoS ₂ , WS ₂ , MoSe ₂ , WSe ₂ etc						
Poly Pitch [nm]	45 ^[1]		42		39		36
Min. Metal Pitch [nm]	23 ^[2]		20	18	16	14	12
Interconnect booster	Cu Barrier/Seed CIP Backside PDN (HPC)			Subtractive Ru + Ru via fill AR>2, k<3 fill / AR>3, Airgap		New alloy AR>5, Airgap	AR>7, Airgap
EUV Patterning Technology	EUV MP, SE		EUV MP, SE High NA SE		High NA MP, SE EUV MP, SE		
Resist	CAR		CAR (+MOR)	CAR+MOR			

图：GAA NS和NW结构对比



全环绕栅极(纳米片)

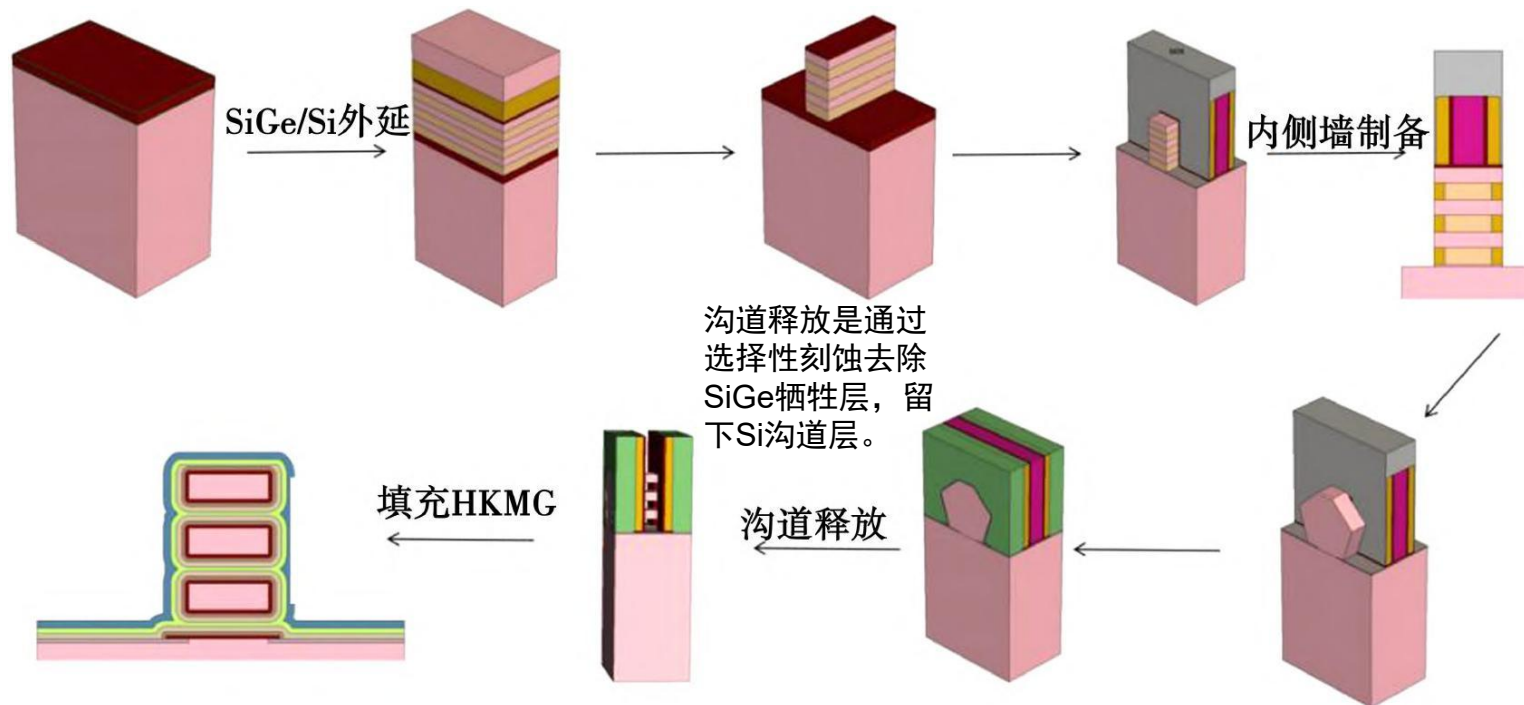


全环绕栅极(纳米线)

4.5 GAA晶体管制造需准确且高选择性的SiGe各向同性刻蚀

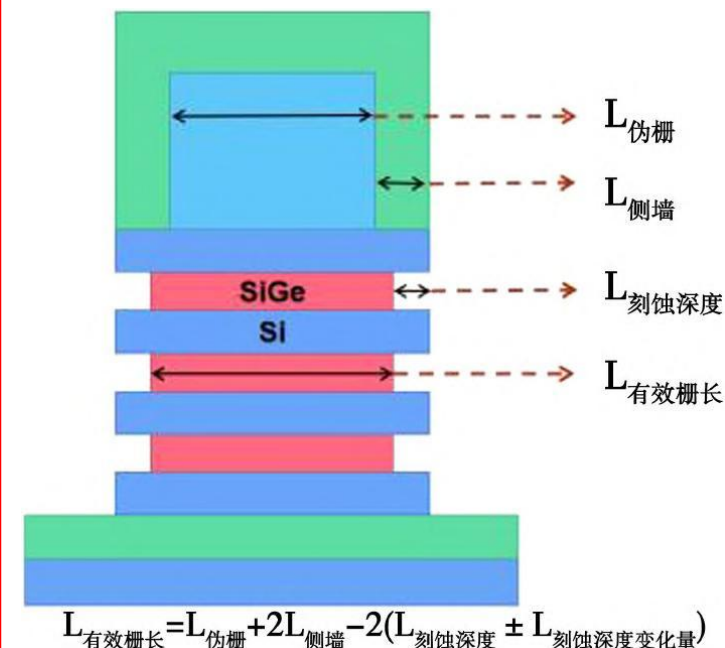
- ◆ GAA沟道主要有两种制造工艺：1) 自下而上的硅基工艺，即通过内凹刻蚀或牺牲氧化层的方法制备纳米线或纳米片；2) 通过外延SiGe/Si叠层和选择性刻蚀SiGe的自上而下的方法。
- ◆ 因工艺与传统FinFET工艺流程兼容性更强，第二种制造工艺成为3nm以下技术节点的主流工艺方案。与FinFET工艺流程相比，该制造方法主要增加了四个关键工艺模块：外延SiGe/Si的叠层、内侧墙的制备、沟道释放及填充高K金属栅极（HKMG）。
- ◆ 内侧墙的制备、沟道释放，均需要SiGe选择性刻蚀技术。工艺要求SiGe作为牺牲层被选择性刻蚀去除，且尽可能减少对Si沟道的损伤。准确且高选择性的SiGe各向同性刻蚀对GAA晶体管的制造至关重要。

图：与FinFET相比，GAA的部分工艺流程及新工艺模块



图：空腔刻蚀对有效栅长影响

- 内侧墙的作用为调控栅极与源/漏极间的寄生电容与寄生电阻，并在栅极与源极/漏极（S/D）间充当沟道释放的刻蚀停止层来控制有效栅长，内侧墙的厚度和形貌显著影响上述作用效果。决定内侧墙厚度及形貌的工艺为空腔刻蚀。
- 空腔刻蚀需要控制SiGe刻蚀深度以及刻蚀形貌。
- 刻蚀过深会减小栅极包裹沟道的长度，从而影响器件性能（产生高的寄生电阻）；
- 刻蚀过浅，则在后续的沟道释放过程中，薄的内侧墙不足以保护源极和漏极不被刻蚀。

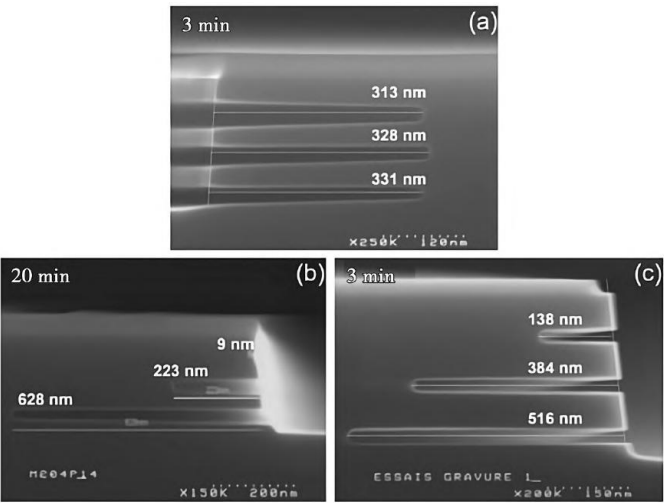


4.6 三种常规SiGe选择性刻蚀技术

- ◆ 常规SiGe刻蚀技术主要分为湿法选择性刻蚀、干法等离子体刻蚀和气态HCl选择性刻蚀。
- ◆ 干法等离子体刻蚀是近些年来刻蚀SiGe常用的方法。HCl刻蚀已不作为优选方案。

图：三种不同刻蚀方法的SEM对比图

- a) 干法刻蚀：均匀性较好。
- b) 气态HCl刻蚀：刻蚀速率最低，选择性位于干、湿法之间。
- c) 湿法刻蚀：选择性高。



表：三种常规SiGe刻蚀技术简介

刻蚀技术	介绍	优点	缺点
湿法选择性刻蚀	1、利用化学溶液与被刻蚀材料发生化学反应，生成可溶性或挥发性物质。 2、主要试剂有H2O2、HNO3等，利用强氧化性液体对SiGe进行氧化然后再利用另一种物质将氧化物去除。在溶液中氧化和去除几乎同时进行从而实现SiGe的刻蚀，故刻蚀速率受限于两种工艺中最慢的一步。	1、选择性高。 2、设备简单。 3、成本低。	刻蚀速率难以精确控制，且毛细管效应的问题无法解决，导致器件结构出现坍塌或粘连，该方法在高密度电路阵列、长宽比大的纳米片器件中局限性显著。
干法等离子体刻蚀	1、使用含有卤族元素的等离子体（Cl、Br和F）进行选择刻蚀。 2、通常以CF4或NF3气体为主，也会使用CF2Cl2、XeF2等含F基或Cl基的气体，并辅以Ar、O2和He等气体。 3、根据反应原理的不同，干法等离子体刻蚀又可分为近程等离子源与远程等离子源刻蚀。 1、近程等离子源刻蚀是将物理和化学方法结合，通过高能离子对衬底的物理轰击和化学反应双重作用进行刻蚀。 2、电感耦合等离子体刻蚀（ICP）是目前常用的近程等离子源刻蚀之一，通过调整两个电极的功率，可在刻蚀速率不变的同时降低离子轰击强度，减少Si层的损伤，提高SiGe对Si的刻蚀选择性。 相比近程等离子源刻蚀，远程等离子源刻蚀的绝大部分带电粒子被反应腔内接地筛网结构的特殊装置过滤掉，保留的以自由基为主的中性粒子能到达晶圆表面完成化学刻蚀，大幅降低物理损伤	1、具有较为稳定的关键尺寸CD控制。 2、良好的片内、片间和批次间的刻蚀均匀性。	1、存在一定的微负载效应。 2、固有的等离子损伤。
气态HCl选择性刻蚀	用于沉积外延薄膜的化学气相沉积设备具有刻蚀能力，大多配备了HCl气路，用于石英室清洁或外延生长时提高选择性，也能够刻蚀Si、SiGe和Ge。	1、在用于外延的减压化学气相沉积的工具内进行的，无需购买专用的、昂贵的刻蚀设备，并可将沉积与刻蚀结合在一个工艺中。 2、使用气态HCl刻蚀的上下表面比使用干法等离子体刻蚀略光滑，使用超纯气态HCl和H2避免了不需要的物质对刻蚀表面的潜在钝化。	1、HCl刻蚀在500~700℃下进行，既增加器件热预算，也导致器件中掺杂再扩散。 2、晶向选择性会使得不同晶相上刻蚀速率存在明显差异，GAA中SiGe在水平方向的刻蚀是各向同性的，而晶向选择性的不同导致其变为各向异性刻蚀。

4.7 新型SiGe选择性刻蚀技术

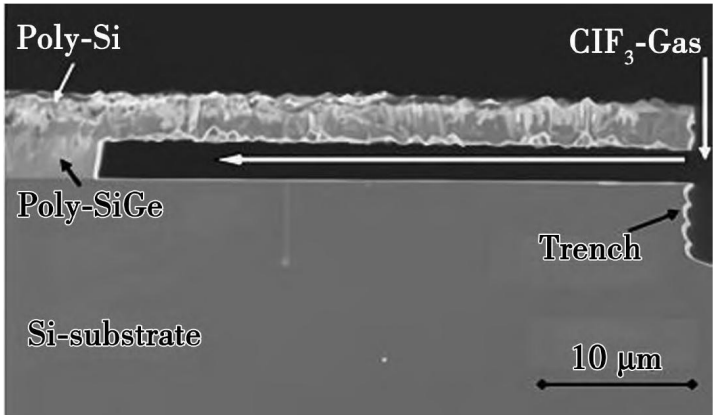
- ◆ 新型SiGe选择性刻蚀技术主要包括高氧化性气体的无等离子体刻蚀和原子层刻蚀（Atomic layer etching, ALE）。
- ◆ 高氧化性气体的无等离子体刻蚀通常采用的是具有极高选择性的高氧化性 ClF_3 气体，且不会产生等离子体损伤，可应对更高选择性的要求。
- ◆ 原子层刻蚀可实现内侧墙中小尺寸原子级别精度的空腔刻蚀。该技术通过两步循环工艺步骤中的自限制特性，从而完成几个原子层的刻蚀；进而不断循环这两步工艺，直到达到所需的刻蚀深度。
- ◆ 目前尚未有刻蚀方案可同时兼顾内侧墙制备与沟道释放。业界研究的主要方向为克服毛细管效应的干法超高选择性刻蚀，同时需在满足超高刻蚀选择性条件下实现精确刻蚀以满足内侧墙空腔刻蚀对高刻蚀选择性与高刻蚀精度的双重要求。

表：两种新型SiGe选择性刻蚀技术介绍

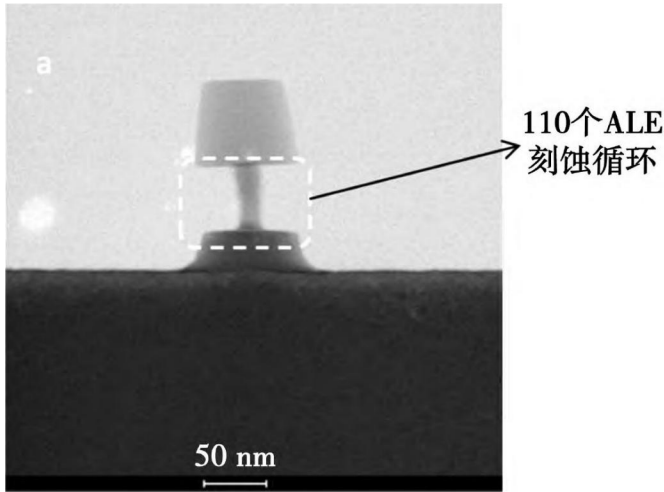
刻蚀技术	介绍	优点
高氧化性气体的无等离子体刻蚀	除了气态 HCl 的选择性刻蚀，气态无等离子体刻蚀的另一种方法是在室温下使用高活性高氧化性的气体完成刻蚀。在干法等离子体刻蚀中，无论使用哪种方法，由于等离子体的轰击，表面均存在一定损伤。在未来，使用高氧化性气体的气态无等离子体刻蚀或将成为趋势，如 ClF_3 、 BrF_3 、 BrF_5 和 IF_5 等。与等离子体工艺不同，无等离子体刻蚀工艺通过饱和气体分子和表面原子发生热化学反应来去除原子。	虽然仍然依赖于表面氟化反应，但该方法不引入具有高能量的离子或高活性自由基，可减少器件中暴露材料的损伤。
原子层刻蚀	该技术通过两步循环工艺步骤中的自限制特性，从而完成几个原子层的刻蚀；进而不断循环这两步工艺，直到达到所需的刻蚀深度。ALE每次循环中的两步工艺相互独立，首先对所要刻蚀材料表面的第一层改性，然后将改性层去除且不会刻蚀未改性部分，持续此循环实现精确的原子层刻蚀。	精度可达原子级别

图： ClF_3 气体对SiGe选择性刻蚀的SEM图

SiGe与Si的刻蚀选择比可达1000~5000；最佳温度约在 30°C ，实现低温高选择性刻蚀，不会增加额外热预算。此外，使用 ClF_3 气体可使刻蚀过程处于完全干燥条件，无任何结构粘连的风险。



图：原子层刻蚀可满足高刻蚀精度要求



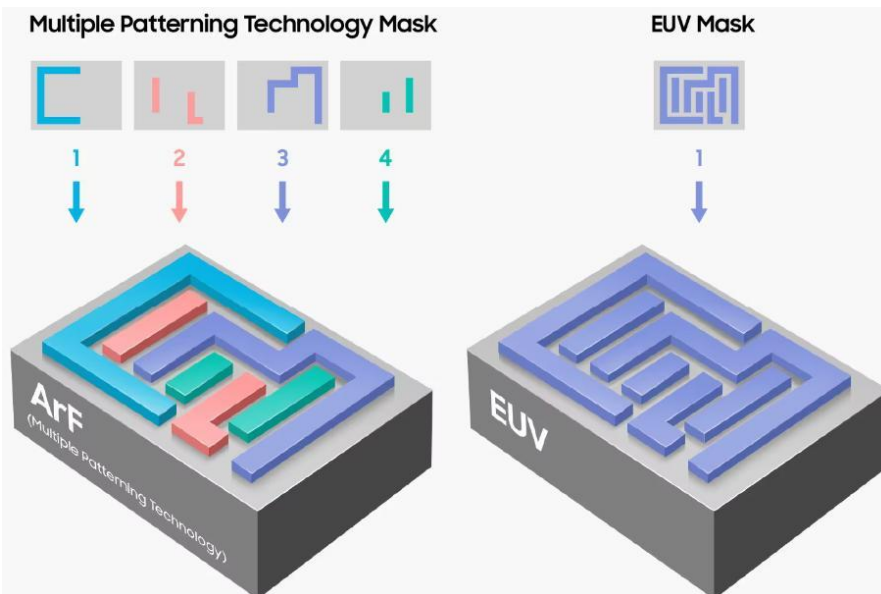
4.8.1 多重曝光技术成为我国突破光刻极限关键手段

- ◆ 多重曝光技术是将原始版图上的图形分配到多个掩模版上，依次进行制造，可实现特征尺寸更小的图案。受瓦森纳协定限制，中国无法引进EUV光刻机，因此多重曝光技术成为我国突破光刻极限关键手段。
- ◆ 根据国际半导体器件与系统路线图，EUV仍需多重曝光技术以实现5nm制程及以下芯片制造。
- ◆ 主流多重曝光技术有LELE、LFLE、SADP、SAQP四种；前两种常用于逻辑芯片，后两种常用于存储芯片。

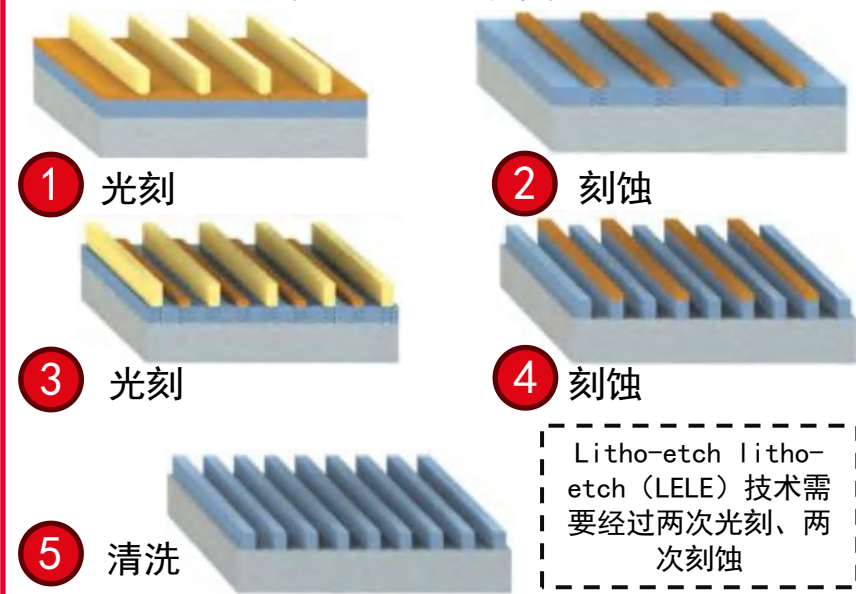
- ◆ 根据国际半导体器件与系统路线图，EUV仍需多重曝光技术以实现5nm制程及以下芯片制造。

- ◆ 主流多重曝光技术有LELE、LFLE、SADP、SAQP四种；前两种常用于逻辑芯片，后两种常用于存储芯片。

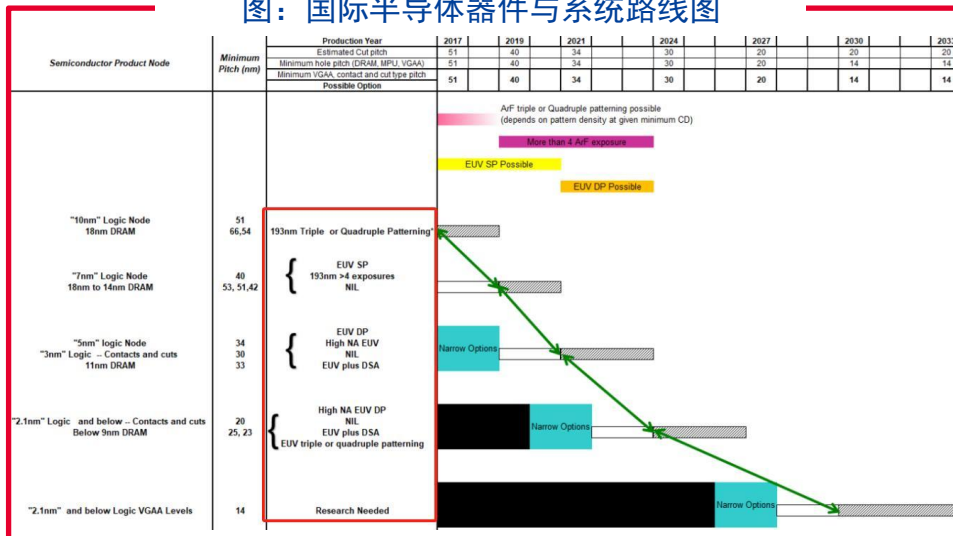
图：ArF光刻结合多重曝光技术实现与EUV光刻等效效果



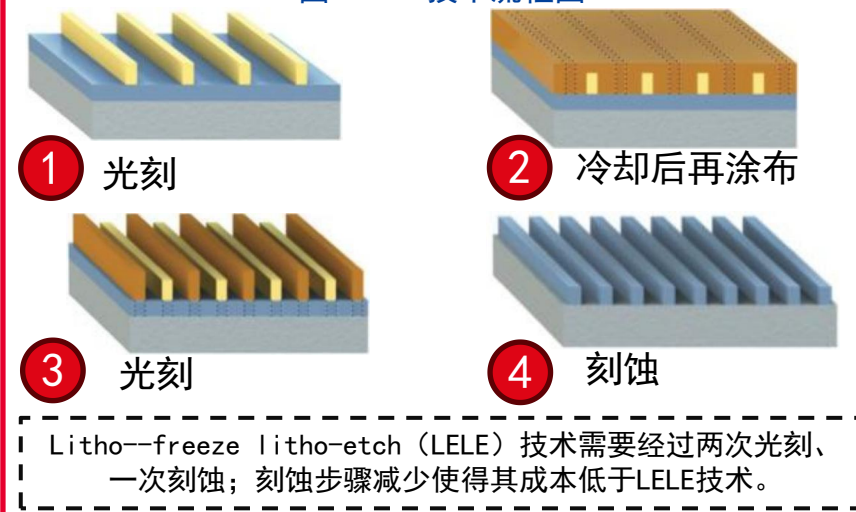
图：LELE技术流程图



图：国际半导体器件与系统路线图



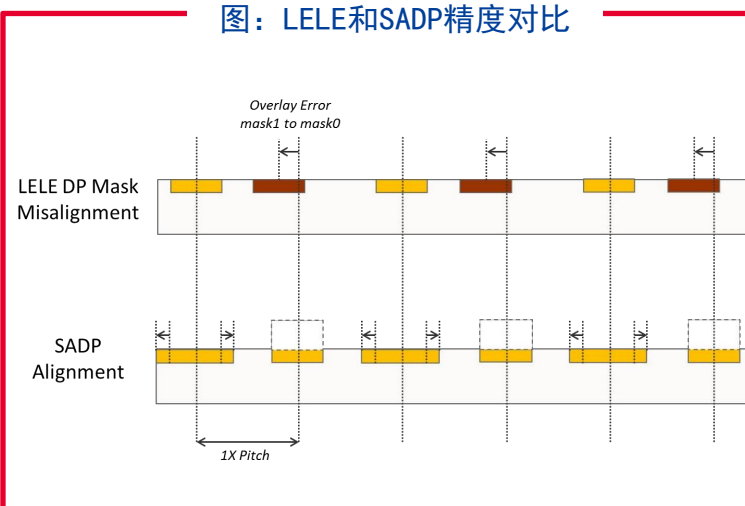
图：LFLE技术流程图



4.8.2 SA技术精度更高，所需刻蚀次数更多

- ◆ LELE和LFLE存在因两次光刻带来图案对准误差，而SADP技术（self-aligned double patterning）依靠初始光刻图案位置确立最终图形位置，分辨率有所提升。
- ◆ LELE、LFLE、SADP均属于双重曝光，将分辨率提升一倍；SAQP是对SADP流程的步骤3至步骤5进行再一次重复实现四次重复曝光。
- ◆ TechInsights表示，SMIC和TSMC 7nm工艺采用了SADP和SAQP多重曝光技术。

图：LELE和SADP精度对比



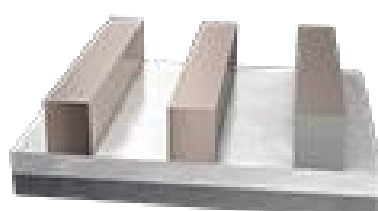
表：SMIC和TSMC 7nm工艺对比

	SMIC	TSMC		
	N+1, 7nm	N7	N7 HPC/N7P	N7+
光刻技术	193i ArF SA-LELE	193i ArF SA-LELE		193i ArF SA-LELE/EUV
Fin Logic	SAQP variable pitch	SAQP variable pitch		
Gate	SADP+Cut	SADP+Cut		
Diffusion Break	SA-SDB	DDB		SA-SDB

图：SADP和SAQP技术流程图



1 光刻



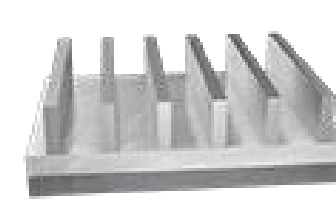
2 刻蚀



3 沉积侧墙1



4 回刻露出芯轴1



5 刻蚀芯轴1



6 沉积侧墙2



7 回刻露出芯轴2



8 刻蚀芯轴2

SADP：步骤1-5；1次光刻，3次刻蚀，1次沉积
SAQP：步骤1-8；1次光刻，5次刻蚀，2次沉积
刻蚀、沉积工序增加使得成本高于LELE和LFLE

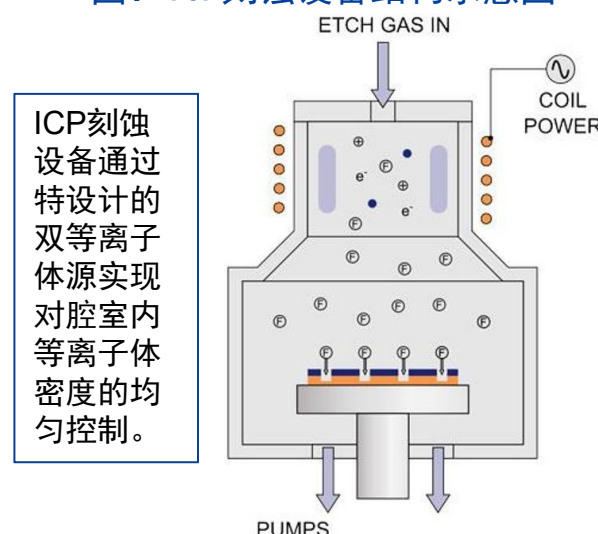
- 01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备
- 02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展
- 03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势
- 04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限
- 05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求
- 06 建议关注标的
- 07 风险提示

- 5.1 TSV助力先进封装，通常选择ICP刻蚀设备制造
- 5.2 TSV应用领域
- 5.3 背面供电方面采用TSV结构实现互连

5.1 TSV助力先进封装，通常选择ICP刻蚀设备制造

- ◆ 硅通孔（Through silicon via, TSV）互连结构在先进封装领域中是最为普遍的结构。TSV技术是指在硅介质层上开孔并填充导体，以实现介质层上下方垂直互连的技术。TSV结合微凸点，可在三维方向上获得最大的堆叠密度及最小的外形尺寸，通过硅通孔的垂直电气互连以实现更小的互连长度、降低信号延迟以及减小电容和电感，显著提升系统性能，降低系统功耗，是继引线键合和倒装芯片之后的第三代封装互连技术。
- ◆ 深孔刻蚀是TSV的关键工艺，目前通孔方法主要有Bosch刻蚀、激光钻孔和湿法刻蚀三种，其中Bosch刻蚀是首选技术。
- ◆ Bosch刻蚀是一种典型的深反应离子刻蚀(Deep reactive ion etching, DRIE)工艺，分为刻蚀和钝化两个循环周期，通常选择ICP刻蚀设备。ICP刻蚀设备通过特设计的双等离子体源实现对腔室内等离子体密度的均匀控制，满足硅高深宽比刻蚀工艺的要求。

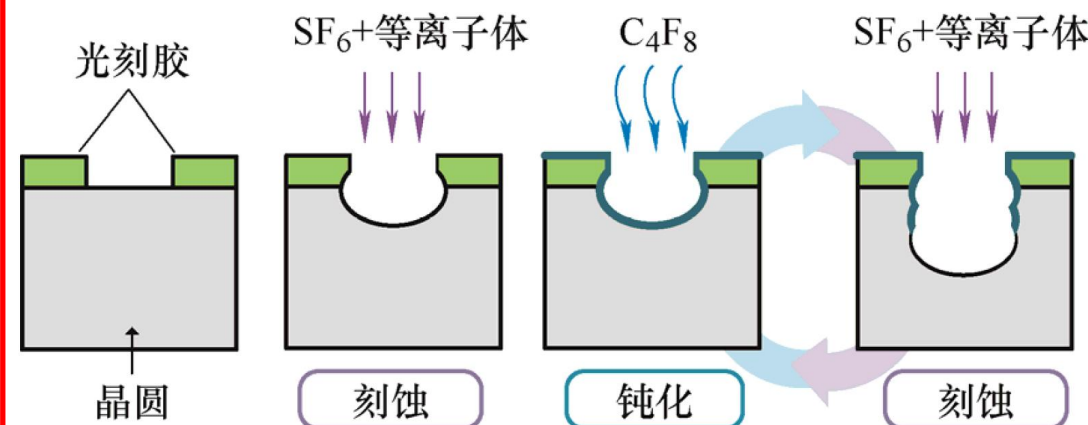
图：ICP刻蚀设备结构示意图



表：三种TSV通孔工艺介绍

工艺方法	工艺机理	技术难点	应用特色
Bosch刻蚀	刻蚀与钝化循环进行	形成扇形侧壁；微观负载效应；RIE滞后。	主要应用MEMS；适用于极高深宽比的通孔刻蚀；高速率；高垂直度；高选择性；
激光钻孔	光化学烧蚀和光热烧蚀	严重形变；等离子体屏蔽；热影响区；溅渣沉积。	主要应用于低通孔密度需求的应用；高效率；高精度；高灵活度；工艺简单。
湿法刻蚀	蚀刻剂与硅发生化学反应并腐蚀	蚀刻液污染环境；侧壁不垂直；K+污染CMOS器件。	常用于硅悬臂梁或梯形结构的微加工；高速刻蚀；低成本；设备简单；对衬底没有额外损伤。

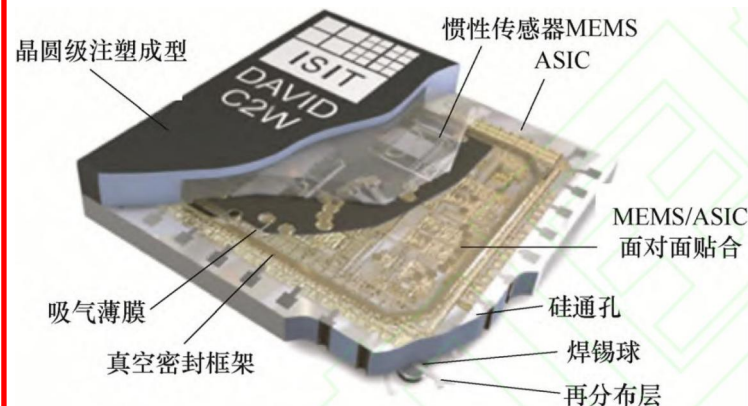
图：Bosch刻蚀工艺示意图



5.2 TSV应用领域

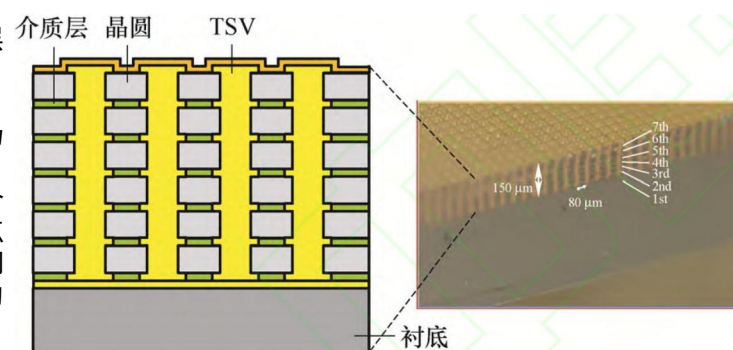
- ◆ 单个MEMS的低密度TSV应用：TSV将MEMS的电信号从晶圆的正面传导到背面。同时，MEMS芯片可堆叠在CMOS芯片上，实现MEMS与CMOS芯片的三维集成。
- ◆ 传感器/MEMS阵列和CMOS集成的高密度TSV应用：高密度TSV为传感器阵列提供了较高的带宽。典型应用之一是CIS。索尼IMX400通过两层TSV和重布线层实现了三层互连。
- ◆ 多芯片堆叠结构：多层结构具有不同类型和不同规模的互连结构，在HBM之间、HBM与基板之间都连有微凸点和TSV。
- ◆ 多层晶圆堆叠：通过TSV和混合键合技术可实现晶圆间的无凸点互连。

图：惯性传感器MEMS与CMOS集成结构示意图



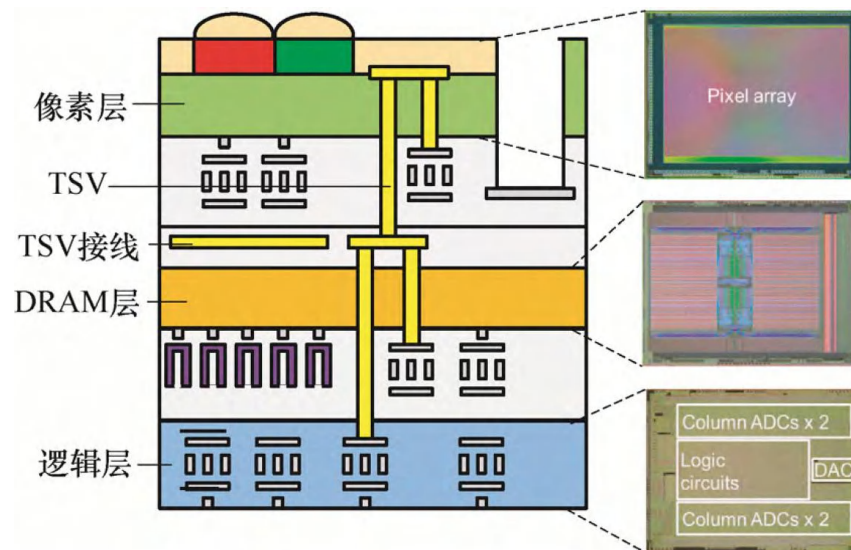
图：基于TSV和混合键合的七层晶圆三维集成示意图

OHBA等通过使用混合键合技术，将七层薄形化晶圆(单层晶圆厚度为 $20\mu\text{m}$)进行堆叠，并使用直径为 $30\mu\text{m}$ 的TSV将各层连接。由于混合键合工艺不需要金属凸点连接，故晶圆间的间隙仅有 $5\mu\text{m}$ ，组成的多晶圆模块(含衬底晶圆)的总厚度小于 1mm 。

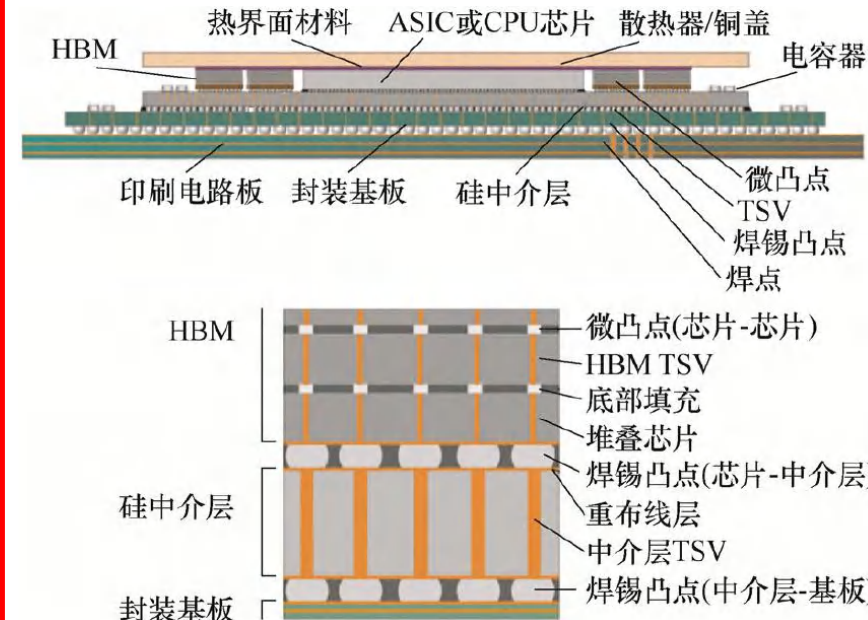


图：带有TSV的Pixel/DRAM/Logic 3层堆叠CIS芯片结构示意图

像素层和DRAM层的TSV有1.5万个；DRAM层和逻辑层的TSV有2万个。TSV最小直径/最小间距为 $2.5\mu\text{m}/6.3\mu\text{m}$ 。



图：多器件3D封装和高带宽存储器中介层和衬底之间界面示意图



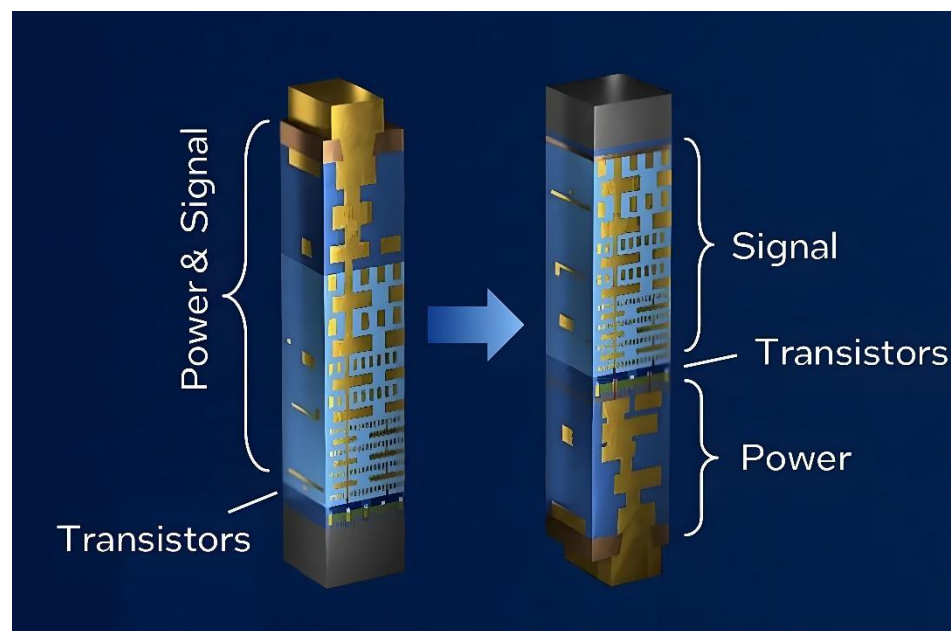
5.3 背面供电方面采用TSV结构实现互连

- ◆ IMEC联合主要的芯片制造厂商提出了将电源传输线以 nano-TSV形式转移到晶圆背面的供电方案（Backside Power, BPD），这种将晶圆正面空间全部用于信号布线的新颖方法增强了芯片内信号完整性并减少了线路拥塞。
- ◆ Nano-TSV通常选用Bosch刻蚀形成，直径通常为90nm。
- ◆ 背面供电设计还可简化芯片构造。以Intel 4节点为例，M0 Pitch为30nm，而Intel 4+PowerVia的M0 Pitch仅为36nm。

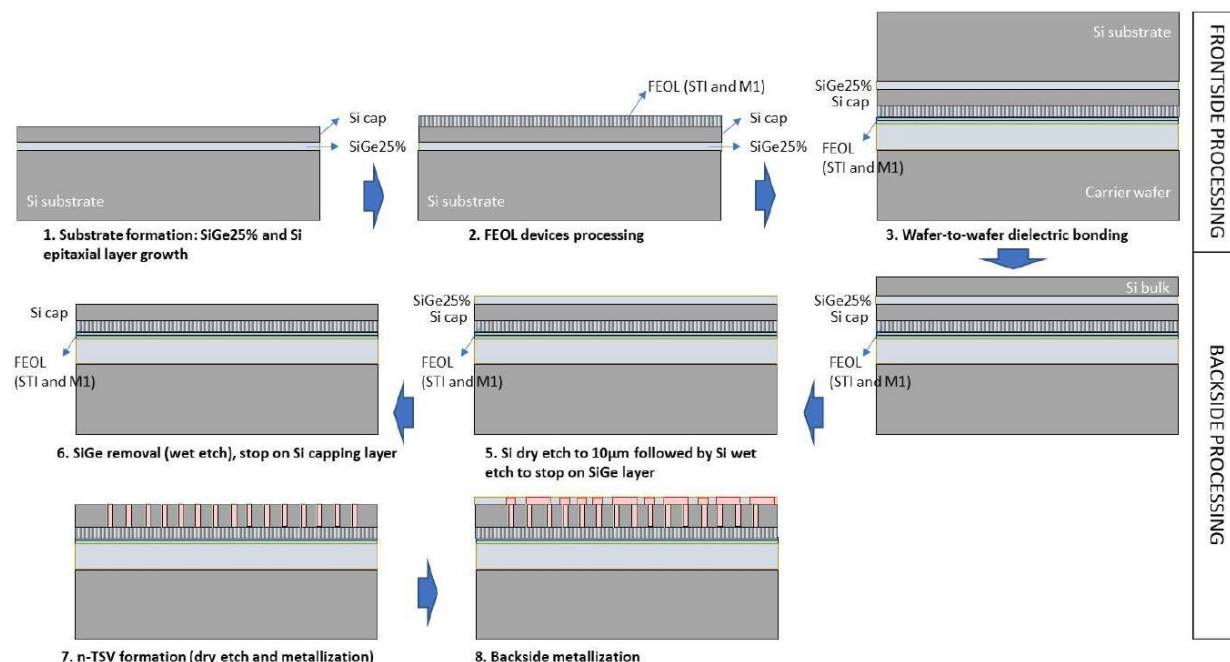
表：Intel 4和4+PowerVia技术指标对比

	Intel 4	Intel 4 + PowerVia
Contacted Poly Pitch (nm)	50	50
Fin Pitch (nm)	30	30
M0 Pitch (nm)	30	36
# front-side layers	15+RDL	14
# back-side layers	-	4+RDL
HP library height (nm)	240	210

图：常规供电方案（左）和背面供电方案（右）示意图



图：背面供电方案工艺流程



01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备

02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展

03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势

04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限

05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求

06 建议关注标的

07 风险提示

- 6.1 北方华创（002371. SZ）
- 6.2 中微公司（688012. SH）
- 6.3 泛林集团（LRCX. O）
- 6.4 东京电子（8035. T）
- 6.5 应用材料（AMAT. O）

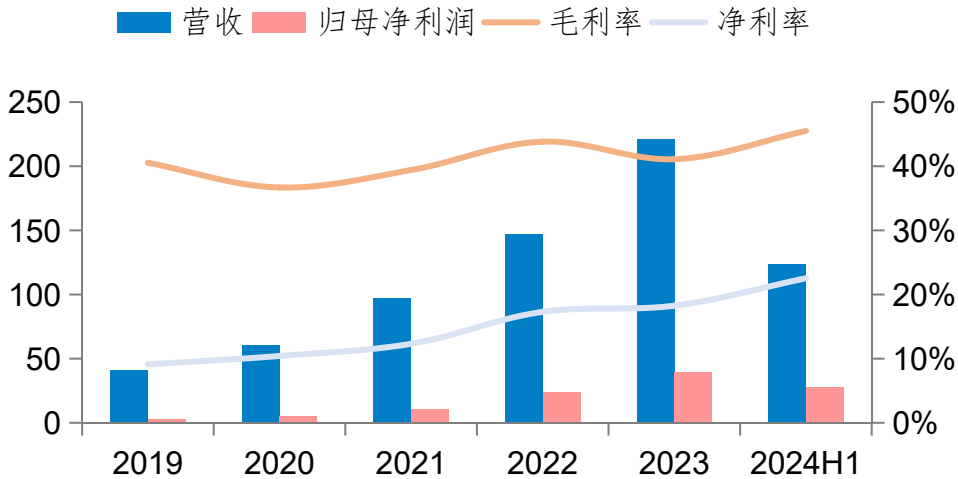
6.1 北方华创（002371.SZ）

- ◆ 北方华创布局刻蚀/薄膜沉积/清洗/热处理四大应用领域，打造半导体设备平台型企业。
- ◆ 24Q2北方华创实现营收64.76亿元，同比增长42.15%，环比增长10.52%；归母净利润16.54亿元，同比增长36.98%，环比增长46.82%。2024年9月，公司表示目前在手订单饱满，24Q3业绩将继续保持增长趋势。
- ◆ 北方华创现已形成对刻蚀工艺的全覆盖，2023年公司刻蚀设备收入近60亿元。截至2023年底，北方华创ICP/CCP刻蚀设备已累计出货超3200腔/100腔。TSV刻蚀设备已广泛应用于国内主流Fab 厂和先进封装厂，是国内TSV量产线的主力机台，市占率领先。

表：公司集成电路制造用刻蚀设备

刻蚀机类别	型号	晶圆尺寸	适用材料	适用工艺
多晶硅刻蚀机	NMC 508C/G	6/8英寸兼容	硅	多晶硅刻蚀、硅刻蚀、多晶硅栅极刻蚀、浅槽隔离刻蚀等
金属刻蚀机	NMC 508M	6/8英寸兼容	铝、氮化钛、钼、钨、氧化钨锡等	顶层金属刻蚀、中间层金属刻蚀等
介质刻蚀机	NMC 508RIE	6/8英寸兼容	氧化硅、氮化硅、氮氧化硅	钝化层、硬掩膜、接触孔、导线孔、侧衬、自对准、回刻等
深槽刻蚀机	NMC 508Gt	6/8英寸兼容	硅	深硅刻蚀
12英寸硅刻蚀机	NMC 612C	12英寸	硅	多晶硅栅极刻蚀、浅槽隔离刻蚀、侧墙刻蚀
12英寸硅刻蚀机	NMC 612D	12英寸	硅	浅沟槽隔离刻蚀、栅极刻蚀、侧墙刻蚀、双重图形曝光
12英寸氮化钛金属硬掩膜刻蚀机	NMC 612M	12英寸	金属	TiN HM刻蚀、高K值介质刻蚀、W/Ti/Ta等
12英寸金属刻蚀机	NMC 612G	12英寸	铝、硅、氧化物、钼、氧化钨锡	多晶硅刻蚀、介质刻蚀、Al/Mo/ITO等金属刻蚀
深硅刻蚀机	PSE V300	8/12英寸兼容	硅、氧化硅、氮化硅	2.5D&3D TSV刻蚀、深槽隔离/电容刻蚀、MEMS刻蚀
去胶机	ACE i300 Asher	8/12英寸兼容	光刻胶	干法去胶

图：历年公司财务数据（亿元，%）



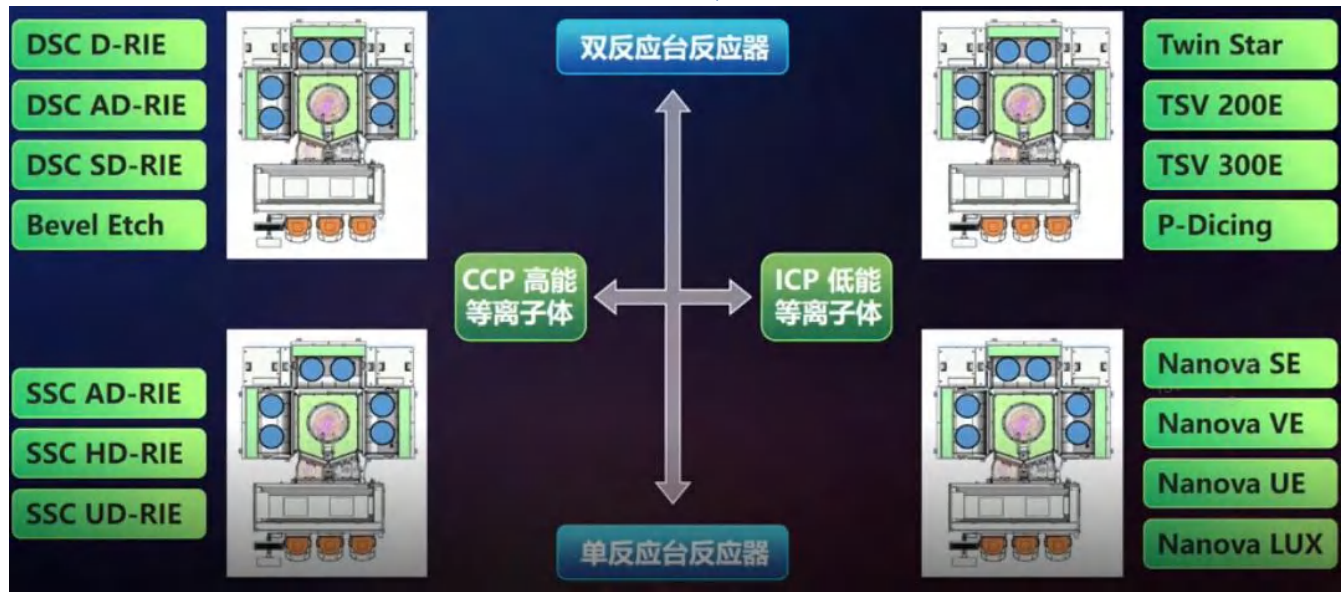
表：公司先进封装用刻蚀设备

刻蚀机类别	型号	晶圆尺寸	适用材料	适用工艺
深硅刻蚀机	PSE V300	8/12英寸兼容	硅、氧化硅、氮化硅	2.5D&3D TSV刻蚀、深槽隔离/电容刻蚀、MEMS刻蚀
封装钝化层刻蚀机	PSE V300Di	12英寸	氧化硅、氮化硅、PI等有机物、玻璃等	掩膜刻蚀、Spacer、有机物刻蚀、大马士革刻蚀等
等离子体切割刻蚀机	HSE D300	380mm Frame及以下	硅	深硅等离子切割
深硅刻蚀机	HSE P300	8/12英寸兼容	硅、氧化硅、氮化硅	深槽刻蚀、深孔刻蚀、扇出型封装硅载体刻蚀、露铜刻蚀等
微波等离子体表面处理系统	BMD P300	8/12英寸兼容	PR, PI, PBO, BCB等	等离子体表面处理、残渣去除、金属离子去除

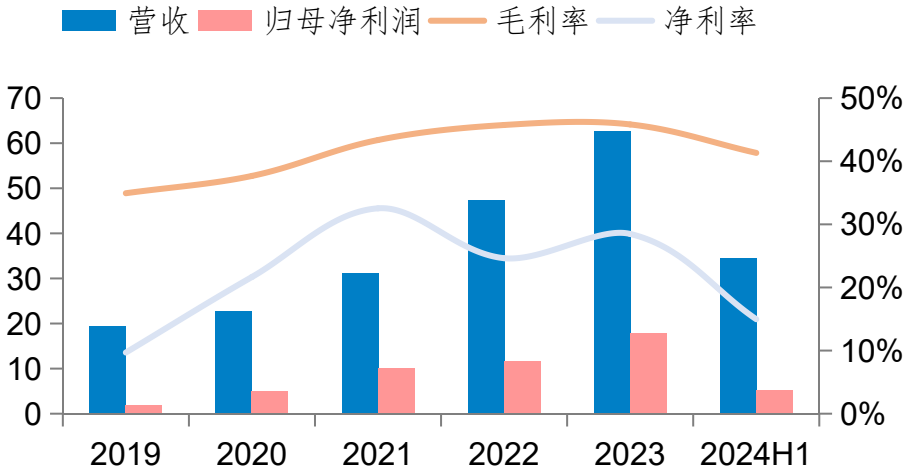
6.2 中微公司（688012.SH）

- ◆ 中微公司从事高端半导体设备及泛半导体设备的研发、生产和销售，布局刻蚀设备、MOCVD设备、薄膜沉积设备及其他设备四大系列产品。
- ◆ 公司目前在手订单充足，预计2024年前三季度的累计新增订单超过75亿元，同比增长超过50%。公司预计，2024年全年累计新增订单将达到110-130亿元，全年付运台数有望同比增长超200%。
- ◆ 公司刻蚀设备分为CCP和ICP两大类，可涵盖国内近95%的刻蚀应用需求。在逻辑集成电路制造环节，公司12英寸高端刻蚀设备已运用在国际知名客户最先进的生产线上并用于5nm及以下器件中若干关键步骤的加工；在3D NAND芯片制造环节，Primo UD-RIE已在生产线验证出具有刻蚀 $\geq 60:1$ 深宽比结构的量产能力，同时公司积极储备更高深宽比结构（ $\geq 90:1$ ）刻蚀的前卫技术。

图：公司刻蚀设备布局，共15种三代机型



图：历年公司财务数据（亿元，%）



24H1刻蚀设备：
• 营收26.98亿元，同比增长56.68%；
• 营收占比78.26%，同比提升10.1个百分点；
• 新增订单39.4亿元，同比增长约50.7%。

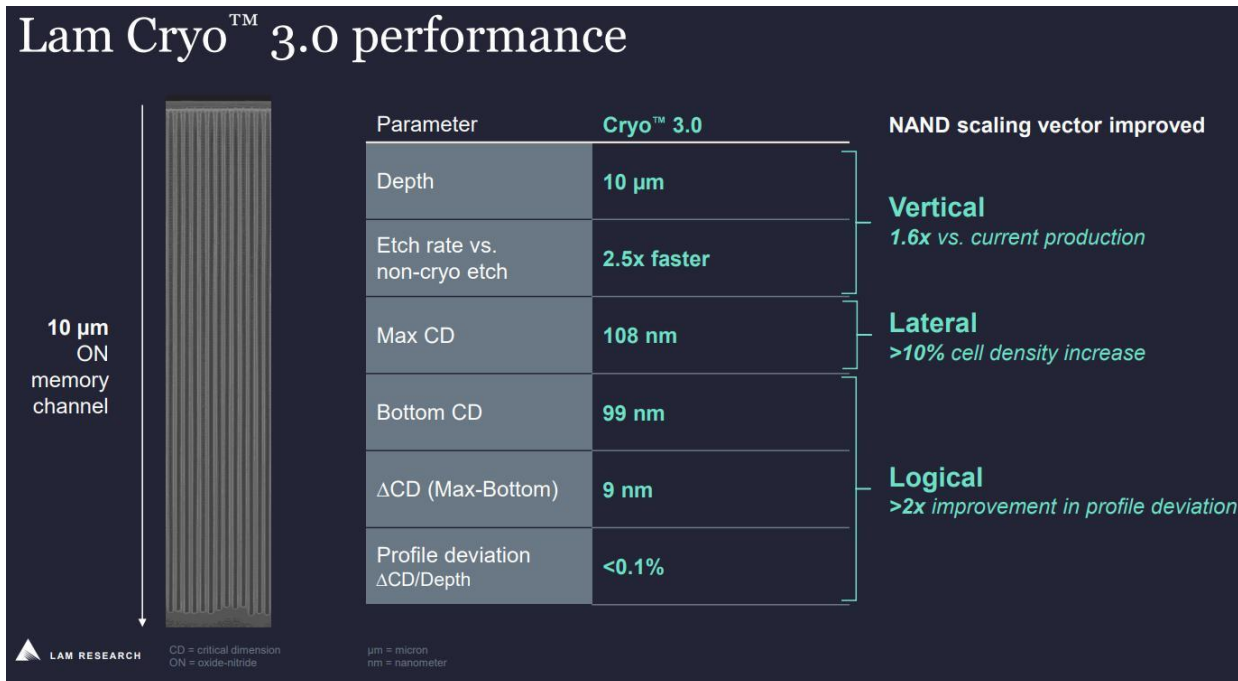
表：公司刻蚀设备工艺覆盖度

设备类型	器件类型	刻蚀应用数量	中微已量产	已验证	待开发	应用覆盖度
CCP	Logic	8	5	3	0	100%
	Memory	24	13	9	2	92%
	Total	32	18	12	2	94%
ICP	Logic	11	5	6	0	100%
	Memory	49	22	24	3	94%
	Total	60	27	30	3	95%

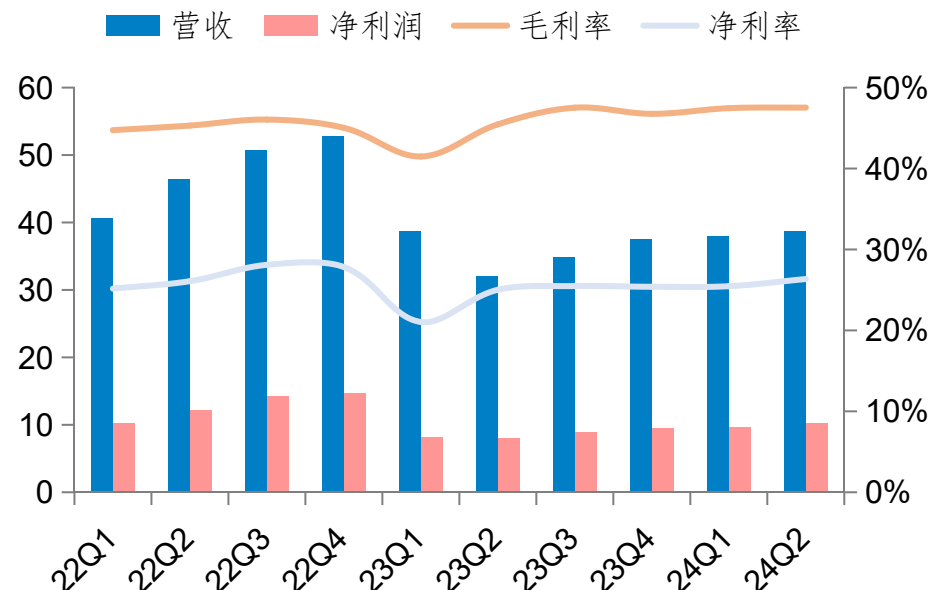
6.3 泛林集团（LRCX.O）

- ◆ 泛林集团于1980年在美国成立，于1981年推出第一台自动化多晶硅等离子刻蚀机AutoEtch 480；随后，公司开始向海外扩张，在中国台湾、韩国、日本等地新建工厂，并开展了一系列重大收购；现已形成刻蚀、薄膜沉积和清洗三大产品系列，其中刻蚀设备2021年市占率为46%，位居全球第一。
- ◆ 2024年泛林集团推出第三代低温电介质蚀刻技术Lam Cryo 3.0，可蚀刻深度高达10微米的通道，特征关键尺寸从顶部到底部的偏差小于0.1%，助力3D NAND突破1000层。目前已有500万片晶圆使用Lam低温刻蚀技术制造。
- ◆ 24Q2公司实现营收38.72亿美元，同比增长20.71%，环比增长2.05%；其中，中国大陆为第一大收入来源，占比为39%。

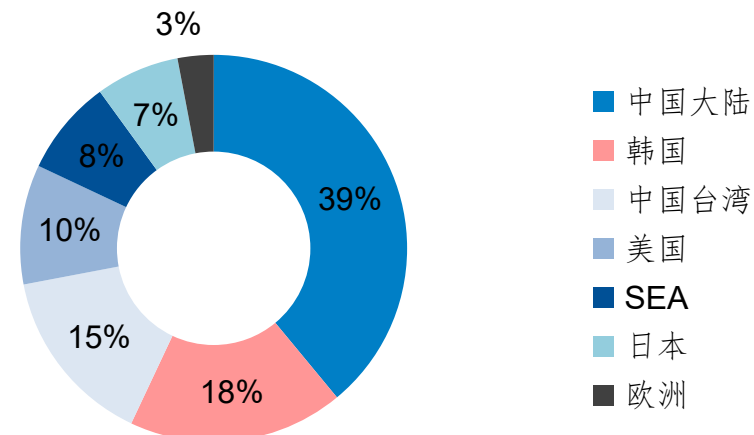
图：Lam Cryo 3.0技术助力3D NAND突破1000层



图：历年各季度公司财务数据（亿美元，%）



图：24Q2公司营收结构（%）



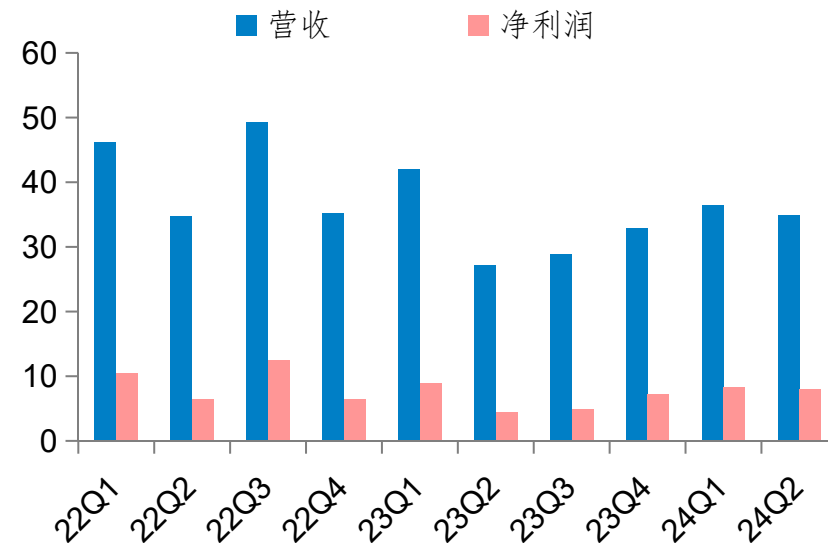
6.4 东京电子（8035.T）

- ◆ 东京电子于1963年在日本成立，是全球第四大半导体设备厂商，也是全球唯一一家提供在半导体图案化加工中必不可少的四道关键制程（沉积、涂布显影、刻蚀和清洗）设备的公司。
- ◆ 东京电子多款产品市占率位居全球前列，其中2021年刻蚀设备市占率为29%，位居全球第二。
- ◆ 24Q2东京电子实现营收34.84亿美元，同比增长41.69%，环比增长1.42%；其中，中国大陆为第一大收入来源，占比为49.9%。

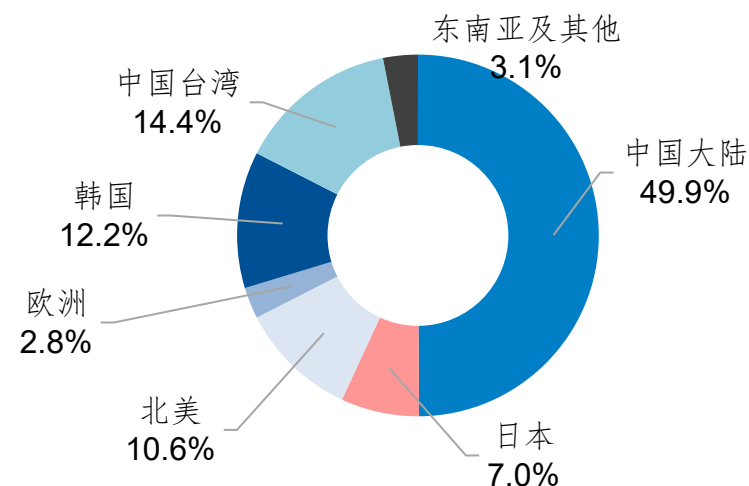
图：东京电子多款产品市占率位居全球前列



图：历年各季度公司财务数据（亿美元）



图：24Q2公司营收结构（%）



6.5 应用材料（AMAT.O）

- ◆ 应用材料于1967年在美国成立，并于1984年进入中国市场，成为第一家进入中国的海外半导体设备公司。应用材料现已成为全球第一大半导体和显示设备厂商。
- ◆ 2024年应用材料推出Sym3 Y Magnum蚀刻系统，该系统将沉积和蚀刻技术结合在同一腔室中。在代工逻辑中，Sym3 Y Magnum已被领先芯片制造商用于关键蚀刻应用，目前正部署用于埃时代节点中的EUV图案化。在内存领域，Sym3 Y Magnum是DRAM中最广泛采用的EUV图案化蚀刻技术。
- ◆ FQ3-24应用材料实现营收67.78亿美元，同比增长5.49%，环比增长1.99%；其中，中国大陆为第一大收入来源，占比为32%。

图：应用材料技术布局

Materials Engineering



Process Control

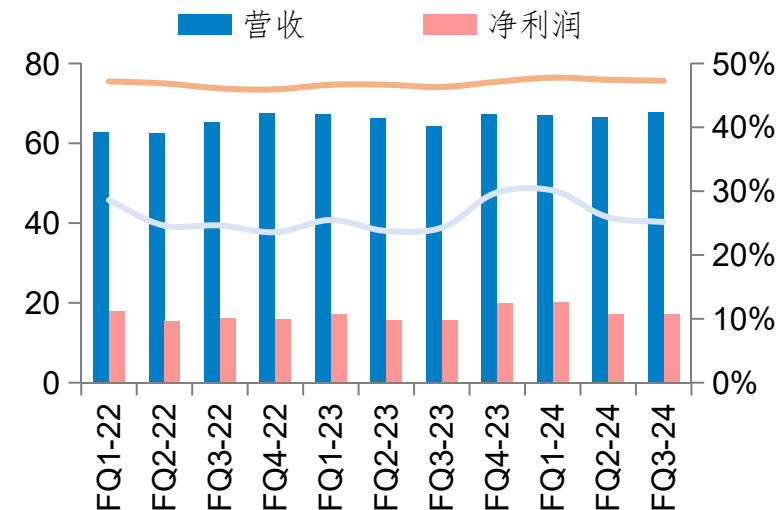


Heterogeneous Integration

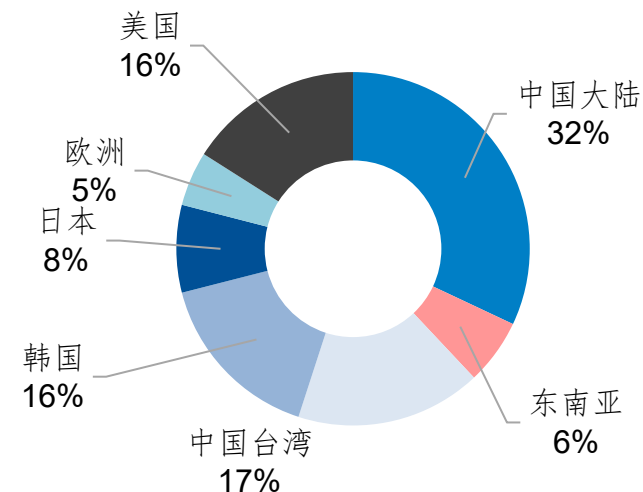


Connect

图：历年各季度公司财务数据（亿美元，%）



图：FQ3-24公司营收结构（%）



- 01 受益制程微缩&3D趋势，刻蚀设备成为第一大半导体设备
- 02 3D NAND：堆叠层数竞赛开启，高深宽比刻蚀/多堆栈堆叠技术齐发展
- 03 DRAM：制程迭代刻蚀难度显著提高，3D DRAM成未来发展趋势
- 04 逻辑：高选择SiGe刻蚀实现GAA生产，多重曝光技术突破光刻极限
- 05 TSV：TSV助力先进封装，刺激ICP刻蚀设备需求
- 06 建议关注标的
- 07 风险提示

- ◆ **宏观经济和行业波动风险：**半导体设备行业受下游半导体市场及终端消费市场需求波动的影响，其发展往往呈现一定的周期性，如果未来宏观经济疲软，终端消费市场的需求尤其是增量需求下滑，半导体制造厂商将会减少半导体设备的采购，因此本行业面临一定的行业波动风险。
- ◆ **下游客户资本性支出波动较大及行业周期性特点带来的经营风险：**随着全球经济的波动、行业景气度等因素影响，下游客户晶圆厂仍然存在资本性支出的波动及行业周期性，并造成半导体设备行业的波动，带来相应的经营风险。在行业景气度提升过程中，半导体产业往往加大资本性支出，快速提升对半导体设备的需求，但在行业景气度下降过程中，半导体产业则可能削减资本支出，从而对半导体设备的需求产生不利影响。
- ◆ **下游客户扩产不及预期的风险：**近年来，在持续旺盛的下游市场需求的推动下，芯片制造商扩产积极，景气程度向设备类公司传导，刻蚀等半导体设备行业整体呈现快速增长态势。但不能排除下游个别芯片制造商的后续投资不及预期，对相关设备的采购需求减弱，这将影响相关公司的订单量，进而对公司的业绩产生不利影响。
- ◆ **市场竞争加剧风险：**目前国内半导体设备市场主要由欧美、日本等国家和地区的国际知名企业所占据。近年来随着我国对集成电路及装备业的高度重视，加大支持力度，我国半导体设备行业技术水平不断提高，国产设备在产品性价比、售后服务、地缘等方面的优势逐渐显现。我国半导体设备厂商的逐步崛起，可能引起竞争对手的重视，使得竞争加剧。半导体设备市场的快速增长以及我国市场的进口替代预期，还将吸引更多的潜在进入者。因此，相关公司面临市场竞争加剧的风险。

- ◆ **研发投入不足导致技术被赶超或替代的风险：**半导体设备行业属于技术密集型行业，半导体关键设备的研发涉及等离子体物理、射频及微波学、结构化学、微观分子动力学、光谱及能谱学、真空机械传输等多种科学技术及工程领域学科知识的综合应用，具有产品技术升级快、研发投入大、研发周期长、研发风险高等特点。如果相关标的未来研发资金投入不足，无法满足技术升级需要，可能导致公司技术被赶超或替代的风险，对当期及未来的经营业绩产生不利影响。
- ◆ **研发方向存在偏差的风险：**半导体设备行业属于半导体产业链的上游核心环节之一，半导体设备需要超前研发设计，研发方向能否符合未来市场需求和发展趋势尤为重要，如果公司未来不能紧跟行业前沿需求，正确把握研发方向，将有可能使公司技术落后于竞争对手，导致客户订单减少，市场份额下降。

附录一：中国大陆目前计划建设的10座晶圆厂详情

- ◆ 大型晶圆代工厂陆续落地，有效刺激上游材料需求。
- ◆ 根据TrendForce数据，中国大陆目前运营的晶圆厂44座（12英寸晶圆厂25座、6英寸晶圆厂4座、8英寸晶圆厂及产线15座）。此外，还有22座晶圆厂正在建设中（12英寸晶圆厂15座，8英寸晶圆厂8座）。未来，中芯国际、晶合集成、长鑫存储和士兰微计划建设10座晶圆厂（9座12英寸晶圆厂，1座8英寸晶圆厂）。总体看，到2024年底，中国大陆的目标是建立32座大型晶圆厂，且都将专注于成熟工艺。

建设状况	公司	承建单位	名称	地点	晶圆尺寸	当前月产能 (万片)	规划月产能 (万片)
计划	中芯国际	中芯京城	B3P2	北京	12英寸	0	5
	中芯国际	中芯京城	B3P3	北京	12英寸	0	5
	中芯国际	中芯京城	B3P4	北京	12英寸	0	5
	华虹集团（上海华力）	华力微电子	Fab8	上海	12英寸	0	4
	晶合集成	合肥晶合集成电路有限公司	N3	合肥	12英寸	0	4
	晶合集成	合肥晶合集成电路有限公司	N4	合肥	12英寸	0	4
	合肥长鑫/兆易创新	-	Fab2/Fab3	合肥	12英寸	0	12.5
	士兰微（士兰集科）	厦门士兰集昕电子有限公司	Fab2	厦门	12英寸	0	8
	矽力杰	青岛城芯半导体科技有限公司	-	青岛	12英寸	0	4
	中科晶芯	四川中科晶芯集成电路制造有限责任公司	-	成都	8英寸	0	-

附录二：中国大陆目前在建的22座晶圆厂详情

建设状况	公司	承建单位	名称	地点	晶圆尺寸	当前月产能 (万片)	规划月产能 (万片)
在建	中芯国际	中芯南方集成电路制造有限公司	SN2	上海	12英寸	0	3.5
	中芯国际	中芯京城	B3P1	北京	12英寸	0	10
	中芯国际	中芯国际集成电路制造（深圳）有限公司	FAB16B	深圳	12英寸	0	10
	中芯西青	中芯国际集成电路制造（深圳）有限公司	-	天津	12英寸	0	10
	中芯东方	中芯东方（上海临港）	-	上海	12英寸	0	3.5
	中芯集成	中芯国际集成电路制造（绍兴）有限公司	-	绍兴	12英寸	0	1
	华虹集团（华虹半导体）	华虹宏力	Fab9	无锡	12英寸	0	8.3
	华润微	华润微电子（重庆）有限公司	-	深圳	12英寸	0	48
	长江存储	长江存储有限责任公司	Fab1	武汉	12英寸	5	10
	紫光集团	成都紫光国芯存储科技有限公司集团	CD	成都	12英寸	0	30
	粤芯半导体	广州粤芯半导体技术有限公司	粤芯三期	广州	12英寸	2	4
	增芯科技	广州增芯科技有限公司	南沙项目	广州	12英寸	2	6
	芯恩集成	芯恩（青岛）集成电路有限公司	芯恩二期	青岛	12英寸	3	8
	万国半导体	重庆万国半导体科技有限公司	CQ	重庆	12英寸	5	7
	积塔半导体	上海积塔半导体有限公司	临港二期	上海	12英寸	0	5
	芯恩集成	芯恩（青岛）集成电路有限公司	-	青岛	8英寸	3	5
	士兰微（士兰集科）	杭州士兰集昕微电子有限公司	Fab2	杭州	8英寸	3.6	4
	积塔半导体	上海积塔半导体有限公司	-	上海	8英寸	0	6
	燕东微电子	北京燕东电子科技有限公司	-	北京	8英寸	3	5
	赛莱克斯	赛莱克斯微系统科技（北京）有限公司	-	北京	8英寸	0.5	3
	海辰半导体	海辰半导体（无锡）有限公司	-	无锡	8英寸	1	10.5
	华微电子	吉林华微电子股份有限公司	-	吉林	8英寸	0.5	2

附录三（一）：中国大陆目前建成的44座晶圆厂详情

建设状况	公司	承建单位	名称	地点	晶圆尺寸	当前月产能 (万片)	规划月产能 (万片)
建成	中芯国际	中芯国际集成电路制造（上海）有限公司	S1（FAB1、2、3）	上海	8英寸	11.5	13.5
	中芯国际	中芯南方集成电路制造有限公司	SN1	上海	12英寸	1.5	3.5
	中芯国际	中芯国际集成电路制造（北京）有限公司	B1（FAB4、6）	北京	12英寸	5.2	6
	中芯国际	中芯北方	B2A、B2B	北京	12英寸	6.2	10
	中芯国际	中芯国际集成电路制造（深圳）有限公司	FAB15	深圳	8英寸	4.4	7
	中芯国际	中芯国际集成电路制造（深圳）有限公司	FAB16A	深圳	12英寸	0	4
	中芯国际	中芯国际集成电路制造（天津）有限公司	FAB7P2	天津	8英寸	9.5	18
	中芯集成	中芯国际集成电路制造（绍兴）有限公司	-	绍兴	8英寸	4.25	10
	中芯宁波	中芯国际集成电路制造（宁波）有限公司	N1	宁波	8英寸	4.25	10
	中芯宁波	中芯国际集成电路制造（宁波）有限公司	N2	宁波	8英寸	1.5	1.5
	华虹集团（华虹半导体）	华虹宏力	Fab1-3	上海	8英寸	17.8	18
	华虹集团（上海华力）	华力微电子	Fab5	上海	12英寸	3.5	3.5
	华虹集团（上海华力）	华力集成电路	Fab6	上海	12英寸	3	4
	华虹集团（华虹半导体）	华虹半导体（无锡）有限公司	Fab7	无锡	12英寸	2.5	8
	华润微	华润微电子（重庆）有限公司	-	重庆	8英寸	5.7	6.2
	华润微	华润上华科技有限公司	晶圆二厂	无锡	8英寸	7.8	14
	华润微	华润上华科技有限公司	晶圆一厂	无锡	6英寸	23	23
	晶合集成	合肥晶合集成电路有限公司	N1、N2	合肥	12英寸	4	4
	长江存储	长江存储有限责任公司	Fab2	武汉	12英寸	0	10
	长江存储	长江存储有限责任公司	Fab3	武汉	12英寸	0	10
	合肥长鑫	长鑫存储技术有限公司	Fab1	合肥	12英寸	4	12.5

附录三（二）：中国大陆目前建成的44座晶圆厂详情

建设状况	公司	承建单位	名称	地点	晶圆尺寸	当前月产能 (万片)	规划月产能 (万片)
建成	武汉新芯	武汉新芯集成电路制造有限公司	Fab1	武汉	12英寸	2.5	2.5
	武汉新芯	武汉新芯集成电路制造有限公司二期	Fab2	武汉	12英寸	2.5	11.5
	士兰微（士兰集昕）	杭州士兰集昕微电子有限公司	Fab1	杭州	8英寸	3.5	4
	士兰微（士兰集昕）	厦门士兰集昕微电子有限公司	Fab1	厦门	12英寸	4	8
	士兰微（士兰集昕）	厦门士兰集昕微电子有限公司	Fab1	厦门	12英寸	4	8
	闻泰-安世半导体	鼎泰匠芯	-	上海	12英寸	3	10
	杭州富芯	杭州富芯	-	杭州	12英寸	5	5
	广义微电子	四川广义微电子股份有限公司	-	四川	6英寸	15	15
	上海新进芯	上海新进芯微电子有限公司	-	上海	6英寸	1.5	1.5
	英锐半导体	江苏英锐半导体有限公司	-	盐城	12英寸	2.5	5
	福建晋华	福建晋华集成电路有限公司	F1-F2	泉州	8英寸	0	6
	芯睿电子	河南芯睿电子科技有限公司	-	新乡	6英寸	2	2
	三星	三星（中国）半导体有限公司	Fabx1	西安	12英寸	12	12
		三星（中国）半导体有限公司二期	Fabx2	西安	12英寸	8	20
	英特尔	英特尔半导体（大连）有限公司	Fab68二期	大连	12英寸	4	4
	SK海力士	SK海力士半导体（中国）有限公司	HC1	无锡	12英寸	10	10
			HC2	无锡	12英寸	10	20
	德州仪器	成芯半导体	-	成都	8/12英寸	5	5
	台积电	台积电（南京）有限公司	NJFab16	南京	12英寸	2	2
		台积电（中国）有限公司	FAB10	上海	8英寸	3.5	3.5
	上海先进	上海先进半导体制造股份有限公司	-	上海	8英寸	2.3	2.3
	联电-厦门联芯	联芯集成电路制造（厦门）股份有限公司	FAB12x	厦门	12英寸	2	5
	联电-和舰科技	和舰芯片制造（苏州）股份有限公司	-	苏州	8英寸	10	10

附录四：中芯国际天津T2车间月产9万片180nm的8寸晶圆产线设备配置数量（台）

设备种类	设备名称	单位	数量	合计	设备种类	设备名称	单位	数量	合计	
氧化炉管/高温/退火	常压垂直炉管	台	27	113	物理气相沉积	金属铝物理气相沉积	台	23	43	
	单晶硅外延炉	台	9			物理气相沉积	台	4		
	低压垂直炉管	台	21			物理气相沉积仪	台	16		
	多晶硅垂直炉管	台	6		研磨抛光	金属钨化学机械研磨	台	14	33	
	二氧化硅平坦化炉管	台	3			氧化硅化学机械研磨	台	19		
	高温退火炉管	台	3			清洗	晶片清洗机	台	28	41
	高温烘烤机	台	3		酸清洗机		台	13		
	高温氧化炉	台	26		电性参数测试仪		台	20		
	快速热处理器	台	15		电阻检测仪	台	9	217		
化学气相沉积	化学气相沉积仪	台	75	89	电子显微镜	台	59			
	金属钨化学气相沉积	台	14		叠对标记差测量仪	台	11			
涂胶机	深紫外涂胶机	台	16	39		光掩膜版颗粒物检测机	台		8	
	紫外涂胶机	台	23			晶片缺陷检测仪	台		22	
光刻机	深紫外光刻机	台	16	39		粒子计数仪	台		17	
	紫外光刻机	台	23			磷含量检测仪	台		5	
刻蚀	氧化层刻蚀机	台	13	92		膜厚测量仪	台		39	
	氮化物刻蚀机	台	10			缺陷检测仪	台		7	
	多晶硅刻蚀机	台	12			外延缺陷测量仪	台		5	
	金属铝刻蚀机	台	23			硅片深度测量仪	台		5	
	刻蚀机	台	15			剂量测试仪	台		5	
	湿蚀刻工作站	台	19			应力测量仪	台		5	
去胶机	去胶机	台	32	32	其他	紫外光烘烤机	台	4	32	
离子注入	高能离子注入机	台	4	31		自动晶片定位机	台	20		
	低能量离子注入机	台	6			成分分析仪	台	8		
	高速流离子注入机	台	11							
	中电流离子注入机	台	10							

资料来源：中芯国际，国家环境保护总局，华金证券研究所

附录五（一）：中芯国际天津T3车间月产1万片90nm的12寸晶圆产线设备配置数量（台）

设备种类	设备名称	单位	数量	合计	设备种类	设备名称	单位	数量	合计		
氧化炉管/高温/退火	合金垂直炉管	台	1	22	去胶机	光刻胶去除	台	8	8		
	沉积退火设备	台	1			离子注入	高能离子注入设备	台	1	13	
	氮化物化学气相沉积垂直炉管	台	5		高速流离子注入设备		台	8			
	多晶硅沉积垂直炉管	台	1		中速流离子注入设		台	4			
	高温退火垂直炉管	台	3		物理气相沉积	铝接点沉积设备	台	1	24		
	快速退火设备	台	3			镍物理气相沉积设备	台	1			
	退火设备	台	2			钛及氮化钛沉积设备	台	1			
	氧化物生长垂直炉管	台	2			铜电镀设备	台	3			
	闸极氧化物垂直炉管	台	2			沉积设备	台	15			
	化学气相沉积垂直炉管	台	2			屏障和种子沉积设备	台	3			
化学气相沉积	氮化钛沉积设备	台	2	42	研磨抛光	硅片平坦仪	台	1	12		
	氮化物沉积设备	台	4			金属化学机械抛光设备	台	2			
	氮氧化物沉积设备	台	1			浅沟槽化学机械抛光设备	台	1			
	氧化物沉积设备	台	12			氧化物化学机械抛光设备	台	2			
	氧化物沉积设备	台	1			钨化学机械抛光设备	台	1			
	含氟氧化物沉积设备	台	6			铜化学机械抛光设备	台	5			
	含碳氧化物沉积设备	台	3			表面电荷分析仪	台	3			
	薄膜沉积设备	台	3			X 射线光谱分析设备	台	1			
	浅沟槽氧化物沉积设备	台	1			X 射线荧光光谱仪	台	1			
	碳化物沉积设备	台	1			暗区缺陷检测仪	台	3			
涂胶机	钨化学气相沉积设备	台	1	7	检测	半自动目测光学台	台	1	45		
	锗硅沉积设备	台	5			表面电荷分析	台	1			
	闸极氧化物沉积设备	台	2			电子束检测机	台	1			
	光阻涂布机	台	1			电阻测量仪	台	1			
	深紫外涂胶显影机	台	3			分析仪	台	1			
	涂布机	台	2			覆盖度测量机	台	2			
	紫外涂胶显影机	台	1			关键尺寸测量扫描电镜	台	5			
	光刻机	深紫外沉浸式涂胶曝光机	台			4	8	光罩缺陷检测仪		台	1
		深紫外涂胶曝光机	台			3		光罩扫描仪		台	1
	刻蚀	紫外涂胶曝光机	台			1	25	宏观检测器		台	1
保护层刻蚀设备		台	2	厚度检测设备	台	5					
介电质刻蚀设备		台	7	剂量检测机	台	1					
刻蚀设备		台	4	检测仪	台	4					
连接层刻蚀设备		台	1	亮区缺陷检测仪	台	2					
铝接点刻蚀设备		台	2	晶片盒检测	台	1					
浅沟槽刻蚀		台	2	缺陷分析仪	台	1					
湿法氮化物刻蚀设备		台	1	缺陷复查器	台	4					
闸极刻蚀设备		台	3	缺陷检测仪	台	1					
掩膜刻蚀设备		台	3	自动宏观缺陷检查机	台	3					

资料来源：中芯国际，国家环境保护总局，华金证券研究所

附录五（二）：中芯国际天津T3车间月产1万片90nm的12寸晶圆产线设备配置数量（台）

设备种类	设备名称	单位	数量	合计	设备种类	设备名称	单位	数量	合计
检测	自动目测光学台	台	3	5	其他	氮浓度测量机	台	1	17
	自动目检仪	台	1			光罩仓储机	台	1	
	光学显微镜	台	1			包装机	台	1	
测试	测试探针	台	8	33		擦片机	台	5	
	测试仪	台	17			打印机	台	1	
	晶圆最终测试探针	台	7			粒子计数器	台	2	
	纳米探针仪	台	1			掩膜版绑定机	台	2	
清洗	金属硅化物选择性去除设备	台	1	17		紫外处理设备	台	3	
	晶背清洗设备	台	4			条形码打印机	台	1	
	清洗机	台	2						
	清洗设备	台	9						
	闸极清洗设备	台	1						

华金电子-走进“芯”时代系列深度报告

- 1、芯时代之一_半导体重磅深度《新兴技术共振进口替代，迎来全产业链投资机会》
- 2、芯时代之二_深度纪要《国产芯投资机会暨权威专家电话会》
- 3、芯时代之三_深度纪要《半导体分析和投资策略电话会》
- 4、芯时代之四_市场首篇模拟IC深度《下游应用增量不断，模拟 IC加速发展》
- 5、芯时代之五_存储器深度《存储产业链战略升级，开启国产替代“芯”篇章》
- 6、芯时代之六_功率半导体深度《功率半导体处黄金赛道，迎进口替代良机》
- 7、芯时代之七_半导体材料深度《铸行业发展基石，迎进口替代契机》
- 8、芯时代之八_深度纪要《功率半导体重磅专家交流电话会》
- 9、芯时代之九_半导体设备深度《进口替代促景气度提升，设备长期发展明朗》
- 10、芯时代之十_3D/新器件《先进封装和新器件，续写集成电路新篇章》
- 11、芯时代之十一_IC载板和SLP《IC载板及SLP，集成提升的板级贡献》
- 12、芯时代之十二_智能处理器《人工智能助力，国产芯有望“换”道超车》
- 13、芯时代之十三_封测《先进封装大势所趋，国家战略助推成长》
- 14、芯时代之十四_大硅片《供需缺口持续，国产化蓄势待发》
- 15、芯时代之十五_化合物《下一代半导体材料，5G助力市场成长》
- 16、芯时代之十六_制造《国产替代加速，拉动全产业链发展》
- 17、芯时代之十七_北方华创《双结构化持建机遇，由大做强倍显张力》
- 18、芯时代之十八_斯达半导体《铸IGBT功率基石，创多领域市场契机》
- 19、芯时代之十九_功率半导体深度②《产业链逐步成熟，功率器件迎黄金发展期》
- 20、芯时代之二十_汇顶科技《光电传感创新领跑，多维布局引领未来》
- 21、芯时代之二十一_华润微《功率半导体专芯致志，特色工艺术业专攻》
- 22、芯时代之二十二_大硅片*重磅深度《半导体第一蓝海，硅片融合工艺创新》
- 23、芯时代之二十三_卓胜微《5G赛道射频芯片龙头，国产替代正当时》
- 24、芯时代之二十四_沪硅产业《硅片“芯”材蓄势待发，商用量产空间广阔》
- 25、芯时代之二十五_韦尔股份《光电传感稳创领先，系统方案展创宏图》
- 26、芯时代之二十六_中环股份《半导体厚积薄发，特有赛道独树一帜》
- 27、芯时代之二十七_射频芯片《射频芯片千亿空间，国产替代曙光乍现》
- 28、芯时代之二十八_中芯国际《代工龙头创领升级，产业联动芯火燎原》
- 29、芯时代之二十九_寒武纪《AI芯片国内龙头，高研发投入前景可期》
- 30、芯时代之三十_芯朋微《国产电源IC十年磨一剑，铸就国内升级替代》
- 31、芯时代之三十一_射频PA《射频PA革新不止，万物互联广袤无限》
- 32、芯时代之三十二_中微公司《国内半导体刻蚀巨头，迈内生&外延平台化》
- 33、芯时代之三十三_芯原股份《国内IP龙头厂商，推动SiPaaS模式发展》
- 34、芯时代之三十四_模拟IC深度PPT《模拟IC黄金赛道，本土配套渐入佳境》
- 35、芯时代之三十五_芯海科技《高精度测量ADC+MCU+AI,切入蓝海赛道超芯星》
- 36、芯时代之三十六_功率&化合物深度《扩容&替代提速，化合物布局长远》
- 37、芯时代之三十七_恒玄科技《专注智能音频SoC芯片，迎行业风口快速发展》
- 38、芯时代之三十八_和而泰《从高端到更高端，芯平台创新格局》
- 39、芯时代之三十九_家电芯深度PPT《家电芯配套渐完善,增存量机遇筑蓝海》
- 40、芯时代之四十_前道设备PPT深度《2021年国产前道设备，再迎新黄金时代》
- 41、芯时代之四十一_力芯微《专注电源管理芯片，内生外延拓展产品线》
- 42、芯时代之四十二_复旦微电《国产FPGA领先企业，高技术壁垒铸就护城河》
- 43、芯时代之四十三_显示驱动深度PPT《显示驱动芯—面板国产化最后1公里》
- 44、芯时代之四十四_艾为电子《数模混合设计专家，持续迭代拓展产品线》
- 45、芯时代之四十五_紫光国微《特种与安全两翼齐飞，公司步入快速发展阶段》
- 46、芯时代之四十六_新能源芯*PPT深度《乘碳中和之风，基础元件腾飞》
- 47、芯时代之四十七_AIoT *PPT深度《AIoT大时代，SoC厂商加速发展》
- 48、芯时代之四十八_铂科新材《双碳助力发展，GPU新应用构建二次成长曲线》
- 49、芯时代之四十九_AI芯片《AI领强算力时代，GPU启新场景落地》
- 50、芯时代之五十_江海股份《乘“碳中和”之风，老牌企业三大电容全面发力》
- 51、芯时代之五十一_智能电动车1000页PPT（多行业协同）《智能电动车★投研大全》
- 52、芯时代之五十二_瑞芯微PPT深度《迈入全球准一线梯队，新硬件十年前景可期》

53、芯时代之五十三_峰岹科技《专注BLDC电机驱动控制芯片，三大核心技术引领成长》

54、芯时代之五十四_纳芯微《专注高端模拟IC，致力国内领先车规级半导体供应商》

55、芯时代之五十五_晶晨股份《核心技术为躯，全球开拓为翼》

56、芯时代之五十六_国微&复微《紫光国微与复旦微的全面对比分析》

57、芯时代之五十七_国产算力SoC《算力大时代，处理器SoC厂商综合对比》

58、芯时代之五十八_高能模拟芯《高性能模拟替代渐入深水区，工业汽车重点突破》

59、芯时代之五十九_南芯科技《电荷泵翹楚拓矩阵蓝图，通用产品力屡复制成功》

60、芯时代之六十_AI算力GPU《AI产业化再加速，智能大时代已开启》

61、芯时代之六十一_瑞芯微②深度《人工智能再加速，AIoT SoC龙头多点开花》

62、芯时代之六十二_华峰测控《技术/产品为基石，SoC/模数/功率测试机助拓全球市场》

63、芯时代之六十三_裕太微《以太网PHY芯片稀缺标的，国产化渗透初期前景广阔》

64、芯时代之六十四_华虹公司《立足成熟制程，“特色IC+功率器件”代工龙头底部加码12寸》

65、芯时代之六十五_汇顶科技《指纹&触控保持市场领先，新品营收逐步起量》

66、芯时代之六十六_中科蓝讯《产品结构升级&品牌客户突破，八大产品线拓未来》

67、芯时代之六十七_2.5D/3D封装PPT《技术发展引领产业变革，向高密度封装时代迈进》

68、芯时代之六十八_显示驱动芯片PPT《显示驱动芯片——面板国产化最后一公里》

69、芯时代之六十九_菱电电控《双转战略促量价齐升逻辑凸显，T-BOX塑造第二增长极》

70、芯时代之七十_华海清科《国产CMP设备龙头，持续走向高端化、平台化》

71、芯时代之七十一_东芯股份《利基型存储国内领先，强周期属性2024年迎拐点》

72、芯时代之七十二_通富微电《VISionS技术护城河&AMD深度合作，在AI浪潮中更上层楼》

73、芯时代之七十三_长电科技《XDFOI™平台为支撑，吹响算力/存力/汽车三重奏》

74、芯时代之七十四_算力芯片PPT《以“芯”助先进算法，以“算”驱万物智能》

75、芯时代之七十五_半导4核心材料PPT《万丈高楼材料起，夯实中国“芯”地基》

76、芯时代之七十六_HBM之设备材料PPT《HBM迭代，3D混合键合成设备材料发力点》

77、芯时代之七十七_XR深度PPT《身处人文与科技十字路口，开启空间计算时代》

78、芯时代之七十八_韦尔股份②《CIS技术全球领先，穿越周期再启航》

79、芯时代之七十九_华勤技术《ODM龙头强者更强，高性能计算成长动能充沛》

80、芯时代之八十_功率半导体③《“功率半导体”铸全球竞争护城河，产品格局看“底部”机遇》

81、芯时代之八十一_斯达半导体《积技以培风，以IGBT/SiC大翼将图南》

82、芯时代之八十二_致尚科技《游戏零部件为主体，XR/光通讯两翼共促发展》

83、芯时代之八十三_北方华创②《塑造半导体设备平台企业，深度受益国产替代战略发展》

84、芯时代之八十四_光刻机PPT《国产路漫其修远，中国芯上下求索》

85、芯时代之八十五_景旺电子《产品布局多元，全球化战略势能逐步释放》

86、芯时代之八十六_鹏鼎控股《PCB龙头专注发展高阶产品，深度受益AI发展新浪潮》

87、芯时代之八十七_兆易创新《“存”如基石“算”如翼，花月正春风》

88、芯时代之八十八_刻蚀设备《制程微缩叠加3D趋势，刻蚀设备市场空间持续拓宽》

- ◆ 孙远峰：华金证券总裁助理&研究所所长&电子行业首席分析师，哈尔滨工业大学工学学士，清华大学工学博士，近3年电子实业工作经验；2018年新财富上榜分析师（第3名），2017年新财富入围/水晶球上榜分析师，2016年新财富上榜分析师（第5名），2013~2015年新财富上榜分析师团队核心成员；多次获得保险资管IAMAC、水晶球、金牛奖等奖项最佳分析师；2019年开始未参加任何个人评比，其骨干团队专注于创新&创业型研究所的一线具体创收&创誉工作，以“产业资源赋能深度研究”为导向，构建研究&销售合伙人队伍，积累了健全的成熟团队自驱机制和年轻团队培养机制，充分获得市场验证；2023年带领崭新团队获得《证券时报》评选的中国证券业最具特色研究君鼎奖和2023年第11届金牌分析师进步最快研究机构奖；清华校友总会电子工程系分会副秘书长，清华大学上海校友会电子信息专委会委员
- ◆ 王海维：电子行业联席首席分析师，华东师范大学硕士，电子&金融复合背景，主要覆盖半导体板块，善于个股深度研究，2018年新财富上榜分析师（第3名）核心成员，先后任职于安信证券/华西证券研究所，2023年2月入职华金证券研究所
- ◆ 王臣复：电子行业高级分析师，北京航空航天大学工学学士和管理学硕士，曾就职于欧菲光集团投资部、融通资本、平安基金、华西证券资产管理总部、华西证券等，2023年2月加入华金证券研究所
- ◆ 宋鹏：电子行业助理分析师，莫纳什大学硕士，曾就职于头豹研究院TMT组，2023年3月入职华金证券研究所
- ◆ 吴家欢：电子行业助理分析师，吉林大学学士，博科尼大学硕士，电子&管理复合背景，2023年11月入职华金证券研究所

行业评级体系

收益评级：

领先大市 — 未来6个月的投资收益率领先沪深300指数10%以上；

同步大市 — 未来6个月的投资收益率与沪深300指数的变动幅度相差-10%至10%；

落后大市 — 未来6个月的投资收益率落后沪深300指数10%以上；

风险评级：

A — 正常风险，未来6个月投资收益率的波动小于等于沪深300指数波动；

B — 较高风险，未来6个月投资收益率的波动大于沪深300指数波动。

分析师声明

孙远峰、王海维声明，本人具有中国证券业协会授予的证券投资咨询执业资格，勤勉尽责、诚实守信。本人对本报告的内容和观点负责，保证信息来源合法合规、研究方法专业审慎、研究观点独立公正、分析结论具有合理依据，特此声明。

本公司具备证券投资咨询业务资格的说明

华金证券股份有限公司（以下简称“本公司”）经中国证券监督管理委员会核准，取得证券投资咨询业务许可。本公司及其投资咨询人员可以为证券投资人或客户提供证券投资分析、预测或者建议等直接或间接的有偿咨询服务。发布证券研究报告，是证券投资咨询业务的一种基本形式，本公司可以对证券及证券相关产品的价值、市场走势或者相关影响因素进行分析，形成证券估值、投资评级等投资分析意见，制作证券研究报告，并向本公司的客户发布。

免责声明：

华金证券股份有限公司（以下简称“本公司”）的客户使用。本公司不会因为任何机构或个人接收到本报告而视其为本公司的当然客户。

本报告基于已公开的资料或信息撰写，但本公司不保证该等信息及资料的完整性、准确性。本报告所载的信息、资料、建议及推测仅反映本公司于本报告发布当日的判断，本报告中的证券或投资标的价格、价值及投资带来的收入可能会波动。在不同时期，本公司可能撰写并发布与本报告所载资料、建议及推测不一致的报告。本公司不保证本报告所含信息及资料保持在最新状态，本公司将随时补充、更新和修订有关信息及资料，但不保证及时公开发布。同时，本公司有权对本报告所含信息在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。任何有关本报告的摘要或节选都不代表本报告正式完整的观点，一切须以本公司向客户发布的本报告完整版本为准。

在法律许可的情况下，本公司及所属关联机构可能会持有报告中提到的公司所发行的证券或期权并进行证券或期权交易，也可能为这些公司提供或者争取提供投资银行、财务顾问或者金融产品等相关服务，提请客户充分注意。客户不应将本报告为作出其投资决策的惟一参考因素，亦不应认为本报告可以取代客户自身的投资判断与决策。在任何情况下，本报告中的信息或所表述的意见均不构成对任何人的投资建议，无论是否已经明示或暗示，本报告不能作为道义的、责任的和法律的依据或者凭证。

在任何情况下，本公司亦不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。

本报告版权仅为本公司所有，未经事先书面许可，任何机构和个人不得以任何形式翻版、复制、发表、转发、篡改或引用本报告的任何部分。如征得本公司同意进行引用、刊发的，需在允许的范围内使用，并注明出处为“华金证券股份有限公司研究所”，且不得对本报告进行任何有悖原意的引用、删节和修改。

华金证券股份有限公司对本声明条款具有惟一修改权和最终解释权。

风险提示:

报告中的内容和意见仅供参考，并不构成对所述证券买卖的出价或询价。投资者对其投资行为负完全责任，我公司及其雇员对使用本报告及其内容所引发的任何直接或间接损失概不负责。

华金证券股份有限公司

办公地址:

上海市浦东新区杨高南路759号陆家嘴世纪金融广场30层

北京市朝阳区建国路108号横琴人寿大厦17层

深圳市福田区益田路6001号太平金融大厦10楼05单元

电话: 021-20655588

网址: www.huajinsc.cn