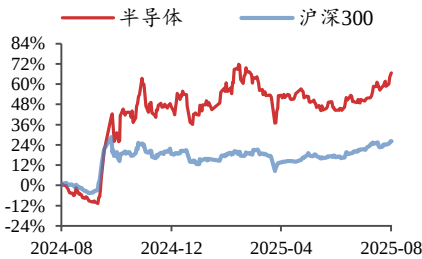


半导体

2025 年 08 月 14 日

投资评级：看好（维持）

行业走势图



数据来源：聚源

相关研究报告

《存储价格回暖+AIDC 周期启动，模组厂商乘风起——行业深度报告》
-2025.6.30

《半导体材料跟踪点评：盛合晶微进入辅导验收阶段，关注先进封装材料投资机会——行业点评报告》-2025.6.23

《半导体行业月度点评：下游回暖，景气度改善可期——行业点评报告》
-2025.4.27

高端先进封装：AI 时代关键基座，重视自主可控趋势下的投资机会

——行业深度报告

陈蓉芳（分析师）

chenrongfang@kysec.cn

证书编号：S0790524120002

陈瑜熙（分析师）

chenyuxi@kysec.cn

证书编号：S0790525020003

● 复盘 CoWoS 发展史：探索与验证→规模化商用→技术平台化

先进封装是“超越摩尔”思路下提升芯片性能的重要路径。封装工艺已实现由“封”向“构”升级，发展出如 FC、FO、WLCSP、SiP 和 2.5D/3D 等先进封装，优势明显（性能高、成本低、面积小、周期短等），应用边际不断拓宽。AI 应用打开 CoWoS 封装成长空间：CoWoS 是台积电开发的 2.5D 封装工艺，在 AI 时代实现放量。AI 芯片对更强算力和更多内存的需求，驱动 CoWoS-S（硅中介层）向更大尺寸发展，在此过程中，复杂工艺带来良率挑战，中介层尺寸提升引起成品率下降。为平衡成本和性能，CoWoS-R 与 CoWoS-L 应运而生，相比而言，CoWoS-L 采用“局部硅互联+RDL”作为中介层，有效规避了大尺寸硅中介层带来的问题，同时保留了硅中介层的优良特性，或成为未来发展的重点。2024 年台积电已实现 CoWoS-L 量产，英伟达的 Blackwell 系列 GPU 采用该工艺。

● 需求侧：HPC/汽车电子/高端消费电子带动先进封装市场扩张

在高性能计算、AI/机器学习、数据中心、ADAS、高端消费电子设备等终端的强势需求下，Yole 预测全球先进封装市场规模将从 2023 年的 378 亿元增加至 2029 年的 695 亿美元。电信与基础设施（包括 AI/HPC）是主要驱动力。2025 年 Q2，北美云厂资本开支再创历史新高，AI 飞轮效应或已形成。在“算力即国力”的趋势下，国产算力产业正在跨越式发展。随本土 AI 算力芯片蓬勃发展，自主可控趋势下高端先进封装迎来发展机会。

● 供给侧：先进封装玩家众多，国产厂商加速突破

据 Yole 预测，先进封装晶圆数增长主要来自 2.5D/3D 封装，2023-2029 年其 CAGR 高达 30.5%，有望对 AI/ML、HPC、数据中心、CIS 和 3D NAND 形成支撑。
全球领先厂商：以大技术平台+先进工艺，竞争高端市场空间。CoWoS 封装供不应求，台积电正在大幅扩张产能，预计 2026 年将达到 9-11 万片/月。
大陆厂商：具备先进封装产业化能力。封测是中国大陆在半导体产业的强势环节，头部厂商在中高端先进封装市场已占据一定份额，有望率先从追赶走向引领。
格局生变：CoWoS 分工合作，OSAT 厂迎来切入窗口。前道晶圆厂与后道 OSAT 协同完成 CoWoS 已成为重要模式，OSAT 切入高端先进封装的门槛降低。

● 2025 年高端先进封装产线进入高速发展期，国产封测厂商有望受益

国产封测厂商正面对高端先进封装的关键突破窗口。重视本土厂商高端封测产线产能、良率和产能利用率提升带来的投资机会。推荐：长电科技，受益标的：通富微电、华天科技、甬矽电子，盛合晶微（辅导上市）。

● **风险提示：**AI 产业发展不及预期、设备/材料配套不及预期、高端产线产能释放不及预期，国际形式变化的不确定性风险。

并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

内容目录

1、后摩尔时代：AI 应用打开高端先进封装成长空间	4
1.1、先进封装：扩展“超越摩尔”的思路，优势充分、应用场景丰富	4
1.1.1、先进封装是“超越摩尔”思路下提升芯片性能的重要路径	4
1.1.2、先进封装优势明显，应用场景丰富	6
1.2、复盘 CoWoS 封装发展史：AI 算力革命的封装基石	8
1.2.1、阶段一：探索与验证	8
1.2.2、阶段二：AI/HPC 开启 CoWoS 规模化落地	10
1.2.3、阶段三：技术平台化+工艺择优	12
2、需求侧：HPC/汽车电子/消费电子带动先进封装市场扩张	17
2.1、HPC/汽车电子/消费电子带动先进封装市场扩张	17
2.2、算力产业军备竞赛，高端先进封装需求具有持续性	18
3、供给侧：先进封装玩家众多，国产厂商加速突破	21
3.1、FC、2.5D/3D 和 SiP 市场空间份额高，2.5D/3D 晶圆数增长快	21
3.2、全球领先厂商：大技术平台+先进工艺，竞争高端市场空间	22
3.3、大陆厂商：具备先进封装产业化能力	24
4、格局生变：关注本土高端先进封装切入机会	28
4.1、CoWoS 走向分工合作，OSAT 迎来切入窗口	28
4.2、高端先进封装：国产 AI 算力产业链瓶颈与破局之路	30
5、风险提示	31

图表目录

图 1：摩尔定律继续演进（1970-2020 年）	4
图 2：延续摩尔定律面临成本挑战	4
图 3：后摩尔定律时代技术向延续摩尔定律和超越摩尔定律发展	5
图 4：封装方式的演变：AI/HPC 时代晶圆级封装和系统集成封装是主题	5
图 5：先进封装技术分类较为丰富	6
图 6：先进封装优势明显	6
图 7：多样化的先进封装技术与丰富的终端应用场景	7
图 8：复盘台积电 CoWoS 封装发展	8
图 9：Xilinx/TSMC 合作的 VIRTEX	9
图 10：Xilinx/TSMC 合作的 CoWoS	9
图 11：因苹果和台积电采用 InFO，扇出型封装营收从 2016 年开始实现厚增	9
图 12：苹果 A10 与其中的 InFO 封装	9
图 13：NVidia/TSMC 合作的 P100	10
图 14：NVidia/TSMC 合作 P100 的 SEM 图像	10
图 15：2020 年全球 Top500 超算系统中采用 CoWoS 封装的算力占总算力 50%以上	10
图 16：中介层尺寸不断提升，能够容纳更多数量的 Logic die 和 HBM，但是中介层层制造过程中，从单个晶圆上能够切割出的数量在同时大幅减少，即成品率下降	11
图 17：台积电 3DFabric 布局全面	12
图 18：台积电 3DFabric 布局全面	12
图 19：CoWoS 三种工艺的结构不同，对应的应用场景和优势各有差异	13

图 20: LSI die 制备的两种流程: LSI-1 由 Cu 双重大马士革工艺互联, LSI 由 Cu RDL 组成.....	13
图 21: CoWoS-L 制造工艺流程.....	13
图 22: 英伟达 B200 (CoWoS-L) 相比 H100 (CoWoS-S) 性能升级.....	14
图 23: 英伟达各代技术持续升级 (Hopper→Blackwell→Rubin).....	15
图 24: CoPoS 将传统硅中介层替换为面板尺寸基板.....	15
图 25: CoWoP 取消独立底层基板转用高质量基板 PCB.....	15
图 26: 2015-2030E 以终端用途分类的半导体产业市场规模 (亿美元): 服务器、数据中心和存储份额提升.....	17
图 27: 2024 年全球半导体市场: 高性能计算芯片和存储芯片是主要增长动力.....	17
图 28: 全球先进封装市场预计在 2029 年达到 695 亿元.....	17
图 29: 先进封装细分市场: AI/HPC 与汽车增长较快.....	17
图 30: 2025Q2 海外云厂资本开支大幅提升 (亿美元).....	18
图 31: AI 产业或已形成“飞轮效应”.....	19
图 32: 中国智能算力和通用算力规模稳步提升 (2020-2028E).....	19
图 33: 国内云服务厂商资本开支较高 (亿元人民币).....	20
图 34: 中国大陆 AI 芯片供应商.....	20
图 35: 先进封装各细分市场的市场规模有望持续提升 (亿美元, 2022-2029E).....	21
图 36: 先进封装晶圆片数有望继续提升 (千片/年, 等效 12 英寸, 2023-2029E).....	21
图 37: 全球领先玩家在高端先进封装技术布局 (主要针对 2.5D/3D 封装).....	22
图 38: 先进封装主要玩家分布: 中国台湾、中国大陆、美国和韩国 (以各地区玩家占 2023 年先进封装 Top30 的玩家累计营收计, 亿美元/%).....	23
图 39: 2.5D/3D 封装与 FO 封装市场头部厂商份额较大 (2023 年).....	23
图 40: 预计台积电 CoWoS 产能 2025-2026 提升.....	23
图 41: 2025E 全球 CoWoS 产能的分配.....	23
图 42: 2023 年先进封装各细分技术平台市场空间 (亿美元) 与份额 (%).....	26
图 43: 工艺上先进封装在前道制造和后道封测之间, 价值量将从前道向后道转移.....	28
图 44: 先进封装玩家可分类 IDM、Foundry 和 OSAT (以 2023 年先进封装晶圆片数计市场份额).....	29
图 45: 高端工艺由 IDM 与 Foundry 占据领先优势, 中端放量靠 OSAT (以 2023 年先进封装市场份额计).....	29
图 46: 效仿台积电 CoWoS 的类似解决方案走向精密协作.....	29
图 47: OSAT 能切入围绕 2.5D 硅中介层的供应链合作.....	30
表 1: 先进封装产线 2025 年有望稳步推进.....	24
表 2: 国产先进封装玩家积极布局高端先进封装技术.....	25
表 3: 2024 年全球前十先进封装厂商营收及市占率.....	26
表 4: 大陆高端封测产线稳步推进.....	27
表 5: 受益标的盈利预测与估值.....	31

1、后摩尔时代：AI 应用打开高端先进封装成长空间

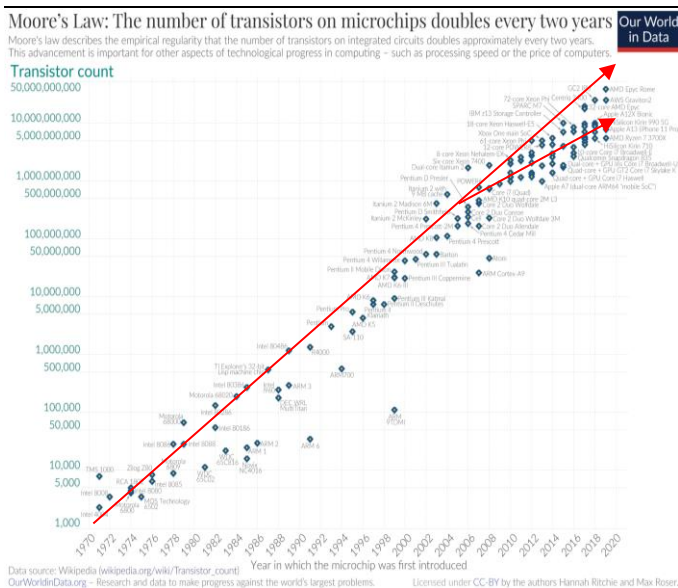
1.1、先进封装：扩展“超越摩尔”的思路，优势充分、应用场景丰富

1.1.1、先进封装是“超越摩尔”思路下提升芯片性能的重要路径

摩尔定律是指“每经过约 18-24 个月，芯片性能提高一倍。”而随制程升级，器件尺寸越来越接近物理极限，仅缩小器件尺寸已经不足以延续摩尔定律。进入后摩尔时代，技术发展遵循两条路径：延续摩尔和超越摩尔。

延续摩尔(More Moore): 器件小型化，继续增加集成电路密度。然而由于传统材料已面临极限，需要通过新材料、新结构和新器件研发，走向三维芯片，FinFET 技术可视为后摩尔时代新器件技术的标志。但是制程工艺升级伴随成本挑战，据 IBS，随着制程进入 5nm 节点，单位数量晶体管成本下降幅度急剧减少，即延续摩尔定律带来的经济效益正在锐减，同时工艺的复杂度提升，芯片散热能力、传输带宽、制造良率等多种因素共同影响，形成了芯片功耗墙、存储墙、面积墙等瓶颈，限制了单颗芯片的性能提升，此外先进节点的设计成本也随制程升级而大幅提升。

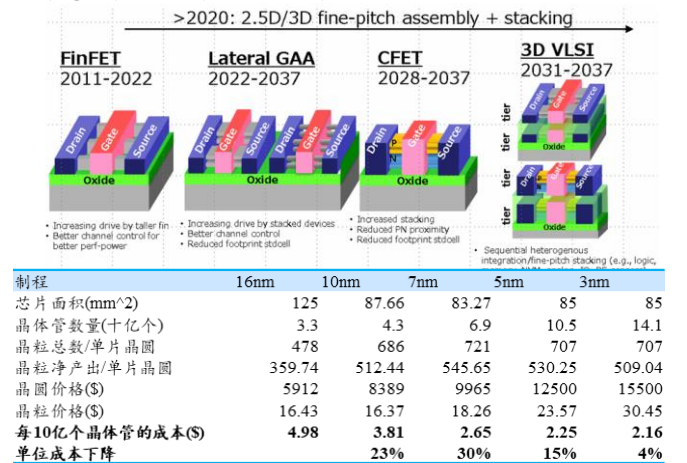
图1：摩尔定律继续演进（1970-2020 年）



资料来源：OurWorld in Data、开源证券研究所

图2：延续摩尔定律面临成本挑战

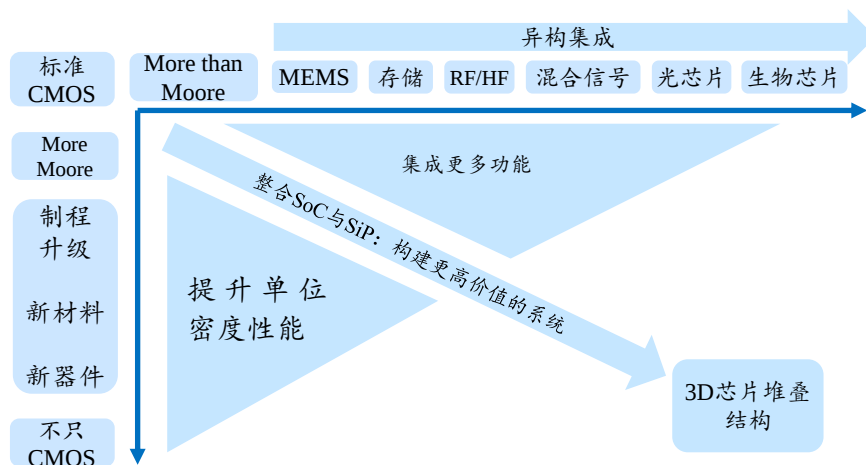
随制程升级，器件尺寸接近物理极限，进一步提升晶体管单位密度需新材料(High-K)&新工艺(FinFET/GAA)，摩尔定律推进遇成本挑战



资料来源：IBS、IEEE《THE INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS: 2022》、开源证券研究所

超越摩尔(More than Moore): 从功能出发，实现集成电路的多功能扩展。超越摩尔定律致力于在很小的空间内集成传感器件、射频器件、功率器件以及处理器等更多功能来提高系统的集成度。单个芯片上的异质集成技术、系统级封装(SiP: System in Package)技术、3D 封装等先进封装技术都是对超越摩尔思路的扩展。随着技术体系和产业生态逐渐构建，以集成芯片为结果的先进封装将发展为芯片性能提升的主要路径之一，据《集成芯片与芯粒技术白皮书（2023）》，集成芯片技术是一条不单纯依赖尺寸微缩路线提升芯片性能的重要途径，在短期内难以突破自主 EUV 光刻机和先进节点制造工艺的情况下，可以提供一条利用自主低世代集成电路工艺实现跨越 1-2 个工艺节点的高端芯片性能的技术路线。

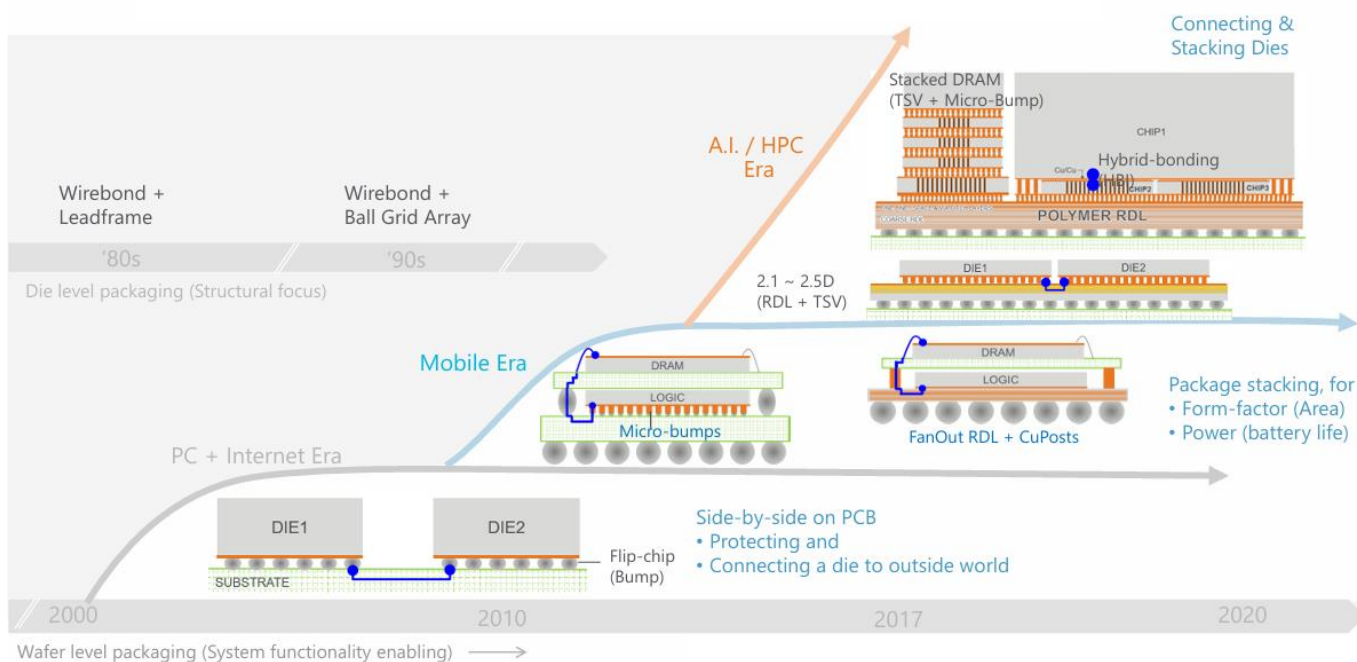
图3：后摩尔定律时代技术向延续摩尔定律和超越摩尔定律发展



资料来源：《“More-than-Moore” White Paper 》(Wolfgang 等)、开源证券研究所

从封装范式迭代来看，进入之智能手机时代和 AI/HPC 时代后，封装工艺实现由“封”向“构”的升级。传统封装技术迭代的核心逻辑是持续提升封装效率、封装密度以及引脚（I/O）数量，以满足终端对更小尺寸、更低成本与更高性能的综合需求。自 2000 年后，在经历了从 PC+互联网时代、智能手机时代再到 AI/高性能计算时代的跨越后，封装需求发生根本转变——从单芯片的封装优化，转向以多芯片协同为核心的系统集成方案。智能手机时代，先进封装不仅要求更小的封装体积、更低的功耗，还要求芯片之间实现更高速的互联、更强的异构协同。

图4：封装方式的演变：AI/HPC 时代晶圆级封装和系统集成封装是主题

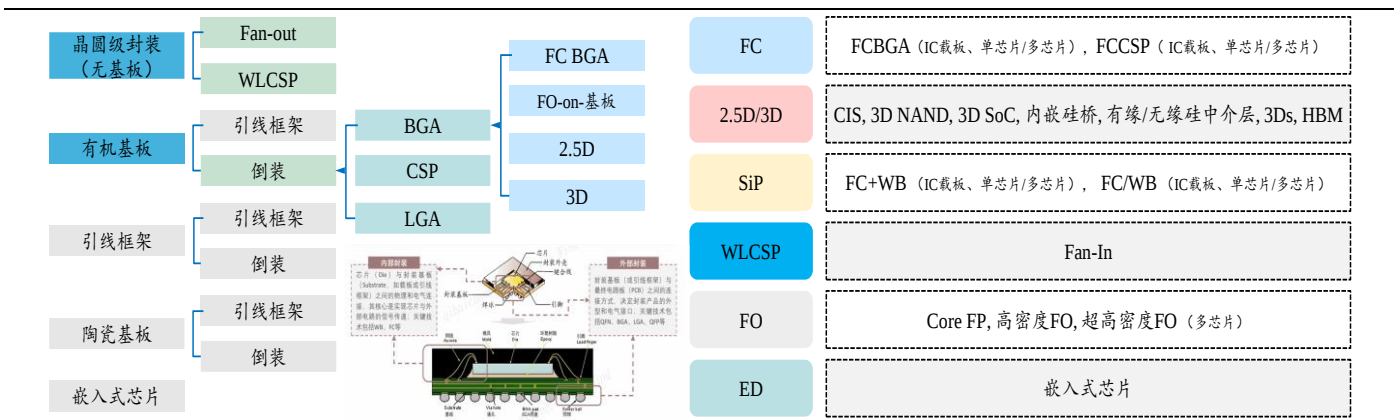


资料来源：应用材料

封装范式的演进中，封装工艺升级跨过两大步：（1）外部封装：封装基板与 PCB 封装互联，（2）内部封装：芯片（Die）与封装基板以及芯片与芯片的互联。在这个

过程中，封装内互联的主要方式从引线发展到了锡球、凸块以及微凸块等。目前业界常以是否采用引线来区分传统封装与先进封装。按封装技术分，先进封装发展出了 FC（倒装芯片）、2.5D/3D 封装、SiP（系统级封装）、WLCSP（晶圆级芯片级封装）、FO（Fan-out，扇外型封装）等技术。其中 FC 包括 FCBGA 和 FCCSP；FO 和 WLCSP 都是晶圆级封装；2.5D/3D 封装中包括 CIS、HBM、EMIB（内嵌硅桥的封装）及包含有源/无源硅中介层（Interposer）的封装等，台积电的 CoWoS 封装是最典型的 2.5D 封装。相对高端先进封装方案主要集中在 2.5D/3D 封装和晶圆级封装。

图5：先进封装技术分类较为丰富



资料来源：Yole、头豹产业研究院、开源证券研究所

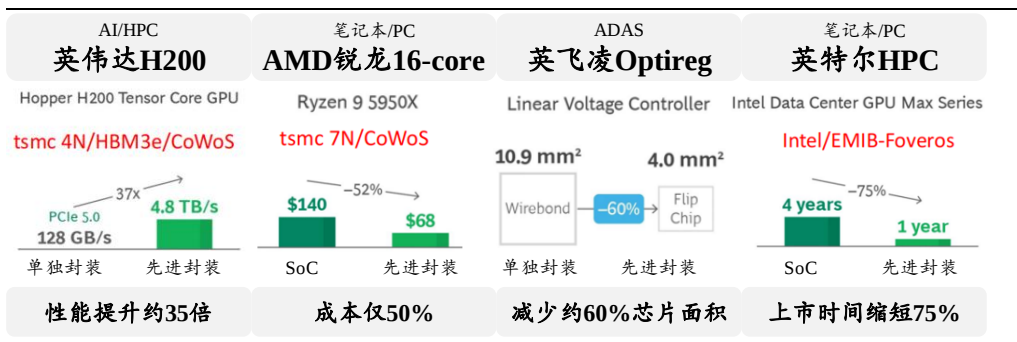
1.1.2、先进封装优势明显，应用场景丰富

多样化的先进封装技术在匹配适配场景下可充分发挥优势，包括且不限于性能高、成本低、面积小、周期短等。

(1) 性能高。以英伟达 H200 为例：6 颗高带宽内存（HBM3e）+TSMC 4N 制程，采用 CoWoS 封装技术集成在一起，实现高达 4.8TB/s 的互联速递，而传统的 PCB 连接芯片通常限制在不到 200GB/s。紧密的互联距离也大幅降低了芯片功耗，建设支持大语言模型的数据中心在经济上变得可行。

(2) 成本低。以 AMD 锐龙系列为例：采用 Chiplet 技术，异构集成多个小芯片，而非单个大型的 SoC，每个小芯片可以选择更加适合的制程节点；同时比起面积更大的 SoC，小尺寸芯片良率更高，因为在晶圆上同等面积同等数量的缺陷分配在更多芯片上，这种方法将制造成本降低约 50%。

图6：先进封装优势明显



资料来源：BCG、Yole、各公司官网、开源证券研究所

(3) 面积小。以英飞凌 Optireg 线性稳压器为例，通过采用倒装技术，使得 IC

的受热部分由正面转向封装底部，靠近 PCB，导热性提高 2-3 倍，其更高的功率密度大大缩小了产品尺寸，与传统封装相比，尺寸缩小了 60%以上。

(4) 周期短。以英特尔为例，作为 IDM 曾大幅扩张制造方面的投资，并开发先进封装工艺，其数据中心 GPU Max 系列中，随着从单颗大型 SoC 切换到多颗芯片，最大限度降低了芯片复杂度，同时现有小芯片的设计可复用。英特尔发现这可以将产品上市时间缩短 75%。

图7：多样化的先进封装技术与丰富的终端应用场景

应用领域	CPU/GPU	APU	DPU	MCU	ASIC	FPGA	存储	传感器	模拟	光电子
人工智能					FC、FO					
智能驾驶	FC、2.5D/3D、FO、SiP	FC、FO、ED		FC、WB、QFN、WLCSP		FC、2.5D/3D、FO		FC、FO、WB、QFN、WLCSP、SiP	FC、FO、WB、QFN、ED、SiP	
AR/VR										
HPC			FC、FO、ED			FC、2.5D/3D、FO				FC、2.5D/3D、WB、SiP
IoT				FC、WB、QFN、WLCSP			FC、3D、WB、QFN、WLCSP、SiP	FC、FO、WB、QFN、WLCSP、SiP		
5G	FC、2.5D/3D、FO、SiP	FC、FO、ED							FC、FO、WB、QFN、ED、SiP	FC、2.5D/3D、WB、SiP
手机通信								FC、FO、WB、QFN、WLCSP、SiP		
区块链	FC、2.5D/3D、FO				FC、2.5D/3D、FO					

资料来源：《2022 年中国集成电路封测产业白皮书》（集微咨询编著）

先进封装不断拓展应用边界。从应用场景来说，先进封装已经覆盖了包括人工智能、智能驾驶、AR/VR、HPC（高性能计算）、IoT（物联网）、5G、手机通信、区块链等领域。从芯片类型来说，匹配合适的工艺技术后，先进封装可应用于 CPU/GPU、APU、DPU、MCU、ASIC、FPGA、存储、传感器、模拟、光电子等多种芯片产品。据《中国集成电路封测产业白皮书》，未来部分封装技术在特定领域将会有进一步的渗透和发展，比如 FO 封装在手机、汽车、网络等领域会有较大的增量空间；2.5D/3D 封装在 AI、HPC、数据中心、CIS、MEMS 传感器等领域会有较大的增量空间。

1.2、复盘 CoWoS 封装发展史：AI 算力革命的封装基石

在 AI 与高性能计算的浪潮中，CoWoS 走上核心舞台。作为先进封装体系中技术门槛最高、集成密度最强的路线之一，CoWoS 凭借高带宽、低功耗、异构集成能力强等优势，精准匹配 AI 与 HPC 时代对系统性能与能效比的强需求，逐步成为高端 AI 芯片的封装标配，是 AI 浪潮中与先进制程并重的核心底座。回顾台积电以 CoWoS 为核心的先进封装工艺布局，我们认为可以分为三个关键时期：

1、探索与验证期（2008-2015）：研发以硅中介层为核心的 2.5D 封装工艺，并进行早期的产品应用探索。

2、规模化商用期（2016-2021）：以英伟达为代表的 AI 芯片商全面导入，驱动 CoWoS-S 工艺不断升级；

3、技术平台化期（2022 年至今）：CoWoS-R 与 CoWoS-L 落地，3D Fabric 平台逐渐走向成熟，多样化工艺继续支持 AI 时代向前。

图8：复盘台积电 CoWoS 封装发展

探索与验证		规模化商用		技术平台化	
代表产品	重要进展	代表产品	重要进展	代表产品	重要进展
2008	TSMC成立集成互连与封装技术整合部门（IIPD）入局先进封装	2016	Nvidia TESLA GP100 CoWoS-S2: GPU+4 HBM2 iPhone7 A10 采用InFO封装/大批量出货	2022	Nvidia H100: CoWoS-S CoWoS-S5（HBM2E+eDTC）实现量产，完成HBM3认证
2010	着手2.5D硅中介层研究	2017	NEC "Aurora" Vector Engine vector processor Nvidia TESLA GV100	2023	Nvidia H200: CoWoS-S CoWoS-S（HBM3+ eDTC）完成验证 TSMC-SolC（Chip on wafer）5nm量产首年量产
2011	CoWoS-S1: 硅中介层面积775mm ² ，接近1x reticle	2018	Fujitsu A64FX InFO出货量超7000w颗 CoWoS出货量超100w颗	2024	Nvidia B200: CoWoS-L
2012	Xilinx 7V2000T/7V580T: CoWoS-S	2019	截至8月，60+产品流片 7nmGPU+深度学习加速器 AI训练加速器/带宽1.2TB/s	2025E	Nvidia B300: CoWoS-L
2013	开发InFO，成本显著低于CoWoS	2020	Nvidia A100: CoWoS-S	2026E	Nvidia Rubin VR200: CoWoS-L
2014	海思 Hi1616: CoWoS-S	2021	扩展CoWoS-R与CoWoS-L并进入客户验证 搭建3D Fabric平台（InFO+CoWoS+TSMIC-SolC） 启动工厂AP6建设，3D Fabric产能有望超百万片晶圆/年 CoWoS-S5: 2500mm ² （3x reticle），可容纳至少2个逻辑die和8个HBM CoWoS-R完成验证	2027E	Nvidia Rubin VR300 (Ultra): CoWoS-L
2015	Xilinx XCVU440 CoWoS-S2				

资料来源：台积电官网、台积电年报、Semianalysis、英伟达官网、芯思想、半导体行业观察、开源证券研究所

1.2.1、阶段一：探索与验证

2011 年台积电推出 CoWoS 封装，性能领先但面临成本掣肘。台积电作为推进摩尔定律的先锋，前瞻性的看到了后道封装工艺的速率不如前道的缺口。在 2008 年底，台积电设立集成互连与封装技术整合部门，2010 年着手 2.5D Interposer(中介层)的技术开发，2011 年推出标志性 2.5D 封装技术 CoWoS(Chip on Wafer on Substrate)。首代 CoWoS 基于 65nm 工艺，具备 0.25 μ m 线宽和四层布线能力，具有系统性能提升、功耗降低与封装尺寸缩等优势。代表性应用是赛灵思(Xilinx)的“Virtex-7 2000T FPGA”芯片，以台积电 CoWoS 工艺将四颗 28nm 制程的 FPGA 芯片集成于硅中介

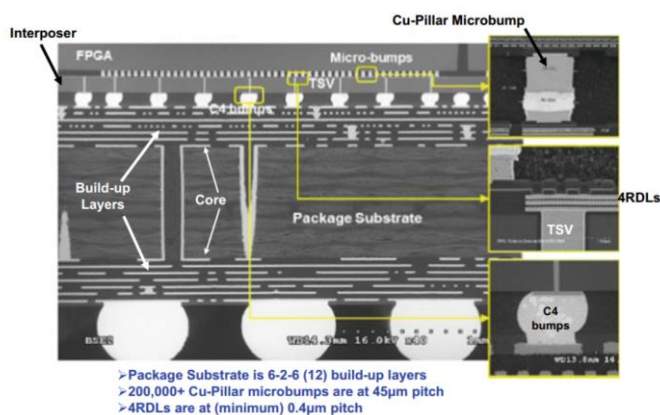
层上,通过硅中介层实现芯粒之间的高速互联。该产品是当时全球容量最大的器件,为客户提供了前所未有的 200 万个逻辑单元,在 2011 年实现小批量供货。CoWoS 性能强悍,但是同时也成本高昂,相比传统后道工艺,CoWoS 需要前道设备、工艺、材料支持,比如制造硅中介层结构的 TSV 时,就需要用高深宽比的刻蚀设备。在 2012 年台积电 CoWoS 封装只有赛灵思一项订单。

图9: Xilinx/TSMC 合作的 VIRTEX



资料来源:《Semiconductor Advanced Packaging》(John H.Lau 编著)

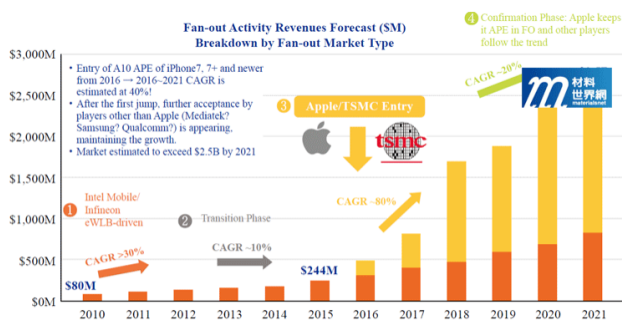
图10: Xilinx/TSMC 合作的 CoWoS



资料来源:《Semiconductor Advanced Packaging》(John H.Lau 编著)

台积电开发 InFO, 既是 CoWoS 减配版, 也是 FC (倒装封装) 高配版, 在消费电子领域赢得市场空间。在 CoWoS 受制于成本高昂而市场表现不佳时, 台积电同步开发 InFO (Integrated Fan-out) 工艺。传统 FC 中, 芯片与 PCB 之间需通过封装基板连接, 而 InFO 属于典型的扇出型晶圆级封装(Fan-Out WLP): 省去了封装基板, 直接通过 RDL (重布线层) 将芯片与 PCB 互联, 具备更紧凑的结构、更低的封装厚度以及更优的散热与电性能, 同时在成本上相较 FC 显著降低。2016 年发布的 iPhone 7 中, A10 芯片采用台积电 16nm FinFET 工艺, 并配套 InFO 封装, 实现了仅 0.23-0.33mm 的超薄封装厚度。凭借这一差异化封装能力, 台积电由此确立了对苹果 A 系列芯片代工的长期独供地位。Yole2016 年预测, 随着苹果与台积电共同推动 InFO 的规模化应用, 全球 Fan-Out 封装市场收入自 2016 年步入高速成长轨道。

图11: 因苹果和台积电采用 InFO, 扇出型封装营收从 2016 年开始实现厚增



资料来源: Yole、材料世界网、开源证券研究所

图12: 苹果 A10 与其中的 InFO 封装

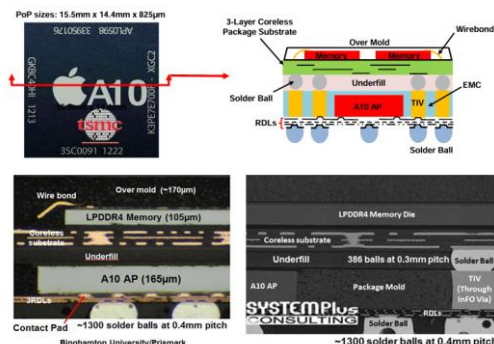


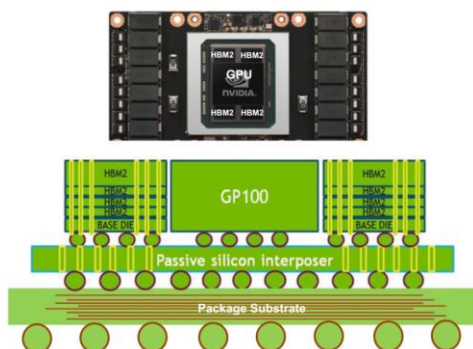
Figure 21 - PoP in Apple's iPhone 7/7+. In the bottom package, the A10 AP is embedded in the EMC and its circuitry is fanned out through the RDLs to the PCB

资料来源:《Status and Outlooks of Flip Chip Technology》(John H.Lau 编著)

1.2.2、阶段二：AI/HPC 开启 CoWoS 规模化落地

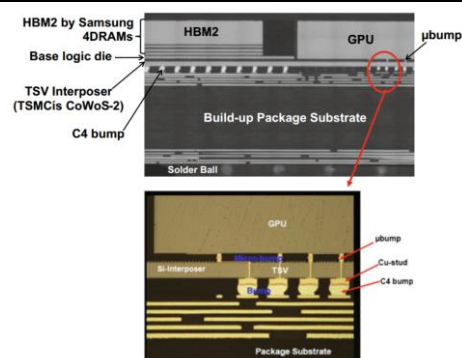
英伟达 GPU 采用 CoWoS 封装，打开高性能计算市场。2016 年英伟达推出 Tesla P100 GPU，首次将 GP100 核心与 4 颗 HBM2 内存通过 CoWoS 封装集成，HBM 与 GPU 芯粒之间通过硅中介层实现高速互联，封装面积超过 600 mm²。其中的 GP100 核心采用当时最先进的 16nm FinFET 工艺，基于 Pascal 架构，在深度学习场景下实现突破性性能提升：神经网络训练速度提高 12 倍，训练时间从数周缩短至数小时；推理吞吐量提升 7 倍。同时，HBM2 合封显著提升内存带宽，与前代 Maxwell 架构相比显存带宽提升约 3 倍。P100 优秀的性能精准匹配了针对深度学习的需求，也为全球的 AI 热潮拉开序幕。

图13: NVidia/TSMC 合作的 P100



资料来源：《Semiconductor Advanced Packaging》(John H.Lau 编著)

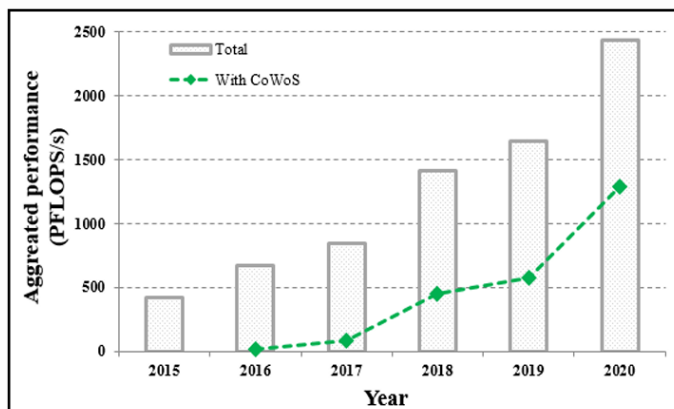
图14: NVidia/TSMC 合作 P100 的 SEM 图像



资料来源：《Semiconductor Advanced Packaging》(John H.Lau 编著)

CoWoS 成为英伟达高端 GPU 封装的“标配”。在 P100 之后，2017 年 Google 在 AlphaGo 中使用的 TPU 2.0 也采用 CoWoS 封装；2017 年英特尔 (Intel) 的 Nervana 也不例外的交由台积电代工，采用 CoWoS 封装。因成本高昂而坐冷板凳多年 CoWoS 封测产能在 2017 年首度扩充。此后，CoWoS 还被广泛应用于英伟达的 Tesla、Quadro、Titan 等产品系列，并延续至后续 A100、H100、H200、GB200 等旗舰 AI 芯片。据台积电统计，在 2018 年，针对 AI/HPC 应用的 CoWoS 封装出货量已经突破 100 万颗，而到 2020 年，采用 CoWoS-S 封装的芯片所构成的算力，已占据全球 Top500 超算系统总算力的 50% 以上。

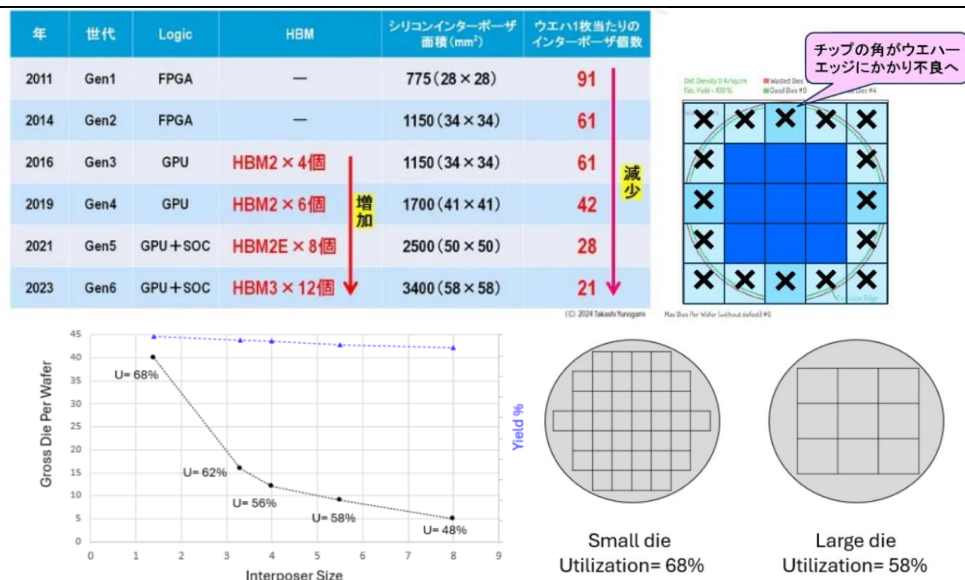
图15: 2020 年全球 Top500 超算系统中采用 CoWoS 封装的算力占总算力 50% 以上



资料来源：《Wafer Level System Integration of the Fifth Generation CoWoS®-S with High Performance Si Interposer at 2500 mm²》(P. K. Huang 等编著)

中介层尺寸升级是 CoWoS 持续演进的核心方向,尤其是在 AI 应用对更高算力,更多内存的需求下。作为典型的 2.5D 先进封装路线,CoWoS 工艺的技术突破集中体现在硅中介层(interposer)的不断演进上。中介层承载了逻辑与存储芯片间的高密度互联,而且尺寸对系统级集成的上限有决定性影响:中阶层尺寸更大,则有更多空间承载更大的逻辑芯片与更多的 HBM。而受限于光刻掩模尺寸(单个掩模约 26×33mm),早期 CoWoS-S 中介层面积约为 775mm²,已接近传统单掩模极限。随着高性能芯片需求激增,台积电通过掩模拼接技术(mask stitching),实现中介层由 1x reticle(单倍掩模)向 2x reticle、3x reticle 尺寸扩展。第二代 CoWoS-S 中介层尺寸扩展至约 1150mm²,第四代则突破至 1700mm²,可支持封装 6 颗 HBM2,第五代则进一步扩大至 2500mm²,约为 3x reticle 面积,足以容纳两个大型逻辑芯片(如双 GPU 或 CPU+GPU)及 8 颗 HBM,实现相比前代近 20 倍晶体管数与 2 倍内存堆栈的集成密度飞跃。

图16: 中介层尺寸不断提升,能够容纳更多数量的 Logic die 和 HBM,但是中介层制造过程中,从单个晶圆上能够切割出的数量在同时大幅减少,即成品率下降



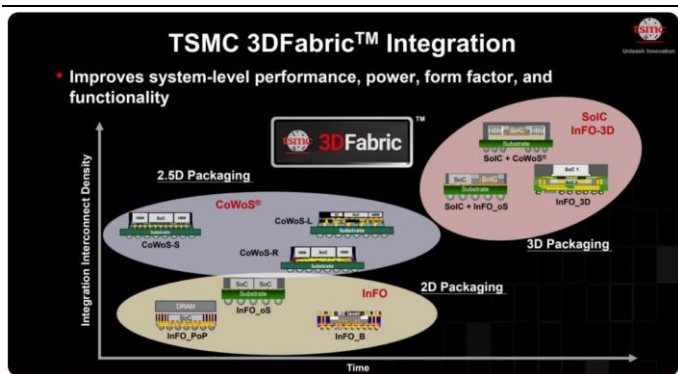
资料来源: 半导体产业纵横公众号、Tadashi Kamewada、《Package Warp Reduction for Large CoWoS-R Packages》(Yu-Hsiang Hu 等)

大尺寸中介层带来封装良率与产出效率的挑战,掩模拼接误差控制与晶圆利用率是关键瓶颈。随着中介层面积不断提升,出现三个核心问题:其一,掩模拼接技术虽可突破单一曝光尺寸限制,但边缘对位精度要求极高,容易产生拼接误差;其二,较大中介层尺寸导致中介层和封装基板之间的 CTE(热膨胀系数)失配引起高应力,即发生边缘翘翘问题,前两个问题都会影响良率控制;其三,中介层尺寸越大,同一晶圆可切割的片数显著下降,进而影响整体产出效率。但是追求更大尺寸中阶层,实际上是能不断提升 AI 芯片性能核心条件之一,因此,一方面,如何在提升中介层尺寸的同时,控制制造难度与良率损失,是 CoWoS 技术代际升级中的核心;另一方面,台积电也在同步探索除了硅作为中介层之外的其他解决方案。CoWoS-R 和 CoWoS-L 和应运而生,并早在 2020 年,两者即进入客户验证阶段。

1.2.3、阶段三：技术平台化+工艺择优

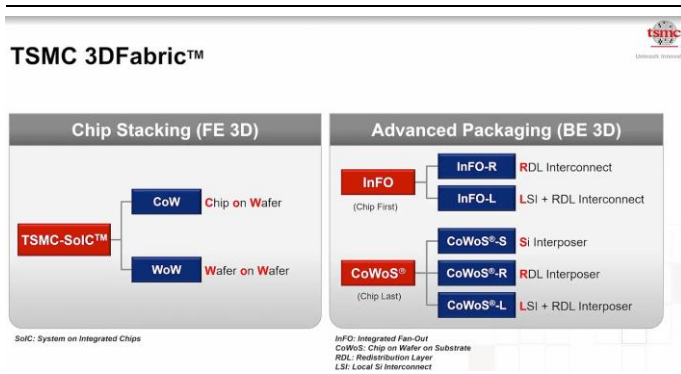
2020 年，台积电决定搭建 3D Fabric 技术平台：CoWoS+InFO+SoIC，实现先进封装工艺的模块化、体系化发展。台积电即提出构建“3D Fabric”异构整合平台，是要将分散发展的多项先进封装工艺整合到一起，打通多类型芯片的系统级封装升级路径。进入 2022 年后，随着 CoWoS-R 工艺进入试产，3D Fabric 平台也逐渐走向成熟，其核心构成为三大技术分支：其一，以中介层为核心的 CoWoS 系列，涵盖 CoWoS-S（硅中介层）、CoWoS-R（RDL 中介层）与 CoWoS-L（模塑+局部硅的中介层）；其二，基于扇出封装理念发展的 InFO 家族，包括 InFO_PoP 和 InFO_oS 等；其三，以 3D 芯粒堆叠为代表的 SoIC 系列，构筑 3D 封装结构，包括 CoW 和 WoW 的等，未来也可能进一步以 SoIC+CoWoS 及 SoIC+InFO 的形式发展。

图17：台积电 3DFabric 布局全面



资料来源：台积电、Wccftch

图18：台积电 3DFabric 布局全面

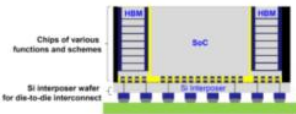
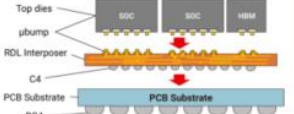
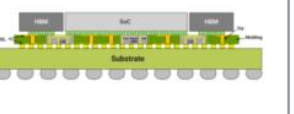


资料来源：台积电、Tomshardware

CoWoS 家族中,CoWoS-R 采用 RDL 中介层,降低成本的同时提升封装扩展性。CoWoS-R 采用类 InFO 工艺，构建 RDL（Redistribution Layer）中介层，本质上为一种“有机材料+铜布线”的中介层结构。该结构不再使用传统硅中介层，而是通过多层铜互连与低 k 聚合物介质材料（如聚酰亚胺）实现芯粒之间的高密度连接。从结构上，包括逻辑芯片、存储芯片及小芯片模块等均通过微凸点（micro bump）与 RDL 中介层互联，并最终由 C4 凸点连接至封装基板。整体结构较薄，封装厚度更易控制。相较传统硅中介层（CoWoS-S），CoWoS-R 不需要 TSV，具备明显的成本优势，但是随着尺寸提升，仍需面对掩模拼接和多种材料 CTE 失配引起的良率控制问题。台积电已于 2023 年实现 CoWoS-R 的量产，2025 年有望推出 1.6x reticle 尺寸的大封装规格，可支持汽车电子等下游场景。

CoWoS-L：局部硅互连+全局 RDL 作为中介层，兼顾高性能的同时，有望进一步推进封装尺寸提升。CoWoS-L（Local Interconnect）是台积电 CoWoS 系列中面向大规模 AI 和 HPC 应用的新一代封装架构，其最大创新在于采用硅互连（LSI）芯片、全局 RDL 以及模塑形成中介层，取代传统的单一大尺寸硅中介层。LSI 单元保留了硅中介层的优良特性，包括亚微米铜互连、硅通孔（TSV）和嵌入式深沟槽电容（eDTC），以确保良好的系统性能；同时中介层中引入了绝缘体通孔（TIV）作为垂直互连，提供了比 TSV 更低插入损耗的路径。与 CoWoS-S 相比，CoWoS-L 有效规避了大尺寸硅中介层所带来的问题，比如成品率下降的矛盾。

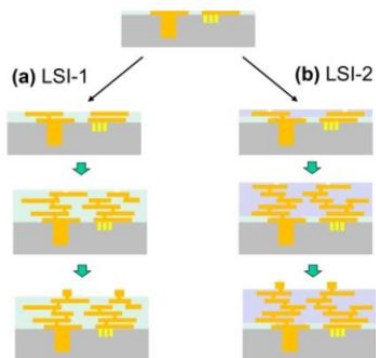
图19: CoWoS 三种工艺的结构不同, 对应的应用场景和优势各有差异

Metrics	CoWoS-S	CoWoS-R	CoWoS-L
PRODUCTION	HVM since 2011 Gen 5 Production 2021	Production 2022/2023	Production in 2024/2025
STATUS	Production	Production	Qualification
APPLICATION	HBM, HPC	HBM and SoC heterogeneous integration High-speed and AI	HPC
BENEFITS	Si Interposer 2.5D UH interconnection density Passive Si Interposer Pitch and bandwidth density	RDL interposer Signal integrity benefits and lower cost, form factor, and power. Pitch and bandwidth density	RDL Interposer with LSI HD USR connections Local HD interconnection to eliminate large Si interposer for higher design complexity, high-speed performance and lower manufacturing cost. LSI with low profile and low parasitic discrete components.
PRODUCTS	Broadcom, Google TPU Nvidia Hopper GPU (launch in Q3 2022)	AWS Trainium2 (launched in 2023)	NVIDIA B100/B200 (expected later in 2024)
SCHEMATIC			

资料来源: Yole

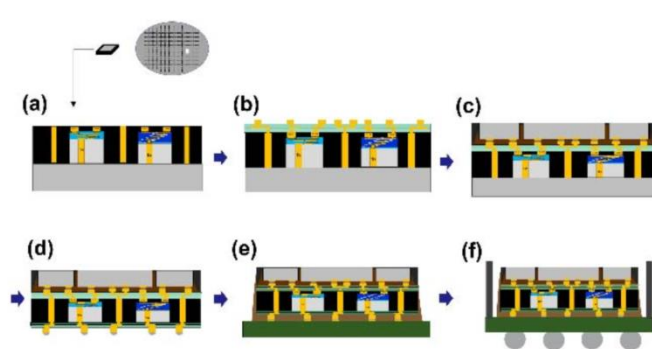
从制备来说, CoWoS-L 中的 LSI 仍需前道工艺支持。CoWoS-L 采用的是“chip last” 组装形式, 即在顶部芯片堆叠前完成中介层制造, 而中介层制造的第一步则是以前道工艺完成核心的局部硅互连 (LSI) 制备。在大规模集成电路中, 铜互连结构的形貌直接影响电性能与最小线宽能力, LSI 的互连性能成为中介层性能的关键。台积电目前已开发出两种 LSI 制程路径: 一是基于铜双重大马士革 (Dual Damascene) 工艺, 另一种则采用铜 RDL (Redistribution Layer) 工艺。具体来看, LSI-1 仍在 12 英寸晶圆上完成制造, 先形成硅通孔 (TSV) 与第一金属层 (M1), 随后采用双重大马士革工艺, 以未掺杂硅酸盐玻璃 (USG) 作为介电层, 实现铜互连结构的嵌入。在该方案下, 金属最小线宽/间距可达 $0.8\ \mu\text{m}/0.8\ \mu\text{m}$, 金属厚度约为 $2\ \mu\text{m}$ 。LSI-2 同样包括 TSV 和 M1 结构, 不同的是, 在完成 M1 后, 采用半加成工艺 (SAP), 以聚酰亚胺 (PI) 为介电材料, 形成铜 RDL 结构, 其最小线宽/间距为 $2\ \mu\text{m}/2\ \mu\text{m}$, 铜厚度约为 $2.3\ \mu\text{m}$ 。

图20: LSI die 制备的两种流程: LSI-1 由 Cu 双重大马士革工艺互联, LSI 由 Cu RDL 组成



资料来源: 《CoWoS Architecture Evolution for Next Generation HPC on 2.5D System in Package》(Yu-Chen Hu 等编著)

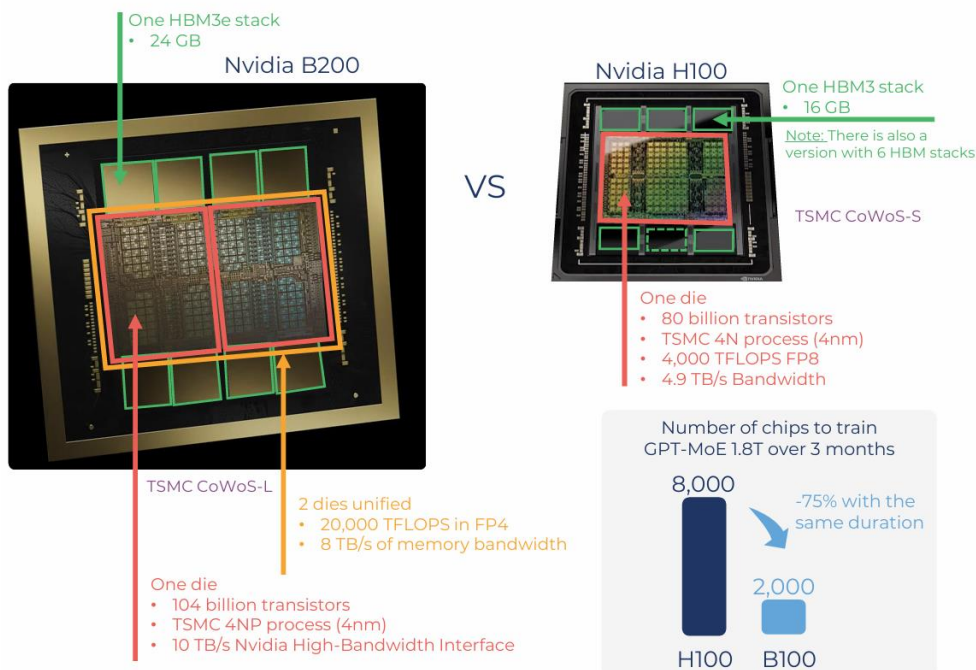
图21: CoWoS-L 制造工艺流程



资料来源: 《CoWoS Architecture Evolution for Next Generation HPC on 2.5D System in Package》(Yu-Chen Hu 等编著)

台积电已于 2024 年量产 CoWoS-L，英伟达 Blackwell 系列 GPU 采用该工艺。根据台积电 2024 年年报，CoWoS-L 已实现量产，并被确立为先进封装的重点发展方向，当前 3.5x reticle 尺寸平台已完成开发，5.5x 平台正处于验证阶段。据台积电 2025 年在北美技术研讨会上最新规划，计划于 2027 年实现 9.5 倍 reticle 尺寸（120*150 mm²）CoWoS 的量产，可支持 12 个或更多 HBM 与先进逻辑芯片高效集成。Semianalysis 指出，英伟达 Blackwell 系列（GB200/GB300）采用 CoWoS-L 封装架构，后续 Rubin 系列也将延续此技术路线。据工商时报，台积电预计将在 2025 年 Q4 开始，将 CoWoS 封装技术从 S 转向 L。在 AI 推理与训练芯片对高带宽封装需求持续提升的背景下，CoWoS-L 有望成为高性能计算时代不可或缺的底层封装平台，支撑系统集成向更高密度与能效比演进。

图22：英伟达 B200（CoWoS-L）相比 H100（CoWoS-S）性能升级



资料来源：Yole

CoWoS-L 或成为高端先进封装的主要技术路径。据 Digtimes 报道，2024 年底，CoWoS 月产能预计超 3.5 万片，其中 CoWoS-S 超过约 2 万片，CoWoS-L 约 1 万~1.5 万片，而 CoWoS-R 则相对少；展望 2025 年，CoWoS 月产能有望一举提升至 7.5 万~8 万片，其中 CoWoS-S 与 CoWoS-L 分别超 2 万片、4.5 万片，CoWoS-R 则提升至 1 万片。预计 2026、2027 年月产能将分别达 9.5 万片、13.5 万片，2028 年则再增至 15 万片，其中，CoWoS-S 与 CoWoS-L 分别达 1 万片、12 万片，CoWoS-R 达 2 万片。在 AI 推理与训练芯片对高带宽封装需求持续提升的背景下，CoWoS-L 有望成为高性能计算时代不可或缺的底层封装平台。

图23：英伟达各代技术持续升级（Hopper→Blackwell→Rubin）

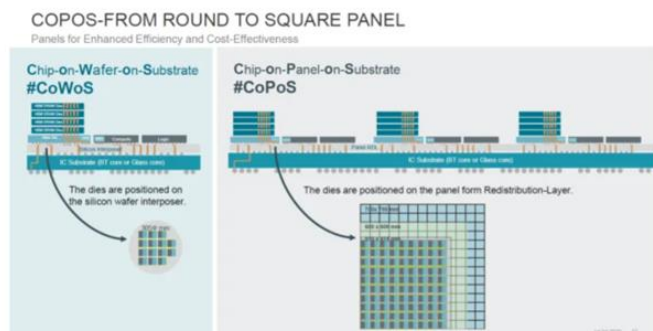
Nvidia Roadmap							
	2022	2023	2024	2025	2026	2027	
Chip and Package Level							
	Hopper		Blackwell			Rubin	
Accelerator	H100 (SXM)	H200	B200/GB200	GB300 (Ultra)	B300 (single die, B300A)	VR200	VR300 (Ultra)
GPU TDP (W)	700	700	700/1200	1,400	600	1,800	3,600
Foundry Node	4N		4NP			N3P (3NP)	
Logic Die Configuration	1 x Reticle Sized GPU		2 x Reticle Sized GPU			2 x Reticle Sized GPU, 2x I/O chiplet	4 x Reticle Sized GPU, 2x I/O chiplet
FP4 PFLOPs - Dense (per Package)	4*		10	15	4.6	50	100
HBM	80GB HBM3	141GB HBM3E	192GB HBM3E	288GB HBM3E	144GB HBM3E	288GB HBM4	1024GB HBM4E
HBM Stacks	5	6	8		4	8	16
HBM Bandwidth	3.35TB/s	4.8TB/s	8TB/s		4TB/s	13TB/s	32TB/s
Packaging	CoWoS-S		CoWoS-L			CoWoS-L	
SerDes speed (Gb/s uni-di)	112G		224G			224G	224G
Nvidia CPU	Grace				Vera		

资料来源：Semianalysis、开源证券研究所

除了 S、R、L 三个版本外，CoWoS 工艺或将继续演化发展。

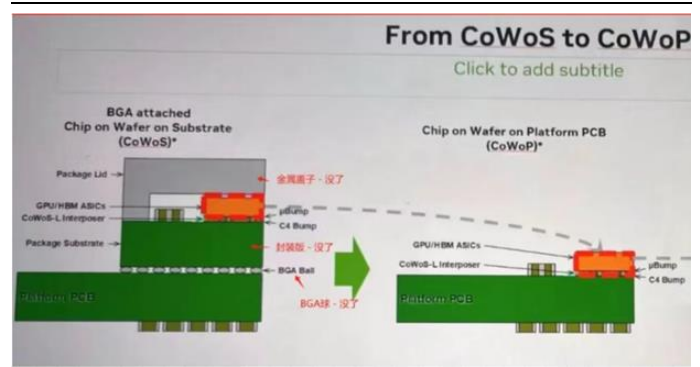
可能路径 1：CoPoS。据 TECHPOWERUP 报道，台积电正在准备新一代 CoPoS（Chip-on-Panel-on-Substrate）封装技术。CoPoS 在架构逻辑上与 CoWoS 一脉相承，但将传统的硅中介层替换为面板尺寸基板，基板尺寸扩展到 310 × 310 mm 甚至更大，同时具有更优的面积利用率。台积电计划 2026 年建造一条 CoPoS 试点生产线，2027 年将重点改进工艺，以便满足合作伙伴的要求。台积电计划 2028 年年底至 2029 年年初实现 CoPoS 的量产工作，位于中国台湾嘉义的 AP7 工厂由于现代化的基础设施和宽敞的空间而被选中，成为 CoPoS 先进封装技术的生产中心。

图24：CoPoS 将传统硅中介层替换为面板尺寸基板



资料来源：晶上世界公众号

图25：CoWoP 取消独立底层基板转用高质量基板 PCB



资料来源：芯智讯公众号

可能路径 2：CoWoP。据半导体产业纵横，CoWoP（Chip on Wafer on PCB）封装引起产业内广泛关注，该工艺核心改进在于取消了独立的底层基板，转而采用高质量的基板级 PCB（Substrate-Level PCB, SLP）作为替代。CoWoP 或将在 2025 年 8 月对英伟达 GB100 超级芯片进行功能性测试，以全面评估其在多个维度上的性能和潜力。CoWoP 未来可带来七大改变，包括：信号完整性 (SI) 提升、电源完整性 (PI) 强化、散热效能提升、降低 PCB 热膨胀系数以解决翘曲问题、改善电迁移 (Electromigration)、降低 ASIC 成本（无封装、无盖）、支持更弹性的芯片模块整合方式等方面。我们认为，新技术的产业化与商业化进展值得持续关注。

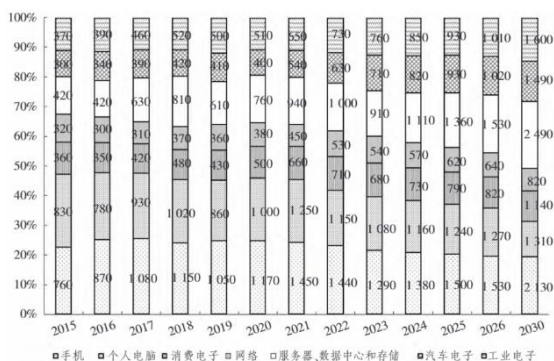
复盘台积电的 CoWoS 发展可以得到结论:AI 应用为 CoWoS 封装打开成长空间, AI 芯片更强算力和更多内存的需求, 驱动 CoWoS 向更大尺寸发展。在 CoWoS 工艺迭代过程中, 多掩模板拼接等工艺用于制造更大尺寸的硅中介层, 但同时也引发了良率控制的挑战, 此外硅中介层尺寸提升也使得成品率下降。台积电同步开发了 CoWoS-R 和 CoWoS-L 工艺, 以平衡成本和性能, 对比来看, CoWoS-L 采用局部硅互联+RDL 作为中介层, 能满足高性能需求的同时, 有望进一步提升尺寸, 已成为台积电发展的重点。英伟达等大客户已认可 CoWoS-L。预计未来 CoWoS 系列产能中, CoWoS-L 将占主要份额, 同时 CoWoS 或将继续向下一代工艺发展。

2、需求侧：HPC/汽车电子/消费电子带动先进封装市场扩张

2.1、HPC/汽车电子/消费电子带动先进封装市场扩张

随着数字化、网络化和智能化推进，算力基础设施、智能驾驶、智能制造等方面成为半导体市场的主要增长点。对于服务器、数据中心和存储用半导体需求,ASML 预计 2030 年达到 2490 亿美元,较 2023 年增长 173.63%,年复合增长率达到 15.47%;工业电子的半导体需求将达到 1600 亿美元,较 2023 年增长 110.53%,年复合增长率达到 11.22%;汽车电子的半导体需求达到 1490 亿美元,较 2023 年增长 109.86%,年复合增长率为 11.17%。与之形成鲜明对照的是,个人电脑、网络、手机和消费电子四类场景用半导体总体规模依然维持在全部半导体整体市场需求的近 50%,但 2023—2030 年增速相对较低,年复合增长率分别为 2.80%、6.15%、7.43%和 7.66%。

图26：2015-2030E 以终端用途分类的半导体产业市场规模（亿美元）：服务器、数据中心和存储份额提升



资料来源：ASML、《“十五五”时期中国集成电路产业创新发展：外部形势、发展趋势与政策选择》（作者：李先军）

图27：2024 年全球半导体市场：高性能计算芯片和存储芯片是主要增长动力

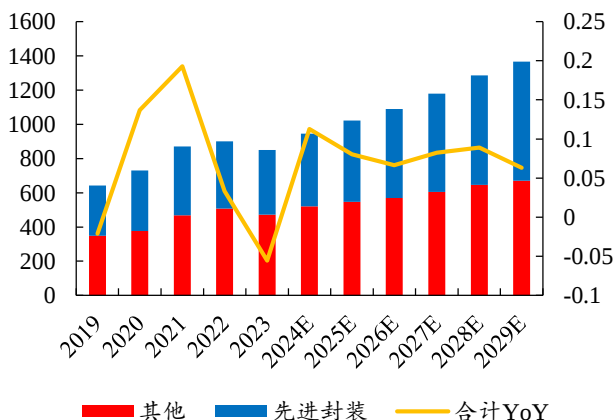
Fall 2024	Amounts in US\$M			Year on Year Growth in %		
	2023	2024	2025	2023	2024	2025
Americas	134,377	186,635	215,309	-4.8	38.9	15.4
Europe	55,763	52,031	53,736	3.5	-6.7	3.3
Japan	46,751	47,410	51,866	-2.9	1.4	9.4
Asia Pacific	289,994	340,792	376,273	-12.4	17.5	10.4
Total World - \$M	526,885	626,869	697,184	-8.2	19.0	11.2
Discrete Semiconductors	35,530	31,546	33,377	4.5	-11.2	5.8
Optoelectronics	43,184	42,092	43,705	-1.6	-2.5	3.8
Sensors	19,730	18,732	20,034	-9.4	-5.1	7.0
Integrated Circuits	428,442	534,499	600,069	-9.7	24.8	12.3
Analog	81,225	79,433	83,157	-8.7	-2.2	4.7
Micro	76,340	79,291	83,723	-3.5	3.9	5.6
Logic	178,589	208,723	243,782	1.1	16.9	16.8
Memory	92,288	167,053	189,407	-28.9	81.0	13.4
Total Products - \$M	526,885	626,869	697,184	-8.2	19.0	11.2

资料来源：WSTS

据 WSTS, 2024 年全球存储芯片同比增长高达 81%, 逻辑芯片同比增长 16.9%。

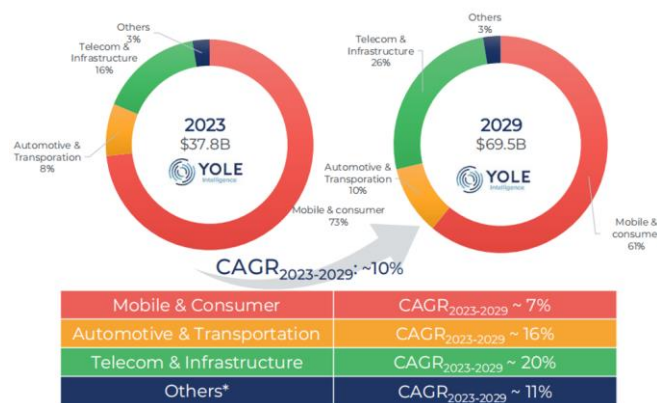
WSTS 预计 2025 年全球半导体产业将同比增长 11.2% 达到 6971.84 亿美元; 集成电路有望同比增长 12.3% 达到 6000.69 亿美元, 其中存储芯片有望增长 13.4%, 达到 1894.07 亿美元, 逻辑芯片有望增长 16.8% 达到 2437.82 亿美元。AI 浪潮下, 算力和存力需求迫切, 高性能计算芯片和存储芯片是半导体市场增长的主要动力。

图28：全球先进封装市场预计在 2029 年达到 695 亿元



数据来源：Yole、开源证券研究所

图29：先进封装细分市场：AI/HPC 与汽车增长较快



资料来源：Yole

在高性能计算、AI/机器学习、数据中心、ADAS、高端消费电子设备等终端的强势需求下，全球先进封装市场规模将从 2023 年的 378 亿元增加至 2029 年的 695 亿美元。据 Yole，2023 年全球封装市场规模达到 850 亿美元，其中先进封装市场规模为 378 亿美元，份额约为 44%，而预计到 2029 年全球封装市场规模能到达 1366 亿美元，先进封装市场规模达到 695 亿美元，份额提升到 51%。从终端应用场景来看，高性能计算、AI/机器学习、数据中心、ADAS、高端消费电子等是先进封装技术发展的主要驱动力。据 Yole，预计 2023-2029 年电信与基础设施（包括 AI/HPC）的 CAGR 达到 20%，汽车与运输领域（ADAS/雷达等）的 CAGR 达到 16%，移动与消费终端的 CAGR 约为 7%。

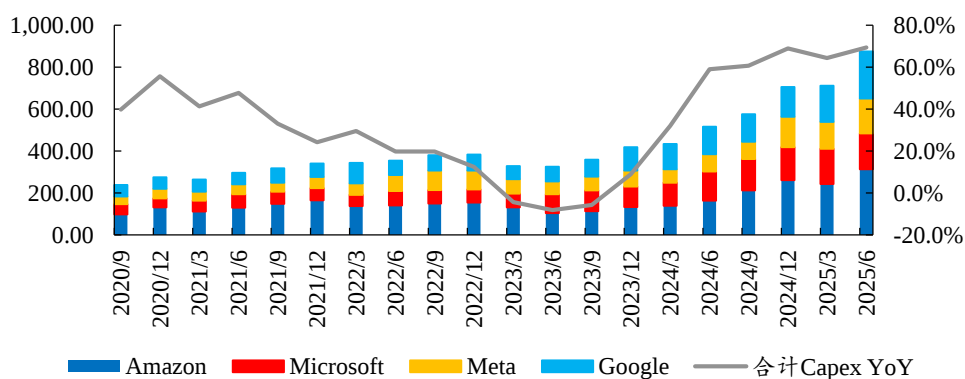
2.2、算力产业军备竞赛，高端先进封装需求具有持续性

海外：北美云厂资本开支持续高增，AI“飞轮效应”或已形成。

2025Q2，四大北美云服务商（Amazon、Microsoft、Google、Meta）合计资本开支（不含融资租赁）达到 874 亿美元，同比增长 69.4%，较 2025Q1 的 711 亿美元继续抬升，再创历史新高。分厂商来看，Amazon Capex 超过 313 亿美元；Google 超 224 亿美元，Meta 和 Microsoft 分别在 165 和 170 亿美元以上。我们认为，海外 CSP 厂商继续抬升的 Capex，标志着 AI 军备竞赛进一步白热化。

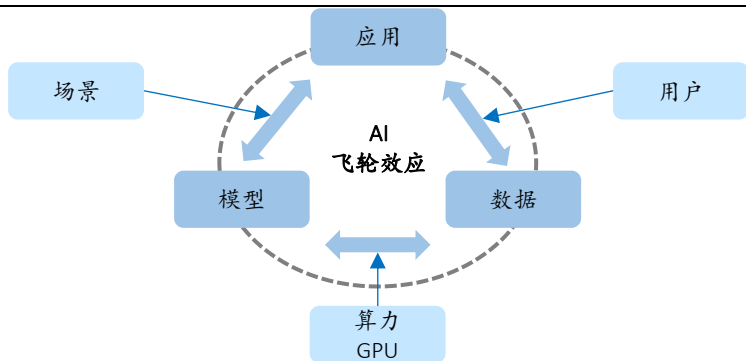
我们认为：本轮资本开支的强劲增长，其核心驱动力已逐步从模型训练期的“预投入”转向由实际 AI 应用大规模落地所牵引。我们看到，生成式 AI 在企业生产力工具、编程、广告系统、内容创作平台等关键场景的商业化路径正加速跑通，用户活跃度与付费意愿显著提升。这些应用层面的成功验证，不仅带来了即时的算力需求提升，更向市场传递出明确的积极信号，驱动云厂商进一步加大 AI 基础设施（包括数据中心、GPU 集群、高速网络）的投资力度，以抢占未来增长制高点。由此，“AI 应用落地→用户需求打卡→算力需求提升→基础设施扩张→支撑更复杂/普及化应用”的正向循环已然形成，一个由 AI 应用驱动的、更具持续性的基础设施投资飞轮正在加速运转。

图30：2025Q2 海外云厂资本开支大幅提升（亿美元）



数据来源：、开源证券研究所

图31: AI 产业或已形成“飞轮效应”

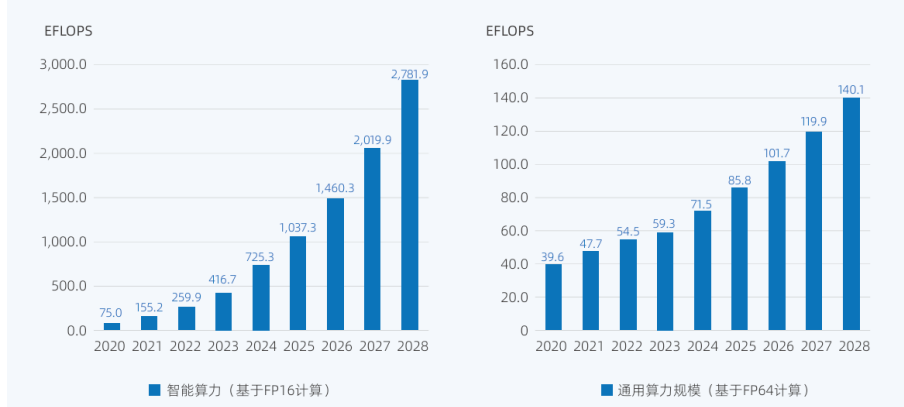


资料来源：开源证券研究所

国内：算力即国力，国产算力产业正跨越式发展。

2024 年《政府工作报告》明确提出，适度超前建设数字基础设施，加快形成全国一体化算力体系。《2025 年中国人工智能算力发展评估报告》指出，中国智能算力发展增速高于预期，2024 年，中国通用算力规模达 71.5EFLOPS（EFLOPS 指每秒百亿亿次浮点运算次数），同比增长 20.6%；智能算力规模达 725.3EFLOPS，同比增长 74.1%。预计 2025 年，中国通用算力规模预计达 85.8EFLOPS，同比增长 20%；智能算力规模将达 1037.3EFLOPS，同比增长 43%，远高于通用算力增幅。总体来看，2023—2028 年中国智能算力规模和通用算力规模的五年年复合增长率预计分别达 46.2%和 18.8%。

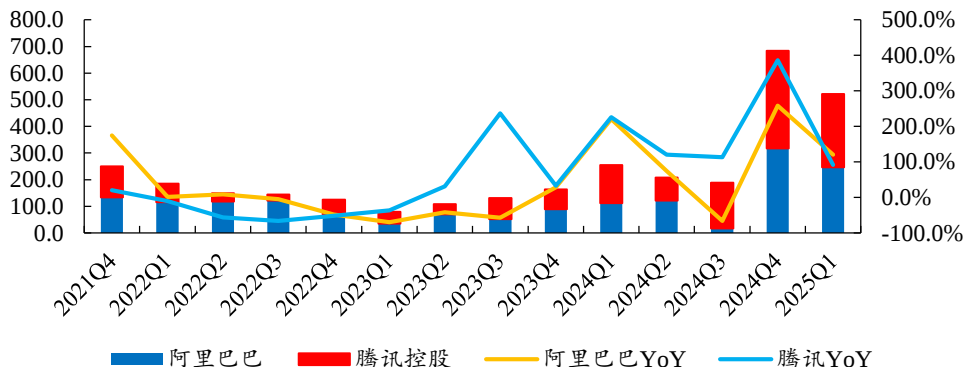
图32: 中国智能算力和通用算力规模稳步提升（2020-2028E）



数据来源：IDC

国内云服务厂商资本开支基本保持较高水平。2025Q1，阿里的资本开支超 246 亿元/yoy+120.7%，腾讯资本开支约 275 亿元/yoy+91.5%，延续了 2024 年 Q4 AI 基础设施建设的强劲势头。在海外 AI 飞轮效应的示范下，本土云服务厂商或将进一步增加资本开支。

图33：国内云服务厂商资本开支较高（亿元人民币）



数据来源：Bloomberg、开源证券研究所

本土 AI 算力芯片蓬勃发展，自主可控趋势下产业链迎来发展窗口。国内如华为昇腾 910B/910C 为代表的产品在算力性能上已显著超过英伟达 H20，寒武纪等企业亦持续推出迭代产品。在互联技术与生态建设领域，国产厂商同步取得突破：摩尔线程基于纯自研 MUSA 架构开发生态系统，并通过 MTLINK 技术实现高速互联；华为则推出 CloudMatrix384 超节点集群方案支持 Scale-up 扩展，均显示国产芯片在技术层面已具备自主可控能力。在中美科技博弈的长期趋势下，中国 AI 产业构建“技术-安全-生态”三位一体的自主可控体系，有望推动行业更稳定、健康地发展。国产替代进展提速下，产业发展进入窗口期，国产高端先进封装迎来发展机会。

图34：中国大陆 AI 芯片供应商



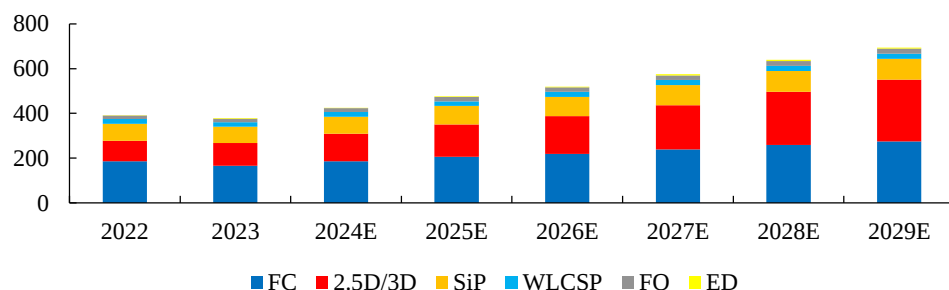
资料来源：Bernstein analysis

3、供给侧：先进封装玩家众多，国产厂商加速突破

3.1、FC、2.5D/3D 和 SiP 市场空间份额高，2.5D/3D 晶圆数增长快

从市场空间来看：FC、2.5D/3D 和 SiP 份额较高，2.5D/3D 封装增速最快。据 Yole 预测 2025 年全球先进封装市场份额达到 476 亿美元，其中 FC 封装 206 亿美元，2.5D/3D 封装 145 亿美元，SiP 封装 82 亿美元，WLCSP 为 21 亿美元，FO 封装 19 亿美元。FC、2.5D/3D 和 SiP 在先进封装中的份额分别达到 43.3%、30.5% 以及 17.2%，累计超过九成。2.5D/3D、WLCSP 和 FO 等高性能的先进封装市场达到 185 亿美元。从增速来看，AI 浪潮下 2.5D/3D 封装市场规模提升最快，预期 2022-2029 年 CAGR 达到 18%，同期 FC 为 9%，SiP 为 5%，WLCSP 为 2%，FO 为 5%。

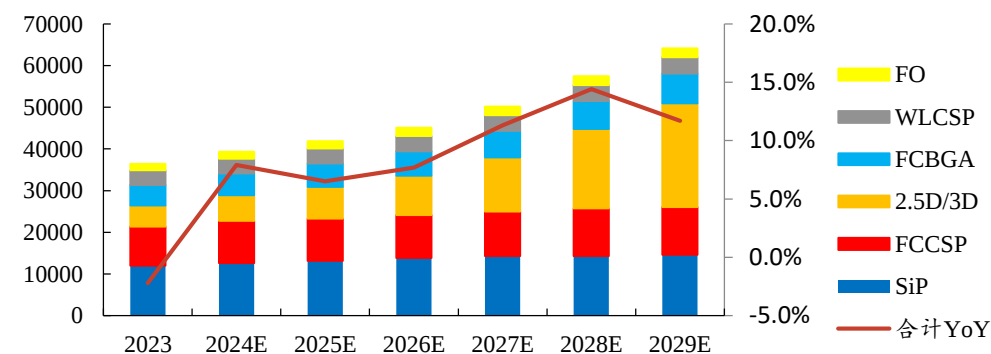
图35：先进封装各细分市场的市场规模有望持续提升（亿美元，2022-2029E）



数据来源：Yole、开源证券研究所

从量上来看，先进封装晶圆数增长主要来自 2.5D/3D 封装。据 Yole，对应等效 12 英寸晶圆，2023 年全球先进封装达到 3642 万片/年，细分来看，SiP 为 1201.8 万片/年，2.5D/3D 为 505.4 万片/年，FC 为 1429.7 万片/年，晶圆级封装为 505.1 万片/年。预计 2029 年全球先进封装将达到 6413 万片/年，对应 2023-2029 年 CAGR 为 9.9%。全球增长主要由 2.5D/3D 封装的晶圆片数增长拉动，预计 2023-2029 年其 CAGR 高达 30.5%，主要对 AI/ML、HPC、数据中心、CIS 和 3D NAND 形成支撑。

图36：先进封装晶圆片数有望继续提升（千片/年，等效 12 英寸，2023-2029E）



数据来源：Yole、开源证券研究所

3.2、全球领先厂商：大技术平台+先进工艺，竞争高端市场空间

先进封装布局方面，全球领先企业以“大技术平台”+“高端先进技术突破”引领时代潮流。以台积电、三星和日月光为例：

台积电 (Foundry)：打造 3D Fabric 技术平台，包含前端 SoIC（系统级集成芯片，3D 垂直堆叠），后端 CoWoS 和 InFO（集成扇出型封装，2.5D 封装）。

三星 (IDM)：推出 HIT 技术平台，整合 2.5D、3D 封装技术及异构集成方案，包括 I-Cube（2.5D 封装，并行放置多个芯片）、H-Cube（2.5D 封装，支持逻辑、存储与其他芯片混合封装）、X-Cube（3D 封装，垂直堆叠）。

日月光 (OSAT)：推出 VIPack 先进封装平台，以 3D 异质整合为关键技术的先进互联技术解决方案，包含基于高密度 RDL 封装、基于硅通孔 (TSV) 的 2.5D/3D IC 以及光电共封装。

图37：全球领先玩家在高端先进封装技术布局（主要针对 2.5D/3D 封装）

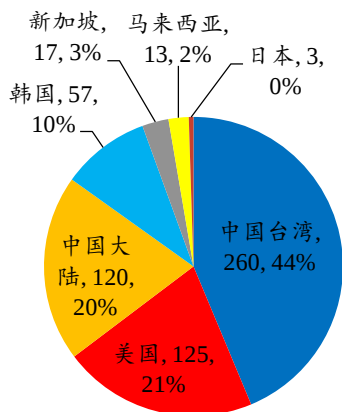
High-End Performance Packaging													
Dimension	2.5D							3D					
Technology	Si Bridge			Si Interposer			RDL Interposer	Glass Interposer	μbump/TSV		Hybrid Bond		
Construction	Embedded in substrate	in mold compound/on substrate		Passive Bridge + active Interposer	Embedded in substrate	on substrate	on substrate	on substrate	3D Memory		3D SoC		
Active/Passive	Passive		Active		Passive	Active	Passive	Passive	HBM	3DS	3D NAND	Memory + Logic	
Commercial Product (Product/Technology)	Intel Stratix, Agliex, Sapphire-Rapids Intel EMIB	Apple M1 Ultra TSMC InFO-L				Intel Lakefield Intel Foveros Meteor-Lake Arrow-Lake Lunar-Lake	Xilinx Virtex-7 TSMC CoWoS-S	Hi-Silicon ASE FoCoS MediaTek TSMC InFO-oS GUC Glink TSMC InFO-oS	Samsung, SK, Hynix, Micron.	YMTC	Graphcore TSMC W2W	AMD: V-Cache TSMC 3D SoIC	
	Amazon AWS Intel EMIB	AMD: MI 200x SPIR FOEB	No product	Intel Ponte Vecchio Intel co-EMIB	No product		Biren Technology TSMC CoWoS-S AMD Fiji	TSMC InFO-oS Xilinx Artix, Zynq TSMC InFO-oS AMD Radeon TSMC CoWoS-R Tesla Dojo TSMC InFO-SoW Cerebras TSMC InFO-SoW		Sunlune: Jasminer X4 YMTC W2W		No product	
Roadmap	Intel Co-EMIB (EMIB + Foveros)	ASE FoCoS-B IME Si-bridge Amkor S-connect JCET XD FOI Samsung I-CubeE	Deca SPIR		ITRI EMI	Fhg CPO Leti PRC GT	UMC 2.5D	Amkor SWIFT JCET XDFOI SPIR FO-MCM ASE FoCoS CL TFME, FOPoS Samsung R-Cube PTI CLIP	PRC GT	Other small memory player	WD Kioxia SK hynix		TSMC SoIC Intel Foveros Direct Samsung X-Cube
Process owner	Intel	TSMC, SPIR		Intel		Intel	TSMC, Samsung	TSMC, ASE	Samsung, SK hynix, Micron		Xperi → Adela		
Other Naming		• UHD Fanout				• 3.0D		• UHD Fanout • 2.3D • Hybrid substrate	Updated in May 2023				

Updated in May 2023

资料来源：Yole

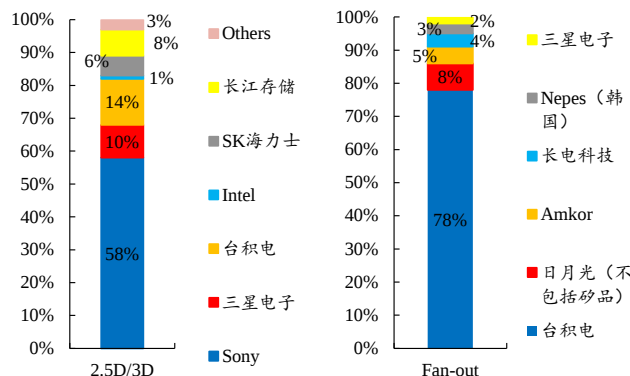
按地区来看，中国台湾与美国的先进封装玩家占有全球超过 60% 的市场份额。据 Yole 数据，累计 2023 年先进封装 Top30 的玩家的营收，按地区看中国台湾份额为 44%，美国 21%，韩国 10%，中国大陆已达到 20%。而对于高端的 2.5D/3D 封装和 Fan-out 封装市场来说，头部厂商基本瓜分市场：2023 年 2.5D/3D 封装市场规模方面，Sony 营收占有 58% 的市场空间（3D 封装的概念中包括异构集成的先进 CIS 芯片），其他厂商方面，三星电子 10%、台积电 14%、长江存储 8%、SK 海力士 6%、英特尔 1%；在 Fan-out 市场方面，台积电占有 78% 的市场空间（台积电 FO 封装技术即 InFO，应用于苹果手机芯片封装），其他厂商方面日月光 8%、安靠 5%、长电科技 4%，Nepes（韩国）3%，三星电子 2%。

图38：先进封装主要玩家分布：中国台湾、中国大陆、美国和韩国（以各地区玩家占 2023 年先进封装 Top30 的玩家累计营收计，亿美元/%）



数据来源：Yole、开源证券研究所

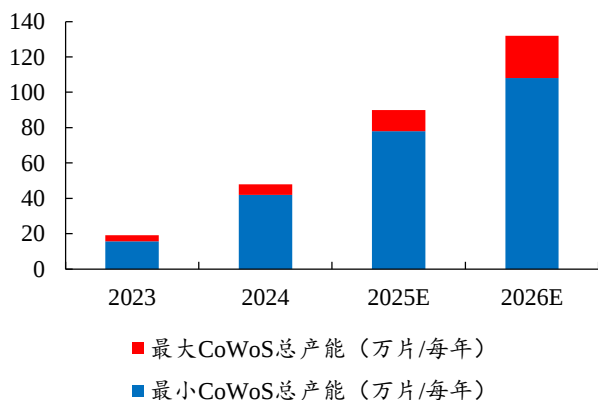
图39：2.5D/3D 封装与 FO 封装市场头部厂商份额较大（2023 年）



数据来源：Yole、开源证券研究所

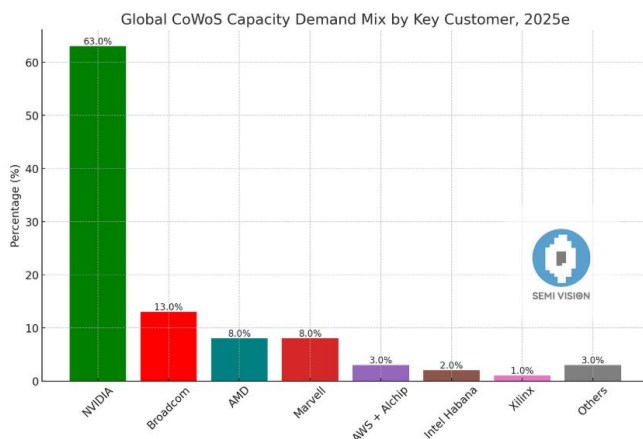
CoWoS 封装供不应求，台积电正大幅扩张产能，预计 2026 年将达到 9 万至 11 万片每月。 CoWoS 作为台积电主推的 2.5D 封装技术，已成为全球高性能 AI 芯片的关键支撑工艺。从 NVIDIA H100 到 AMD MI300，几乎所有顶尖 AI 加速芯片均依赖该技术实现高带宽、高密度互联封装。根据 SEMI VISION 预测，到 2025 年，NVIDIA 将占据全球 CoWoS 产能的 63%，其次为博通（13%）、AMD（8%）和 Marvell（8%），头部客户集中度高。为满足持续飙升的市场需求，台积电正在中国台湾新建 CoWoS 工厂加速扩产。SEMI VISION 数据显示，2024 年全球 CoWoS 产能约为每月 3.5 万至 4 万片晶圆，预计 2025 年将提升至 6.5 万至 7 万片，而 2026 年有望进一步扩张至 9 万至 11 万片，产能增速显著。

图40：预计台积电 CoWoS 产能 2025-2026 提升



数据来源：SEMI VISION、开源证券研究所

图41：2025E 全球 CoWoS 产能的分配



资料来源：SEMI VISION

除台积电外，矽品精密和日月光也在推进高端先进封装厂扩张。 据全球半导体观察统计，矽品精密推进多个先进封装厂产能，其中，潭科厂已于 2025 年 1 月正式启用，聚焦 CoWoS 等高端封装工艺，配合英伟达等客户需求。日月光方面，K28 厂专注于 CoWoS 产能扩张，2024 年 10 月 9 日动工，预计 2026 年完工。

表1：先进封装产线 2025 年有望稳步推进

厂商	工厂名称/项目	详细情况
矽品	潭科厂	2025 年 1 月 16 日落成启用，聚焦 CoWoS 等先进封装，配合英伟达等客户需求。
精密	彰化二林新厂	2024 年 10 月下旬，矽品精密宣布投资 4.19 亿元新台币，取得中科彰化二林园区土地，租期 42 年，或为扩大 CoWoS 先进封装产能。在 2025 年 1 月处于大幅扩建阶段。
	云林虎尾新厂	2022 年 7 月，预计投资金额新台币 975 亿元，第一期土建预计于当年第四季度动工，产能满载后年营业额预计可达 354 亿元。2024 年 11 月，云林虎尾新厂预计 2025 年 6 月投入运营。
	后里厂	2024 年 12 月 17 日，将以 30.2 亿元新台币买下新巨科园区厂房暨总部大楼以扩产先进封装。
日月光	马来西亚槟城四厂、五厂	2024 年 1 月 19 日，日月光马来西亚子公司投资马币 6969.6 万令吉取得马来西亚槟城州桂花城科技园土地使用权，产业人士分析，此次投资主要布局先进封装产能，目前该厂房正在加速建设扩产中。
	高雄 K18 厂	2024 年 8 月，日月光投控宣布，子公司日月光半导体董事会决议通过斥资新台币 52.63 亿元，向关系人宏環建设购入其持有 K18 厂房，据悉该厂房主要设置晶圆凸块封装和覆晶封装制程之生产线。
	高雄 K28 厂	2024 年 10 月 9 日动工，预计 2026 年完工，扩充 CoWoS 产能。
台积电	群创南科四厂（AP8 厂区）	2024 年 8 月购入群创南科四厂，投资 171.4 亿元新台币，预计 2025 年 4 月交机，2025 年下半年试产，聚焦 CoWoS。
	竹南 ap6b 厂	2023 年 6 月启用，2024 年 12 月获使用证，全自动化 3DFabric 工厂，月产能 2024 年 Q3 增至 3.3 万片。
	嘉义科学园区封装厂	设立两座 CoWoS 厂，第一座基地 12 公顷，预计 2025 年 Q3 完工装机，第二座预计 2026 年完工装机，两座工厂预计 2028 年量产。
	台中 ap5b 厂	预计 2025 年上半年运营，扩充先进封测后段的 WoS 为主，前段 CoW 预计 2025 年开始动工，该厂房将 CoWoS 生产为主，部分 SoIC 产能。

资料来源：全球半导体观察、开源证券研究所

3.3、大陆厂商：具备先进封装产业化能力

中国大陆头部先进封装厂商已形成产业化能力，以平台化策略切入丰富的应用场景，厚积薄发，高端先进封装服务亟待突破放量。以长江存储、中芯国际与盛合晶微为例：

长江存储（IDM）：推出晶栈 Xtacking 架构（将混合键合应用于 3D NAND，独具特色的技术路线）；据 SEMI，三星从第十代开始使用长江存储的专利技术，特别是在新的先进封装技术“混合键合”方面。

中芯国际（Foundry）：以晶圆代工+封测外包的方式，为客户提供从晶圆生产制造到单颗芯片封测服务，涉及凸块与晶圆级尺寸封装。对于 CoWoS 等 2.5D 封装，国内的中介层基本由 SMIC 制造，再交由 OSAT 完成 WoS 封测，SMIC 是高端先进封装中的关键一环。

盛合晶微（OSAT）：推出 SmartPoser 技术平台（三维多芯片集成封装），提供晶圆级封装（WLP）和芯粒多芯片集成封装等全流程的先进封测服务。据 Yole，盛合晶微是全球封测行业 2023 年收入增长最高的企业；根据 CIC 灼识咨询《全球先进封装行业研究报告》有关 2023 年中国大陆地区先进封装行业统计，盛合晶微 12 英寸中段凸块 Bumping 加工产能第一，12 英寸 WLCSP 市场占有率第一，独立 CP 晶圆测试收入规模第一。

表2：国产先进封装玩家积极布局高端先进封装技术

类型	厂商	技术平台	描述
晶圆代工+封测	盛合晶微	SmartPoser 技术平台	SmartPoser 核心是通过异质集成（Heterogeneous Integration）实现多芯片（有源/无源）的高密度、高可靠性三维堆叠。SmartPoser 的核心技术包括高密度 RDL、垂直铜柱互连（TIV）和晶圆级集成；该技术平台衍生出了多个具体技术方案，包括 SmartPoser-HD（高密度三维集成技术，适用于移动计算、高性能计算 HPC 等场景）、3DFO（三维扇出封装，晶圆级系统集成技术，支持更复杂的多芯片堆叠）。SmartAiP 是基于 SmartPoser 技术平台的 5G 毫米波天线集成方案，专注于解决 5G 通信中天线芯片与射频前端的集成问题。
		SmartAiP	
晶圆代工+封测外包	中芯国际	-	中芯国际为客户提供从晶圆生产制造到单颗芯片封测服务。中芯国际和世界领先的各家封装测试厂合作，为客户提供完整的后段封测服务：晶圆凸块（Bumping），晶圆级尺寸封装（Wafer Level Package），芯片级尺寸封装（Chip Scale Package）以及多种封装形式（Conventional Package），晶圆和芯片测试服务（Testing），彩色滤光膜（On-chip Color Filter and Micro Lens）等等。
OSAT	通富微电	VISionS 技术平台	通富微电拥有九大封装系列，覆盖全领域：包括 FCBGA&FCCSP、FO、HVP、WLCSP、SiP 等。通富微电目前已建成了融合 2.5D、3D、MCM-Chiplet 等先进封装技术的 VISionS 的先进封装平台，及超大尺寸 FCBGA 研发平台。VISionS 聚焦于高密度、高性能、异构集成需求，覆盖 2.5D/3D 封装、扇外型封装（Fan-out）及系统级封装（SiP）等领域。
	华天科技	3D Matrix 技术平台	华天科技大力发展 SiP、FC、TSV、Fan-Out、WLP、2.5D、3D、Chiplet、FOPLP 等先进封装技术和产品，并推出 3D Matrix、eSinC 2.5D 等技术平台：
		eSinC 2.5D 技术平台	3D Matrix 由 TSV（硅通孔）、eSiFO（硅基扇出）、3D SiP（三维系统级封装）三大核心技术构成。其中硅基扇外型晶圆级封装（embedded Silicon Fan-out, eSiFO）技术广泛应用于电源管理芯片、射频收发器芯片、基带处理器和高端网络系统等多种应用领域。eSinC 2.5D 封装技术平台包含三大 2.5D 技术门类，分别是硅转接板芯粒系统 SiCS（Silicon interposer Chiplet System）、扇出芯粒系统 FoCS（Fanout Chiplet System）和桥联芯粒系统 BiCS（Bridge interconnection Chiplet System）。
	长电科技	XDFOI 技术平台	在先进封装领域，长电科技拥有多项行业领先的技术，包括 SiP（系统级封装）、FC（倒装）、WLCSP（晶圆级芯片规模封装）、2.5D/3D、Bumping（凸块）、MEMS 和 PoP（堆叠封装）等。面向 Chiplet 的高密度多维异构集成技术平台 XDFOI，实现了芯片成品集成与测试一体化，涵盖 2D、2.5D、3DChiplet 集成技术。
	甬矽电子	FHBSAP 技术平台	甬矽电子积极布局基于 Chiplet 的先进 HDFO、2.5D、3D 等晶圆级封装技术，成功开发多芯片扇出异构集成封装（Multi-Chip High Density Fan-Out, HDFO）技术，并在 2.5D Chiplet 封装研发上取得阶段性积极成果。FHBSAP 技术平台涵盖 RWLP 系列（晶圆级重构封装，Fan-out 扇出封装）、HCOS 系列（2.5D 晶圆级/基板上异构封装）、Vertical 系列（晶圆级垂直芯片堆栈封装）等，精准适配 Fan-out（FO）、2.5D/3D 先进晶圆级封装等多元化先进封装技术需求。
	汇成股份	FC 技术平台	汇成股份以凸块（Bumping）制造为核心，整合晶圆测试（CP）、玻璃覆晶封装（COG）和薄膜覆晶封装（COF），形成显示驱动芯片全制程封装平台。
	欣中科技	FC 技术平台	欣中科技在显示驱动芯片领域覆盖金凸块制造、覆晶封装（COG、COP、COF）等主要工艺环节；在非显示驱动芯片领域具备从凸块制造到后段封装的全制程扇入型晶圆级芯片尺寸封装（Fan-in WLCSP）技术能力。
	晶方科技	WLCSP	晶方科技的封装技术以晶圆级封装（WLCSP）为核心，应用于影像传感芯片、环境感应芯片等多个领域。

资料来源：头豹产业研究院、开源证券研究所

从市场份额看，中国大陆领先的先进封装厂商在中高端市场已经具备一定竞争力，在 2.5D/3D 和 FO 封装领域仍存在突破空间。据 Yole 行业报告中披露的 2023 年先进封装细分市场及份额数据，在 FC 的市场中，中国大陆厂商占有一定份额，细分 FCBGA 和 FCCSP 来看，通富微电、长电科技、华天科技和盛合晶微合计市占率分别达 16%和 17%，表明在中高端先进封装领域，国内领先厂商已形成突破，具备国际竞争能力。在 SiP 和 WLCSP 等小型化、高集成度平台上，通富微电、长电科技和华天科技也有持续布局，其中长电科技在 SiP 和 WLCSP 分别占据 9%和 13%的份额，表现突出。相比之下，在技术壁垒更高的 2.5D/3D 和 Fan-out 封装中，中国大陆封测厂商市场份额仍较低，仍需在技术与客户结构上实现进一步提升。

图42：2023 年先进封装各细分技术平台市场空间（亿美元）与份额（%）

2.5D/3D			FCBGA			FCCSP		
市场规模102亿美元	份额	对应营收	市场规模99亿美元	份额	对应营收	市场规模67亿美元	份额	对应营收
Sony	58%	59.16	Intel	43%	42.57	日月光	21%	14.07
三星电子	10%	10.2	日月光（含矽品）	24%	23.76	Amkor	16%	10.72
台积电	14%	14.28	Amkor	9%	8.91	三星电子	12%	8.04
Intel	1%	1.02	通富微电	9%	8.91	长电科技	8%	5.36
SK海力士	6%	6.12	长电科技	4%	3.96	通富微电	5%	3.35
长江存储	8%	8.16	台积电	3%	2.97	台积电	4%	2.68
联华电子	0%	0	华天科技	2%	1.98	华天科技	3%	2.01
Others	3%	3.06	力成科技	2%	1.98	力成科技	2%	1.34
			盛合晶微	1%	0.67	盛合晶微	1%	0.67
			Others	3%	2.01	Others	28%	18.76
SiP			WLCSP			Fan-out		
市场规模72亿美元	份额	对应营收	市场规模20亿美元	份额	对应营收	市场规模17亿美元	份额	对应营收
Amkor	22%	15.84	日月光（含矽品）	26%	5.2	台积电	78%	13.26
日月光（含矽品）	15%	10.8	Amkor	14%	2.8	日月光（不包括矽品）	8%	1.36
村田制作所（日本）	10%	7.2	长电科技	13%	2.6	Amkor	5%	0.85
长电科技	9%	6.48	三星电子	6%	1.2	长电科技	4%	0.68
三星电子	5%	3.6	台积电	5%	1	Nepes（韩国）	3%	0.51
通富微电	5%	3.6	Nepes（韩国）	3%	0.6	三星电子	2%	0.34
威讯联合（美国）	5%	3.6	TI	3%	0.6			
思佳讯（美国）	3%	2.16	力成科技	3%	0.6			
华天科技	4%	2.88	通富微电	3%	0.6			
意法半导体	1%	0.72	华天科技	3%	0.6			
讯芯科技	1%	0.72	晶方科技	3%	0.6			
Others	20%	14.4	Others	18%	3.6			

数据来源：Yole、开源证券研究所

封测产业是中国大陆在半导体产业链中的强势环节，有望率先在全球范围内从追赶走向引领。中国封测产业是在整个半导体产业中发展最早，在规模与技术能力方面与世界先进水平较接近。2024 年中国大陆头部封测厂继续强势突破，营收增长强劲。按全球 OSTA 营收排名，长电科技、通富微电、华天科技和智路封测分别位列第三、第四、第六和第七，长电科技同比增长达到 17.7%，华天科技同比增长达到 25.4%，通富微电和智路封测分别同比增长 7.1%和 6.7%。全球封测产业加速向中国大陆转移，2024 年中国大陆封测厂商市占率已达到 27.8%。

表3：2024 年全球前十先进封装厂商营收及市占率

厂商	区域	营收 亿元人民币	市占率 %	营收 YoY %
日月光控股 ASE	中国台湾	765	25.2%	3.4%
安靠 Amkor	美国	470	15.5%	16.6%
长电科技 JCET	中国大陆	346	11.4%	17.7%

厂商	区域	营收 亿元人民币	市占率 %	营收 YoY %
通富微电 TFME	中国大陆	242	8.0%	7.1%
力成科技 PTI	中国台湾	172	5.7%	4.2%
华天科技 HUATIAN	中国大陆	143	4.7%	25.4%
智路封测 WiseRoad	中国大陆	112	3.7%	6.7%
京元电子 KYEC	中国台湾	68	2.2%	-10.5%
韩亚微 HANA Micron	韩国	59	1.9%	18.0%
南茂 ChipMOS	中国台湾	53	1.7%	12.8%
全球市场合计		3032		

数据来源：芯思想研究院、开源证券研究所

2025 年大陆高端封测产线进入投产与良率提升的关键期。通富微电、华天科技、盛合晶微、长电科技、物元半导体扩建先进封装产线，技术向 2.5D/3D 堆叠、多芯片集成及大尺寸晶圆级封装演进。盛合晶微投资超百亿元建设三维多芯片集成封装项目，目标月产 8 万片金属 Bump 及 1.6 万片三维封装；长电科技同样投资百亿推进晶圆级微系统集成项目，一期规划年产 60 亿颗高端封装芯片。此外，通富微电、华天科技、甬矽电子和物元半导体等厂商也正加速布局先进封装产能，推动本土先进封装向高端突破。

表4：大陆高端封测产线稳步推进

厂商	工厂名称/项目	详细情况
盛合晶微	三维多芯片集成封装项目	其三维多芯片集成封装项目总投资 100.9 亿元，建成后月产 8 万片金属 Bump 及 1.6 万片三维封装，满足 5G、AI、HPC、IOT、汽车电子需求。
长电科技	晶圆级微系统集成高端制造项目	晶圆级微系统集成高端制造项目作为 2024 年江苏省重大项目，投资 100 亿元，一期建成后年产 60 亿颗高端先进封装芯片。
通富微电	通富通达先进封测基地 通富通科 Memory 二期	2024 年 9 月 20 日通富通达先进封测基地项目开工，投资 75 亿元，占地 217 亩，预计 2029 年 4 月投产，达产后预计年新增应税销售 60 亿元、税收超亿元。 2024 年 9 月 20 日首台设备入驻。
华天科技	江苏盘古半导体先进封测项目	计划投资 30 亿元，预计 2025 年部分投产，一阶段建设期 2024-2028 年，建 12 万平米厂房及相关附属配套设施，推动板级封装技术的开发及应用。另外 2024 年 3 月，再投资 100 亿元启动二期项目，拟新建 20 万平方米厂房及配套设施。建设具有国际先进封装水平的集成电路封装测试生产线。
甬矽电子	多维异构先进封装技术项目	2025 年 1 月公告，拟发行可转债募集资金不超过 12 亿元，用于多维异构先进封装技术研发及产业化项目等，完全达产后将形成封测 Fan-out 系列和 2.5D/3D 系列等多维异构先进封装产品 9 万片/年的生产能力。
物元半导体	3D 晶圆堆叠先进封装生产线	一期投资 23.7 亿元，原定 2024 年 12 月竣工，月产 2 万片 12 英寸晶圆级先进封装，二期计划 2025 年 5 月完成主体 FAB 厂房封顶，并于 6 月投入量产。

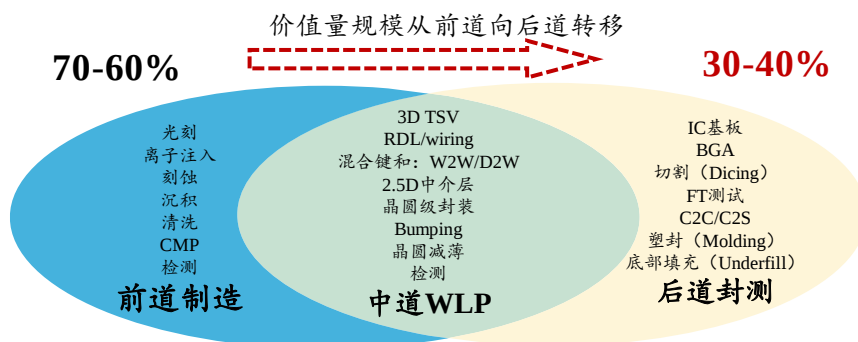
资料来源：全球半导体观察、各公司公告、开源证券研究所

4、格局生变：关注本土高端先进封装切入机会

4.1、CoWoS 走向分工合作，OSAT 迎来切入窗口

从工艺上来说，先进封装处于前道晶圆制造与后道封测之间的交叉区域，前道和后道的玩家参与其中。半导体产品的加工过程包括晶圆制造（前道）和封装（后道）测试。先进封装则所属晶圆制造和封装测试之间，属于“中道”环节。具体而言，如 Bumping（凸块）、RDL（重布线层）和 TSV（硅通孔）等先进封装工艺中，会涉及光刻、刻蚀、电镀等环节，需要用到光刻机、刻蚀设备、电镀设备等。基于技术工艺的需求，具有晶圆制造生产设备厂商可以深入参与其中，能够在先进封装的高端部分发挥作用，如英特尔、三星等 IDM 厂商和以及台积电、中芯国际等晶圆厂。OSAT 为扩张先进封装业务，也将进一步向高端化演进，突破先进封装技术并建设先进厂房。

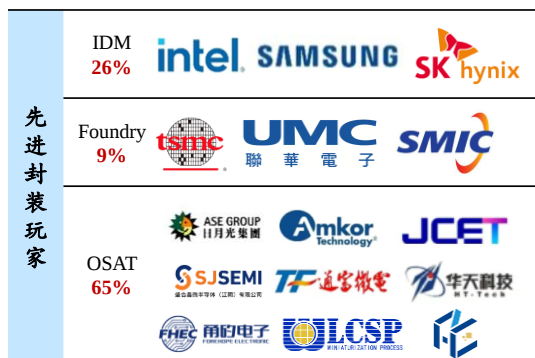
图43：工艺上先进封装在前道制造和后道封测之间，价值量将从前道向后道转移



资料来源：Yole、开源证券研究所

从玩家结构来看，已形成“高端工艺由 IDM 与 Foundry 占据领先优势，中端先进封装放量靠 OSAT”的鲜明分层。据 Yole 数据显示，以 2023 年全球先进封装等效 12 英寸晶圆片数计，IDM 与 Foundry 已分别占据近 26%和 9%的市场份额，OSAT 市场份额约为 65%。以 2023 年先进封装各技术平台的市场营收份额计，细分技术平台的份额分层较明显，具体来看：在 2.5D/3D 封装方面，IDM 份额超过 83%，Foundry 份额达到 14%；在 Fan-out 封装方面，Foundry 份额高达 80%，其中台积电份额为 78%；OSAT 则主要在中端先进封装平占据主导地位，细分 FCBGA、FCCSP、SiP 以及 WLCSP 封装技术，市场份额分别超过 51%、56%、56%和 68%。

图44：先进封装玩家可分类 IDM、Foundry 和 OSAT（以 2023 年先进封装晶圆片数计市场份额）



资料来源：Yole、各公司官网、开源证券研究所（注：上图为主要先进封装玩家示例，并非包括所有先进封装玩家）

图45：高端工艺由 IDM 与 Foundry 占据领先优势，中端放量靠 OSAT（以 2023 年先进封装市场份额计）

类型	2.5D/3D	Fan-out	WLCSP	SiP	FCCSP	FCBGA
OSAT	3%	20%	68%	56%	56%	51%
IDM	83%	0%	9%	14%	12%	43%
Foundry	14%	80%	5%	0%	4%	3%
其他	0%	0%	18%	30%	28%	3%

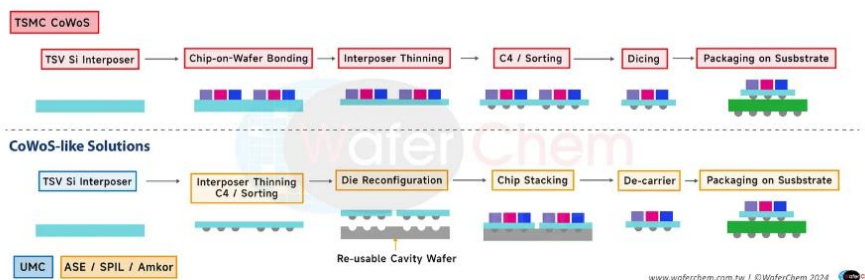
数据来源：Yole、开源证券研究所

CoWoS 走向精密协作，前道晶圆厂与后道 OSAT 协同正逐步成为主流模式。

在 2.5D 封装，尤其是 CoWoS（Chip-on-Wafer-on-Substrate）封装技术快速发展的背景下，全球玩家均希望切入这需求激增的核心市场。然而，该领域的关键挑战不在于极端的技术壁垒，而在于良率控制。由于 CoWoS 封装涉及 HBM 等高价值部分的堆叠连接，一旦成品率低，将直接导致整体系统级报废，造成较大成本损失。因此，稳定实现高良率的全流程能力成为衡量竞争力的核心标准。目前，仅台积电、三星、英特尔等少数厂商具备覆盖先进逻辑芯片制造、中介层加工到封装集成的全栈式 CoWoS 能力，而台积电凭借高节点工艺与封装良率的双重优势处于领先地位。

图46：效仿台积电 CoWoS 的类似解决方案走向精密协作

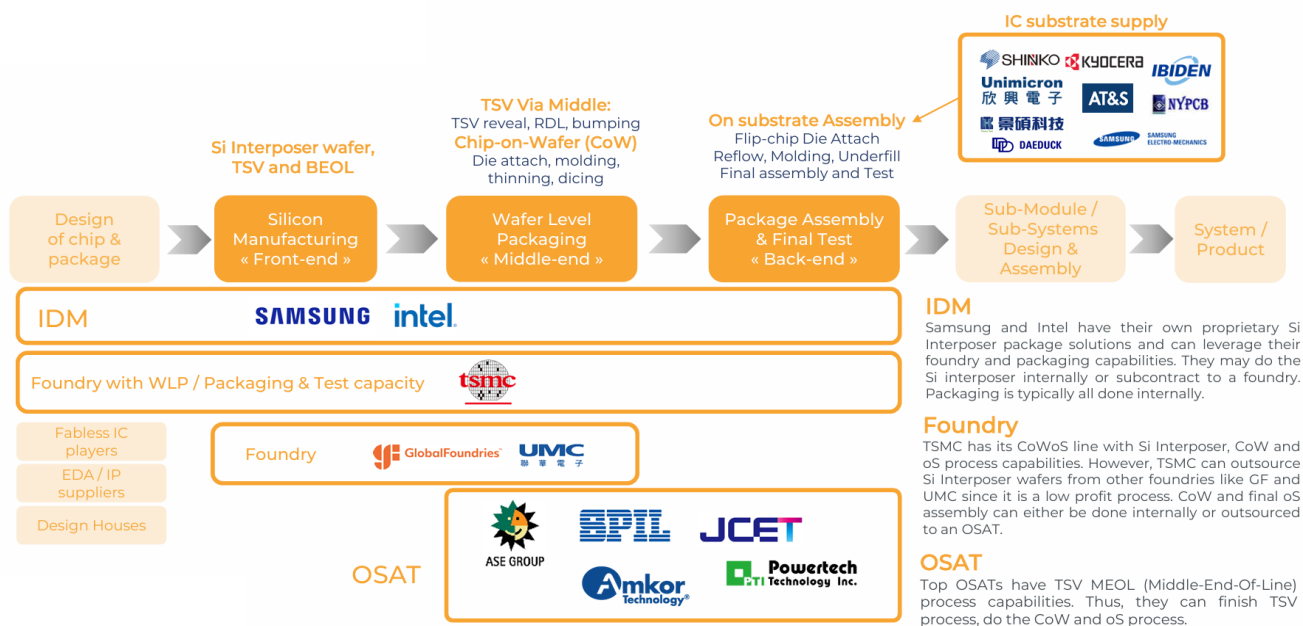
ADVANCED PACKAGING: TSMC CoWoS vs. CoWoS-like Solutions



资料来源：SEMI VISION

供应链中 CoWoS 已逐渐形成两种合作框架：一是“台积电 + 第三方 OSAT”，由台积电完成中介层与堆叠互连(CoW)，封装由日月光等 OSAT 完成(on Substrate)；二是“第三方晶圆厂 + OSAT”，如联电、格芯提供中介层，由安靠、日月光等完成封装 (WoS)。但对于 OSAT 厂而言，know-how 积累需要时间，也需要面对中介层尺寸扩张带来的工艺风险，此外，分工模式下协同产出的良率提升，也需要依赖双方工艺能力的共同进步。整体来看，2.5D 封装从一体化走向分工协作，前道晶圆厂与后道封装厂联手构建协同制造体系，是提升效率与产能的重要路径。

图47：OSAT 能切入围绕 2.5D 硅中介层的供应链合作



资料来源：Yole

我们认为，合作展开 CoWoS 的模式，一方面对于后道 OSAT 而言，切入 CoWoS 供应的门槛相对降低，有助于积累 know-how；另一方面对于整个产业而言，在 CoWoS 完整产线尚未跑通放量前，通过合作的方式能较早实现出货，缓解供不应求的情况。

4.2、高端先进封装：国产 AI 算力产业链瓶颈与破局之路

制造和封测的供给短缺是当前国产 AI 产业的核心矛盾。我国 AI 芯片产业正蓬勃发展，以华为昇腾 910B/910C 为代表的产品在算力性能上已显著超越英伟达 H20，寒武纪等企业亦持续推出迭代产品。国产算力芯片在技术层面已经具备自主可控能力。而在供给环节，在制造端，受限于 EUV 出口限制和台积电代工限制，国产算力芯片仅能依赖于中芯国际的多重曝光工艺生产算力芯片，但受限于国产半导体设备在不断发展过程当中的阶段性瓶颈和缺乏经验导致的工艺低成熟度，目前生产良率仍较低，是算力芯片放量的瓶颈之一。封测环节，高端先进封装产能同样是瓶颈。但是相比制造，我们认为封测环节与海外的差距更小，且突破路径清晰：

其一，以盛合晶微、长电科技、通富微电为代表的国产封测厂商已具备 2.5D 封装等高端封装技术实力。其二，台积电的初代 CoWoS 采取 65nm 制程，在此节点国产设备等配套已基本成熟。其三，CoWoS 封装分工合作的范式下，虽然硅中介层制造仍依赖中芯国际产能，但封测厂商在高端先进封装环节的参与度提升，可为 CoWoS 全产线放量积累 know-how。

我们认为 2025 年高端先进封装产线建设的高速发展期，国产封测厂商在高端封测方面已进入关键突破窗口，重视本土厂商高端封测产线良率和产能利用率提升，带来的估值、盈利能力提升机会。

受益标的：

(1) 先进封装产业化能力较强的国产龙头，推荐长电科技，受益标的：通富微电和华天科技；

(2) 积极布局先进封装的新兴封测厂，如甬矽电子；

(3) 国产高端半导体封测龙头盛合晶微，其 IPO 辅导状态已变更为“辅导验收”。

表5：受益标的盈利预测与估值

公司代码	公司名称	评级	市值（亿元）	收盘价（元）	归母净利润（亿元）			PE		
			2025/8/11	2025/8/11	2025E	2026E	2027E	2025E	2026E	2027E
600584.SH	长电科技	买入	622.2	170.1	25.3	34.4	45.2	24.6	18.1	13.8
002156.SZ	通富微电	买入	416.6	77.3	10.7	13.8	16.9	39.0	30.2	24.6
002185.SZ	华天科技	买入	323.3	106.7	9.6	12.5	15.9	33.8	26.0	20.3
688362.SH	甬矽电子	未评级	135.2	33.1	2.0	3.7	4.8	66.2	36.1	27.9

数据来源：、开源证券研究所（长电科技盈利预测来自开源证券研究所；通富微电、华天科技和甬矽电子盈利预测来源于一致预期）

5、风险提示

第一，AI 产业发展不及预期：先进封装作为 AI 产业的底层支持环节，其市场依赖 AI 产业的演进，如果 AI 行业发展不及预期，可能会导致先进封装市场需求减弱，从而影响上游材料等产业链环节发展。

第二，本土高端先进封装产能释放不及预期：以晶圆级封装、2.5D/3D 封装为主的高端先进封装的对工艺良率提出极高要求，以采用 CoWoS 封装的 AI 芯片为例，封装环节的缺陷或直接导致包含 HBM 在内高价值器件的整体报废，造成较大成本损失。若关键工艺环节的良率提升缓慢，可能限制高端先进封装产能释放，从而影响产业链发展。

第三，本土设备、材料配套进展不及预期：先进封装对设备与材料协同配合提出更高要求，涉及诸多工艺 know-how 的积累。若国内设备导入进程缓慢，或本土材料与产线协同适配进展不顺，可能影响产线良率提升，拖累整个国产化配套体系的推进。

第四，国际形式变化带来的不确定性风险：全球通胀压力、地缘政治冲突与战争等不确定因素仍在演化，可能影响消费类电子、汽车电子等下游应用的市场需求与周期复苏节奏，进而对相关公司订单增长与业绩表现带来压力。

特别声明

《证券期货投资者适当性管理办法》、《证券经营机构投资者适当性管理实施指引（试行）》已于2017年7月1日起正式实施。根据上述规定，开源证券评定此研报的风险等级为R3（中风险），因此通过公共平台推送的研报其适用的投资者类别仅限定为专业投资者及风险承受能力为C3、C4、C5的普通投资者。若您并非专业投资者及风险承受能力为C3、C4、C5的普通投资者，请取消阅读，请勿收藏、接收或使用本研报中的任何信息。因此受限于访问权限的设置，若给您造成不便，烦请见谅！感谢您给予的理解与配合。

分析师承诺

负责准备本报告以及撰写本报告的所有研究分析师或工作人员在此保证，本研究报告中关于任何发行商或证券所发表的观点均如实反映分析人员的个人观点。负责准备本报告的分析师获取报酬的评判因素包括研究的质量和准确性、客户的反馈、竞争性因素以及开源证券股份有限公司的整体收益。所有研究分析师或工作人员保证他们报酬的任何一部分不曾与，不与，也将不会与本报告中具体的推荐意见或观点有直接或间接的联系。

股票投资评级说明

	评级	说明
证券评级	买入（Buy）	预计相对强于市场表现 20%以上；
	增持（outperform）	预计相对强于市场表现 5%~20%；
	中性（Neutral）	预计相对市场表现在-5%~+5%之间波动；
	减持（underperform）	预计相对弱于市场表现 5%以下。
行业评级	看好（overweight）	预计行业超越整体市场表现；
	中性（Neutral）	预计行业与整体市场表现基本持平；
	看淡（underperform）	预计行业弱于整体市场表现。

备注：评级标准为以报告日后的 6~12 个月内，证券相对于市场基准指数的涨跌幅表现，其中 A 股基准指数为沪深 300 指数、港股基准指数为恒生指数、新三板基准指数为三板成指（针对协议转让标的）或三板做市指数（针对做市转让标的）、美股基准指数为标普 500 或纳斯达克综合指数。我们在此提醒您，不同证券研究机构采用不同的评级术语及评级标准。我们采用的是相对评级体系，表示投资的相对比重建议；投资者买入或者卖出证券的决定取决于个人的实际情况，比如当前的持仓结构以及其他需要考虑的因素。投资者应阅读整篇报告，以获取比较完整的观点与信息，不应仅仅依靠投资评级来推断结论。

分析、估值方法的局限性说明

本报告所包含的分析基于各种假设，不同假设可能导致分析结果出现重大不同。本报告采用的各种估值方法及模型均有其局限性，估值结果不保证所涉及证券能够在该价格交易。

法律声明

开源证券股份有限公司是经中国证监会批准设立的证券经营机构，已具备证券投资咨询业务资格。

开源证券股份有限公司（以下简称“本公司”）的机构或个人客户（以下简称“客户”）使用。本公司不会因接收人收到本报告而视其为客户。本报告是发送给开源证券客户的，属于商业秘密材料，只有开源证券客户才能参考或使用，如接收人并非开源证券客户，请及时退回并删除。

本报告是基于本公司认为可靠的已公开信息，但本公司不保证该等信息的准确性或完整性。本报告所载的资料、工具、意见及推测只提供给客户作参考之用，并非作为或被视为出售或购买证券或其他金融工具的邀请或向人做出邀请。本报告所载的资料、意见及推测仅反映本公司于发布本报告当日的判断，本报告所指的证券或投资标的的价格、价值及投资收入可能会波动。在不同时期，本公司可发出与本报告所载资料、意见及推测不一致的报告。客户应当考虑到本公司可能存在可能影响本报告客观性的利益冲突，不应视本报告为做出投资决策的唯一因素。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。本公司未确保本报告充分考虑到个别客户特殊的投资目标、财务状况或需要。本公司建议客户应考虑本报告的任何意见或建议是否符合其特定状况，以及（若有必要）咨询独立投资顾问。在任何情况下，本报告中的信息或所表述的意见并不构成对任何人的投资建议。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。若本报告的接收人非本公司的客户，应在基于本报告做出任何投资决定或就本报告要求任何解释前咨询独立投资顾问。投资者应自主作出投资决策并自行承担投资风险，任何形式的分享证券投资收益或者分担证券投资损失的书面或口头承诺均为无效。

本报告可能附带其它网站的地址或超级链接，对于可能涉及的开源证券网站以外的地址或超级链接，开源证券不对其内容负责。本报告提供这些地址或超级链接的目的纯粹是为了客户使用方便，链接网站的内容不构成本报告的任何部分，客户需自行承担浏览这些网站的费用或风险。

开源证券在法律允许的情况下可参与、投资或持有本报告涉及的证券或进行证券交易，或向本报告涉及的公司提供或争取提供包括投资银行业务在内的服务或业务支持。开源证券可能与本报告涉及的公司之间存在业务关系，并无需事先或在获得业务关系后通知客户。

本报告的版权归本公司所有。本公司对本报告保留一切权利。除非另有书面显示，否则本报告中的所有材料的版权均属本公司。未经本公司事先书面授权，本报告的任何部分均不得以任何方式制作任何形式的拷贝、复印件或复制品，或再次分发给任何其他人，或以任何侵犯本公司版权的其他方式使用。所有本报告中使用的商标、服务标记及标记均为本公司的商标、服务标记及标记。

开源证券研究所

上海

地址：上海市浦东新区世纪大道1788号陆家嘴金控广场1号楼3层
邮编：200120
邮箱：research@kysec.cn

深圳

地址：深圳市福田区金田路2030号卓越世纪中心1号楼45层
邮编：518000
邮箱：research@kysec.cn

北京

地址：北京市西城区西直门外大街18号金贸大厦C2座9层
邮编：100044
邮箱：research@kysec.cn

西安

地址：西安市高新区锦业路1号都市之门B座5层
邮编：710065
邮箱：research@kysec.cn