

证券研究报告 | 半导体 | 2025年10月16日

科技电子团队·行业深度报告

先进封装赋能国产算力芯，设备材料封测产业联动

分析师

马天翼

登记编号：S1220525040003

王海维

登记编号：S1220525040004

联系人

吴家欢

并购家 免费行业报告网

IPOIPO.CN 每日更新 不用注册会员 无广告 永久免费

- **先进封装助力弯道超车，国产设备材料封测产业联动。**在摩尔定律放缓和我国先进制程技术受限的现状下，先进封装成为国产算力芯片突破性能瓶颈的重要方向。华为、寒武纪、海光信息等公司的算力芯片正加速迭代，国产供应链积极配套以实现算力芯片自主可控。先进封装产能扩张需求愈发迫切，产业链迎来重大发展机遇。
- **CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识。**CoWoS产能成为英伟达AI芯片供应瓶颈，台积电正积极扩产，同时引入其他代工厂和封测厂以扩大产能。国内龙头封装公司将受益于这一产业趋势，与国内AI芯片供应链合作以突破先进封装。从CoWoS产能分布看，结合S和R技术优点的CoWoS-L将逐步取代CoWoS-S成为主流。国产算力芯片厂商正积极布局先进封装技术，并向CoWoS-L等方向拓展。随着中介层尺寸不断增大，板级封装成为共识。
- **建议关注：**
OSAT：甬矽电子、通富微电、长电科技、汇成股份等；
设备：北方华创、中微公司、华海清科、拓荆科技、芯源微、联合化学、微导纳米、盛美上海、芯碁微装、长川科技等；
材料：华海诚科、江丰电子、雅克科技、艾森股份、天承科技、安集科技等。
- **风险提示：**行业与市场波动风险，国际贸易摩擦风险，新技术、新工艺、新产品无法如期产业化风险，先进封装产能扩张进度不及预期风险，行业竞争加剧风险等。

- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

全球集成电路封装技术经历五个发展阶段

- 根据《中国半导体封装业的发展》，迄今为止全球集成电路封装技术一共经历五个发展阶段。当前全球封装行业的主流技术处于以CSP、BGA为主的第三阶段，并向以系统级封装（SiP）、倒装焊封装（FC）、芯片上制作凸点（Bumping）为代表的第四阶段和第五阶段封装技术迈进。
- 自20世纪70年代起，目前集成电路封测技术已经发展到第五阶段，核心技术包括微电子机械系统封装（MEMS）、晶圆级系统封装-硅通孔（TSV）、倒装焊封装（FC）、表面活化室温连接（SAB）、扇出型集成电路封装（Fan-Out）、扇入型集成电路封装（Fan-in）、多维异构封装（2.5D、3D）等。

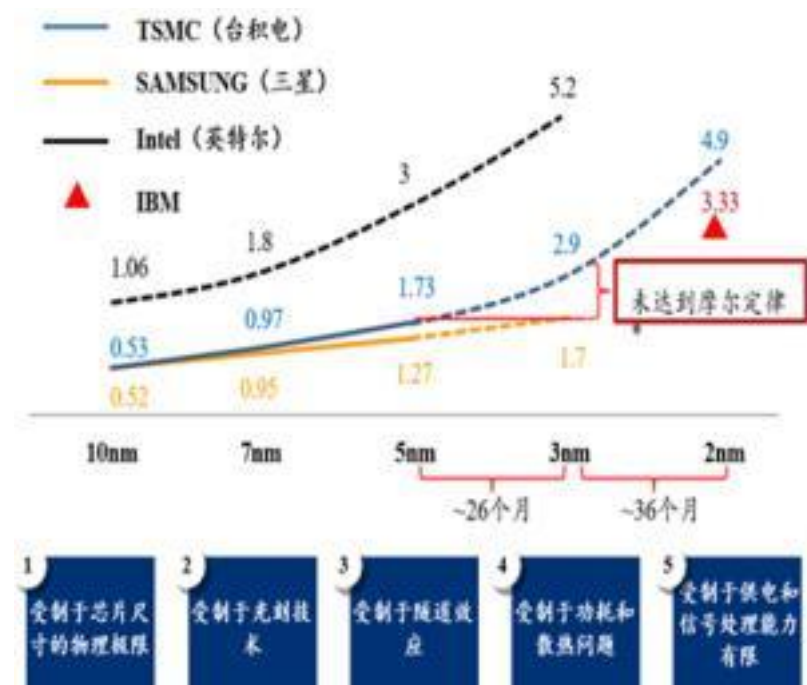
图表：集成电路封装技术发展五大阶段

阶段	时间	封装	具体典型的封装形式
第一阶段	20世纪70年代以前	通孔插装型封装	晶体管封装（TO）、陶瓷双列直插封装（CDIP）、塑料双列直插封装（PDIP）
第二阶段	20世纪80年代以后	表面贴装型封装	塑料有引线片式载体封装（PLCC）、塑料四边引线扁平封装（PQFP）、小外形表面封装（SOP）、无引线四边扁平封装（PQFN）、小外形晶体管封装（SOT）、双边扁平无引脚封装（DFN）
第三阶段	20世纪90年代	球栅阵列封装（BGA）	塑料焊球阵列封装（PBGA）、陶瓷焊球阵列封装（CBGA）、带散热器焊球阵列封装（EBGA）、倒装芯片焊球阵列封装（FC-BGA）
			晶圆级封装（WLP）
		芯片级封装（CSP）	引线框架CSP封装、柔性插入板CSP封装、刚性插入板CSP封装、圆片级CSP封装
第四阶段	20世纪末开始	多芯片组封装（MCM）	多层陶瓷基板（MCM-C）、多层薄膜基板（MCM-D）、多层印制板（MCM-L）
			系统级封装（SiP）
			三维立体封装（3D）
			芯片上制作凸点（Bumping）
第五阶段	21世纪前10年开始		微电子机械系统封装（MEMS）
			晶圆级系统封装-硅通孔（TSV）
			倒装焊封装（FC）
			表面活化室温连接（SAB）
			扇出型集成电路封装（Fan-Out）
			扇入型集成电路封装（Fan-in）
			多维异构封装（2.5D、3D）

摩尔定律逼近极限，先进封装成为突破性能瓶颈的重要方向

- 随着摩尔定律逐渐逼近物理极限，传统芯片制程微缩面临多重挑战，工艺制程受成本大幅增长和技术壁垒等因素上升改进速度放缓。
- 先进封装在不依赖制程工艺提升的前提下，可实现芯片高密度集成、体积微型化以及成本降低等显著优势，成为突破性能瓶颈重要方向。

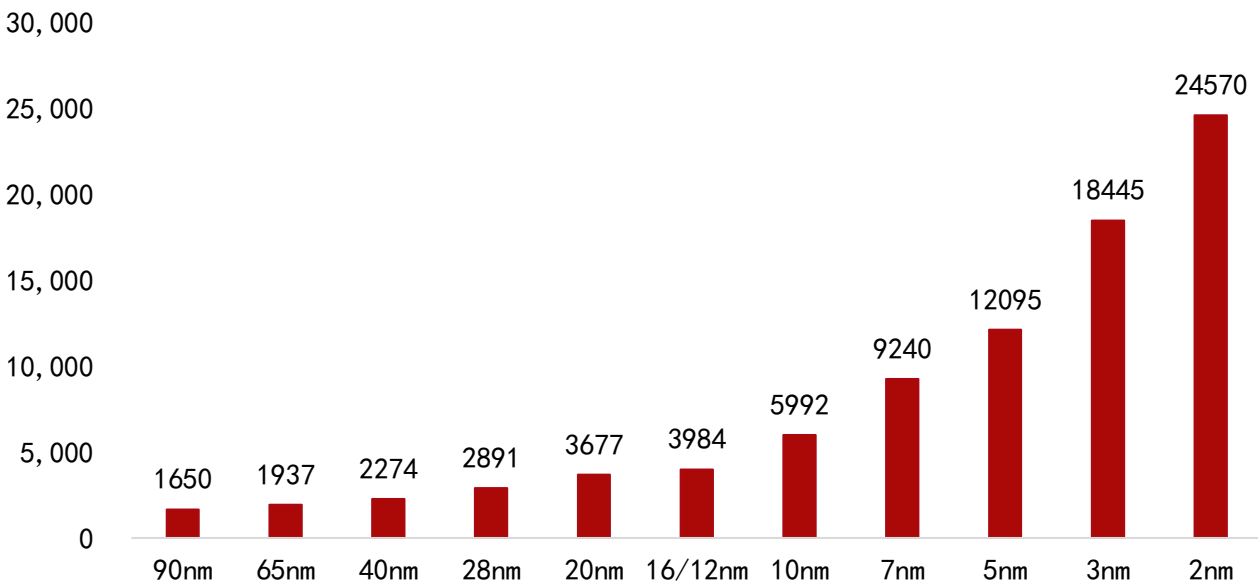
图表：头部厂商晶体管密度对比（亿个/平方毫米）



图表：先进封装两大发展方向

发展方向	相关说明	代表性技术
向上游晶圆制程领域发展（晶圆级封装）	为了在更小的封装面积下容纳更多的引脚，先进封装向晶圆制程领域发展，直接在晶圆上实施封装工艺，通过晶圆重构技术在晶圆上完成重布线并通过晶圆凸点工艺形成与外部互联的金属凸点。	晶圆上制作凸点工艺（Bumping）、晶圆重构工艺、硅通孔技术（TSV）、晶圆扇出技术（Fan-out）、晶圆扇入技术（Fan-in）等。
向下游模组领域发展（系统级封装）	将以前分散贴装在PCB板上的多种功能芯片，包括处理器、存储器等功能芯片以及电容、电阻等元器件集成为一颗芯片，压缩模块体积，缩短电气连接距离，提升芯片系统整体功能性和灵活性。	系统级封装技术（SiP），包括采用了倒装技术（Flip-Clip）的系统级封装产品。

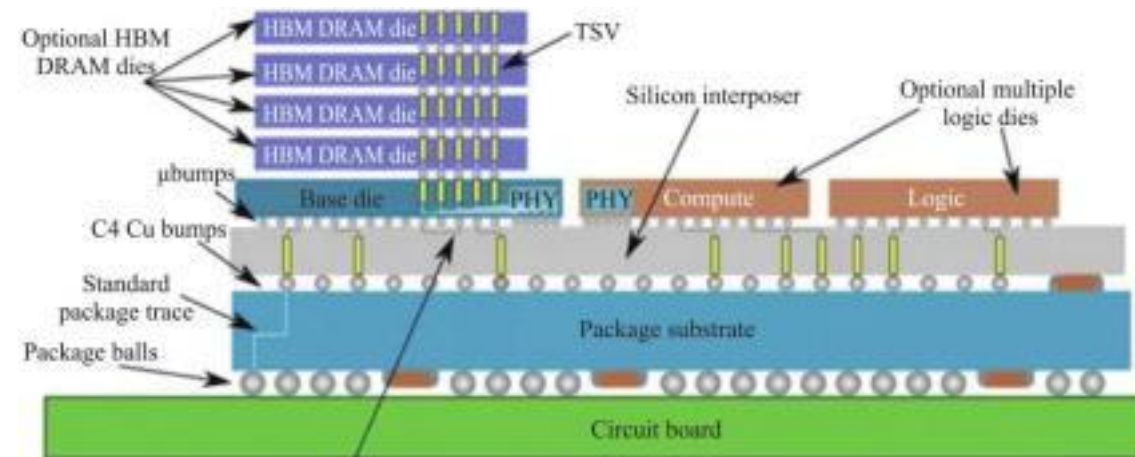
图表：台积电不同制程晶圆售价（美元/片）



2. 5D封装成为当前主流封装技术，未来将与互联密度更高的3D封装技术并存

- 传统封装以单芯片集成和低互连密度为特征，依赖成熟工艺但性能受限；3D封装通过垂直堆叠芯片与硅通孔（TSV）实现超高密度集成，混合键合技术将互连密度提升至 $10^6/\text{mm}^2$ 级别，却面临热耗散复杂与成本高企的挑战。2.5D封装则通过硅/玻璃中介层在平面内集成多芯片，结合TSV与微凸点技术，兼顾高密度互连、异构集成等优势。
- 随着技术的不断发展，2.5D封装将面临更高集成度的需求，可能与逐步成熟的3D封装技术并存，以满足不同应用场景。

图表：典型异构集成2.5D封装结构



图表：异质集成技术发展路线图

异质集成技术	2022年	2023年	2024年	2025年	2026年	2030年	2035年
硅中介层	2-3层, $\geq 1\ \mu\text{m}$ L/S, 顶部铜键, 1层背面嵌, RDL $\geq 10\ \mu\text{m}$, 100 μm 的硅通孔 (TSV)	最多4层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 1层背面嵌, RDL $\geq 10\ \mu\text{m}$, 100 μm 的 TSV	最多4层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 集成金属-绝缘体-金属 (MEM) 电容, 最多2层背面 RDL $\geq 10\ \mu\text{m}$, 100 μm 的 TSV	最多5层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 集成 MEM 电容和电阻, 最多2层背面 RDL $\geq 7\ \mu\text{m}$, 100 μm 的 TSV	最多5层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 集成 MEM 电容和电阻, 最多2层背面 RDL $\geq 4\ \mu\text{m}$, 100 μm 的 TSV	最多6层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 集成 MEM 电容和电阻, 最多3层背面 RDL $\geq 4\ \mu\text{m}$, 100 μm 的 TSV	最多7层, $\leq 1\ \mu\text{m}$ L/S, 顶部铜键, 集成 MEM 电容和电阻, 最多3层背面 RDL $\geq 2\ \mu\text{m}$, 100 μm 的 TSV
重建晶圆	用于堆积层的晶圆级 5 μm L/S	用于堆积层的晶圆级 2 μm L/S	晶圆级 1.8 μm L/S, 亚 100 μm 的模制芯	晶圆级 1.4 μm L/S, 初始面板级别	晶圆级 1.3 μm L/S, 初始面板级别	晶圆级 $< 1\ \mu\text{m}$ L/S, 初始面板级别	高量产制造而板 $< 1\ \mu\text{m}$ L/S
封装方式	焊接	焊接	D2W 混合键合 (5 μm 间距)	D2W 混合键合 (1 μm 间距)	D2D 混合键合 (1 μm 间距)	D2D 混合键合 (亚微米间距)	D2D 混合键合 (亚微米间距), 有机载体

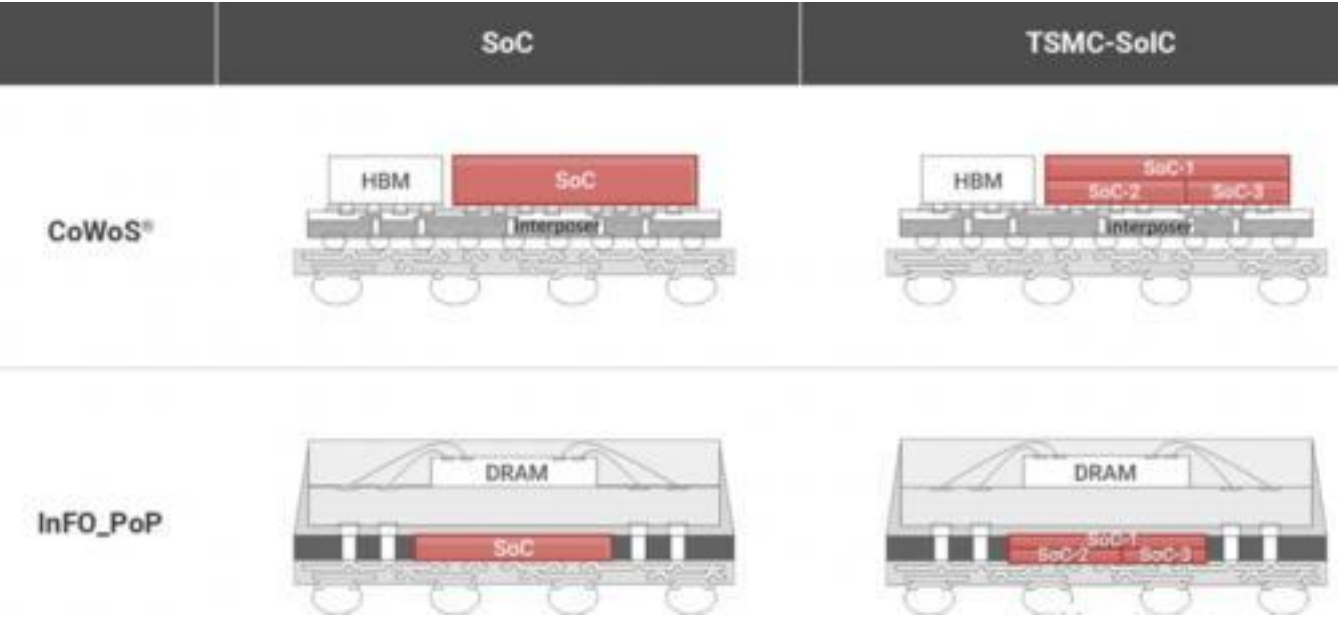
图表：TSMC、Intel和三星先进封装技术对比

	2.5D IC					3D IC	
TSMC	InFO		CoWoS			SoIC	
	InFO PoP	InFO oS	CoWoS -S	CoWoS -R	CoWoS -L	CoW	WoW
Intel			EMIB			Foveros	
			EMIB		Co-EMIB	Foveros	Foveros Direct
SAMSUNG			I-Cube			X-Cube	
			I-Cube -S	I-Cube -E	H-Cube	X-Cube bump	X-Cube Hybrid bonding

台积电：CoWoS广泛应用于主流算力芯片，SoIC采用混合键合技术

- 台积电先进封装技术主要包括CoWoS、InFO和SoIC三种，其中CoWoS、InFO是典型的2.5D封装结构，SoIC是典型的3D封装结构。
- 英伟达、谷歌、赛灵思、AMD等公司已在各自算力芯片中广泛使用CoWoS技术。
- InFO技术自2016年起就已在苹果移动芯片中得到应用。根据WCCFTECH，苹果计划2026年推出的iPhone 18系列所搭载的A20系列处理器将由现行InFO封装转向WMCM封装。
- AMD作为台积电SoIC的首发客户，其于2023年推出的MI300系列采用SoIC+CoWoS封装解决方案，实现超5TB/s带宽。此外，苹果计划将SoIC技术应用用于Mac。

图表：台积电先进封装技术平台



图表：台积电先进封装技术

先进封装技术	相关说明
CoWoS	CoWoS分为CoWoS-S，CoWoS-R，CoWoS-L三类。CoWoS是把芯片封装到中介层上，并使用中介层上的高密度布线进行互连，然后再安装在封装基板上。在CoW步骤中，多个芯片通过先进的连接技术(如微凸块、硅通孔等)堆叠在晶圆上，形成高度集成的芯片堆叠结构。在WoS步骤中，堆叠结构被封装在基板上，通过基板与外部电路进行连接。整个封装过程中，CoWoS技术充分利用了硅通孔(TSV)等先进技术，实现了芯片间的高效互联和信号传输。
InFO	InFO是在FOWLP工艺上的集成，即多个芯片Fan-Out工艺的集成，而FOWLP则偏重于Fan-Out封装工艺本身，多是单芯片封装。台积电根据InFO封装的结构将其分为InFO-PoP和InFO-oS。
SoIC	SoIC是一种创新的多芯片堆叠集成技术，能对10纳米以下的制程进行晶圆级的集成。该技术特点是没有凸点(no-Bump)的键合结构，因此具有更高的集成密度和更佳的性能。SoIC包含CoW(Chip-on-wafer)和WoW(Wafer-on-wafer)两种技术形态。

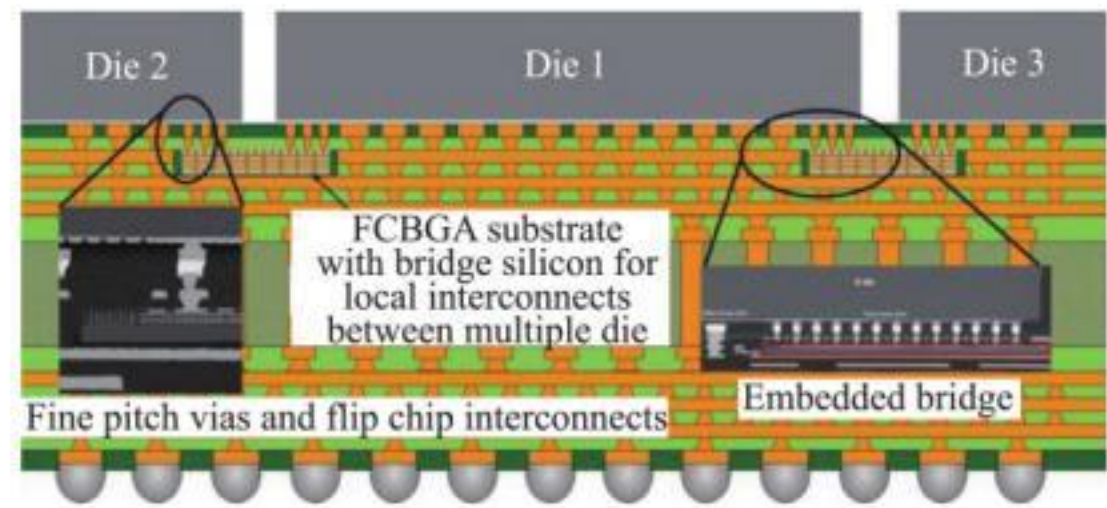
英特尔：EMIB是首个2.5D嵌入式桥接解决方案，Co-EMIB融合EMIB和Foveros

- 英特尔先进封装技术主要包括Foveros、ODI、EMIB和Co-EMIB四种，其中EMIB是典型的2.5D封装结构。
- EMIB不使用其他方法常见的大型硅中介层，而是采用具有多个布线层的小型桥接芯片。作为首个2.5D嵌入式桥接解决方案，EMIB与CoWoS相比主要优势在于避免了转接板所带来的生产费用、工艺限制和尺寸约束的问题。

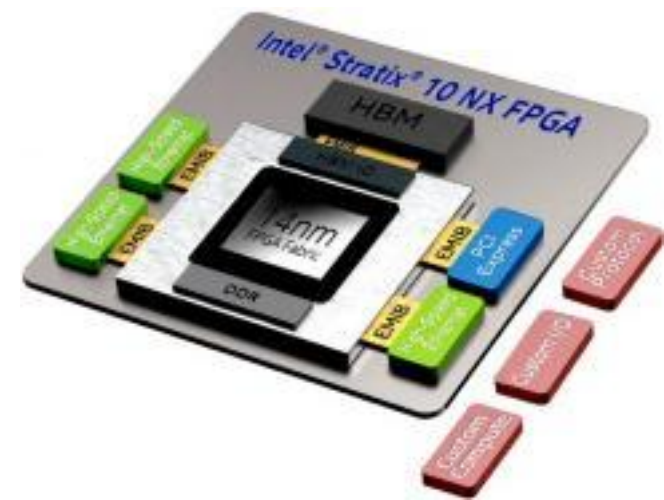
图表：英特尔先进封装技术

先进封装技术	相关说明
Foveros	Foveros 3D封装技术通过高密度、高带宽和低功耗的互连方式，将多个制程工艺制造的模块组合成复合体晶片，不仅可以最大限度地减少晶片之间的互连分区开销，而且可以提高晶圆的良率。Foveros Direct是在Foveros的基础上使用铜与铜的混合键合取代Bump，把凸点间距缩小到10微米以下，从而大幅提高芯片互连密度和带宽。
ODI	ODI封装架构中，顶部的芯片可以像EMIB一样与其他小芯片进行水平通信，直接芯粒到芯粒互连以获得最大带宽、可扩展性和最短通道，还可像Foveros，通过硅通孔(TSV)与底部裸片进行垂直通信，顶部和底部芯片到封装互连以实现直接功率传输和减少IO寄生。
EMIB	EMIB，即嵌入式多芯片互联桥，在需要高密度互连的芯片部位通过将硅片嵌入基板，形成高密度互连桥。其他区域则通过基板进行互连。在同一个封装内，甚至在同一个芯片的不同区域，EMIB互连和常规互连共存。EMIB-T是英特尔EMIB技术的新版本，它通过加入硅通孔来改善芯片之间的电源传输和数据通信。
Co-EMIB	Co-EMIB技术通过使用EMIB和Foveros的组合来融合2D和3D的技术。EMIB负责提高水平互连的密度，Foveros负责打通垂直互连通道，通过Co-EMIB技术可将多达几十个芯片放入一个封装中。

图表：EMIB结构



图表：基于EMIB技术的Stratix10芯片



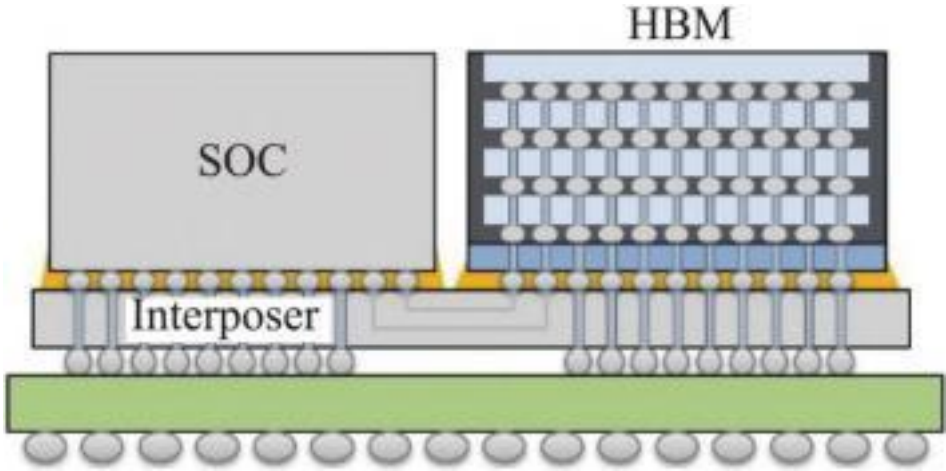
三星：I-Cube对标CoWoS，推出SAINT技术构建3D封装新体系

- 三星先进封装技术包括I-Cube、H-Cube、X-Cube和SAINT四种，其中I-Cube和H-Cube属于2.5D封装，X-Cube和SAINT属于3D封装。
- I-Cube通过在硅中介层上水平放置多个逻辑裸片（如CPU、GPU）和HBM裸片实现异构集成，使多个裸片在一个封装中像单个芯片一样协同工作。百度昆仑处理器采用三星I-Cube2技术进行封装，具有数千个内核，可提供高达512GB/s的内存带宽，可容纳2个HBM2，封装内存总计16GB。
- 此外，三星推出SAINT技术构建3D封装新体系。

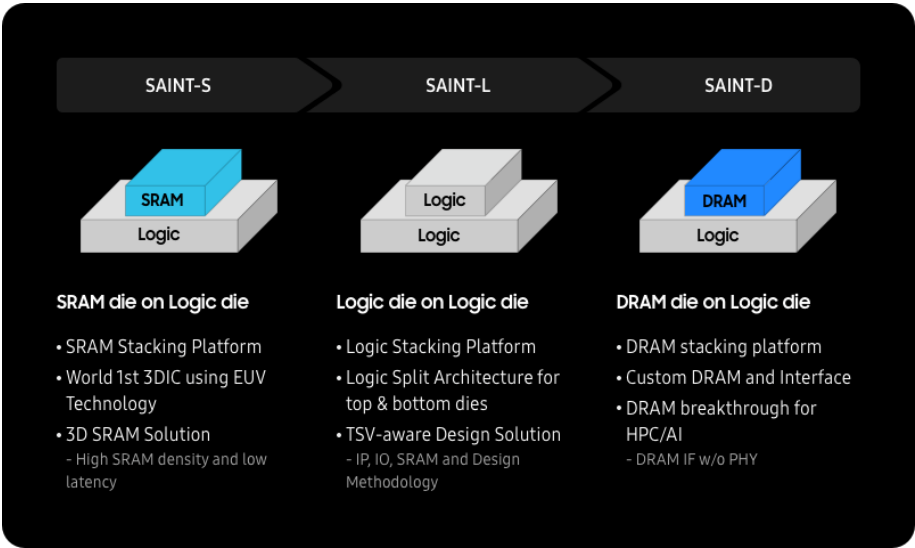
图表：三星先进封装技术

先进封装技术	相关说明
I-Cube	I-Cube 2.5D封装技术，以TSV和BEOL技术为基础，通过水平并行的方式集合两个以上不同尺寸和功能的芯片。根据中介层的不同，分I-CubeS和I-CubeE两种，分别对标台积电的CoWoS-S和CoWoS-L。I-CubeS采用硅中介层。I-CubeE无TSV结构，采用嵌入式硅桥。
H-Cube	H-Cube 2.5D封装技术，是一种混合基底结构，将精细成像的 ABF基底和HDI基底技术相结合，可在I-Cube 2.5D封装中实现较大的封装尺寸。其拥有硅中介层、小面积ABF载板和大面积HDI基板，适用于多个逻辑芯片和HBM的复杂系统专用于需要高性能和大面积封装技术的高性能计算、人工智能、数据中心和网络产品等领域。
X-Cube	X-Cube 3D IC封装技术，使用TSV技术在逻辑芯片上堆叠存储器芯片，该技术采用在Z轴堆叠逻辑裸片的方法，将芯片垂直堆叠起来，大幅缩短互联距离、节省封装面积，直接对标台积电的SoIC技术。
SAINT	SAINT技术体系涵盖三种不同的3D堆叠技术：用于SRAM的SAINT-S、用于逻辑的SAINT-L和用于在CPU或GPU等逻辑芯片之上堆叠DRAM的SAINT-D。

图表：I-Cube的典型结构



图表：三星SAINT技术涵盖三大平台

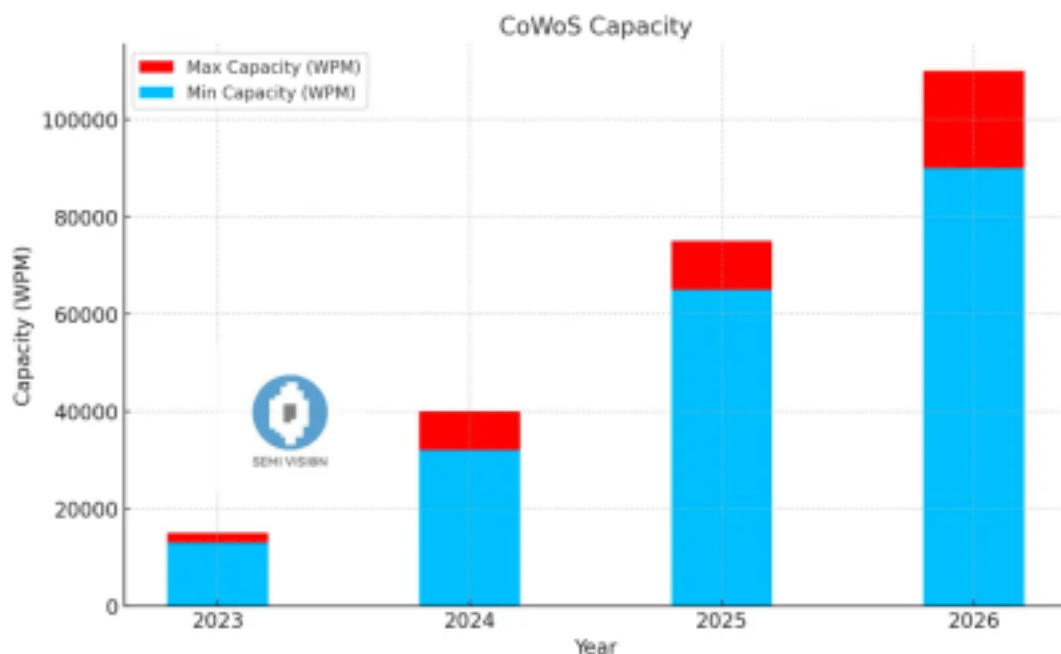


- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

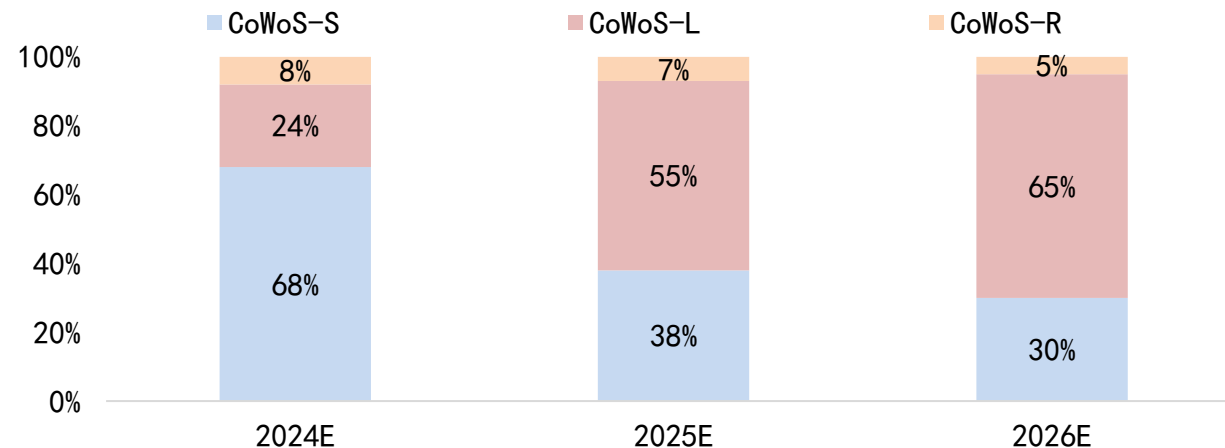
CoWoS-S最高支持3.3x 掩模版尺寸，CoWoS-L将成为主流

- CoWoS-S最高支持3.3x 掩模版尺寸（约2700mm²）的硅中介层。
- 从产能分布看，CoWoS-L将逐步取代CoWoS-S成为主流。

图表：台积电CoWoS产能（WPM）



图表：台积电CoWoS平台产能分布（%）



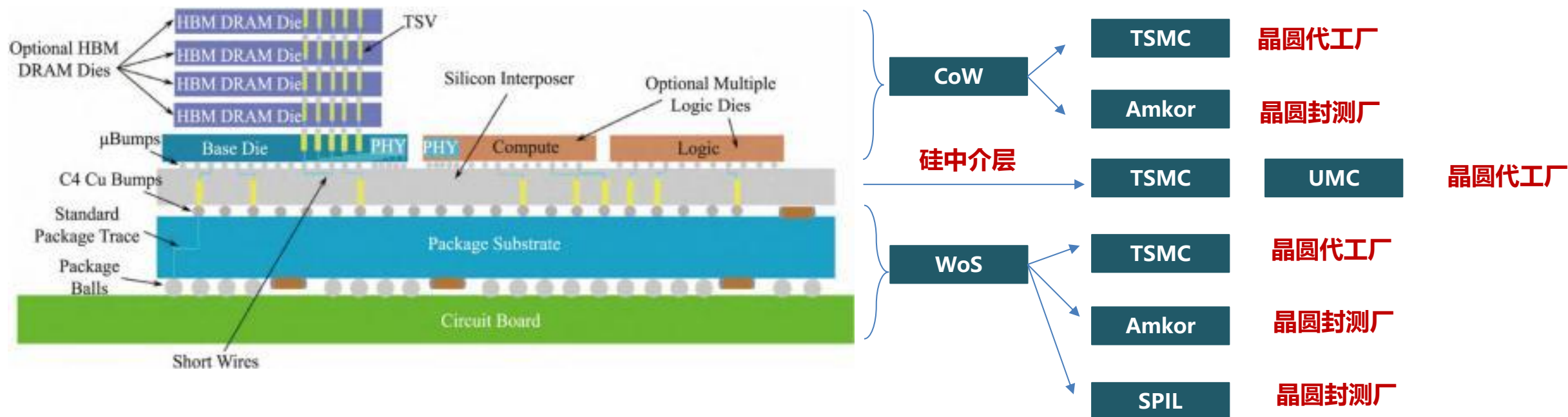
图表：台积电CoWoS平台发展路线图



CoWoS产能成为英伟达AI芯片供应瓶颈，台积电引入其他代工/封测厂以扩充产能

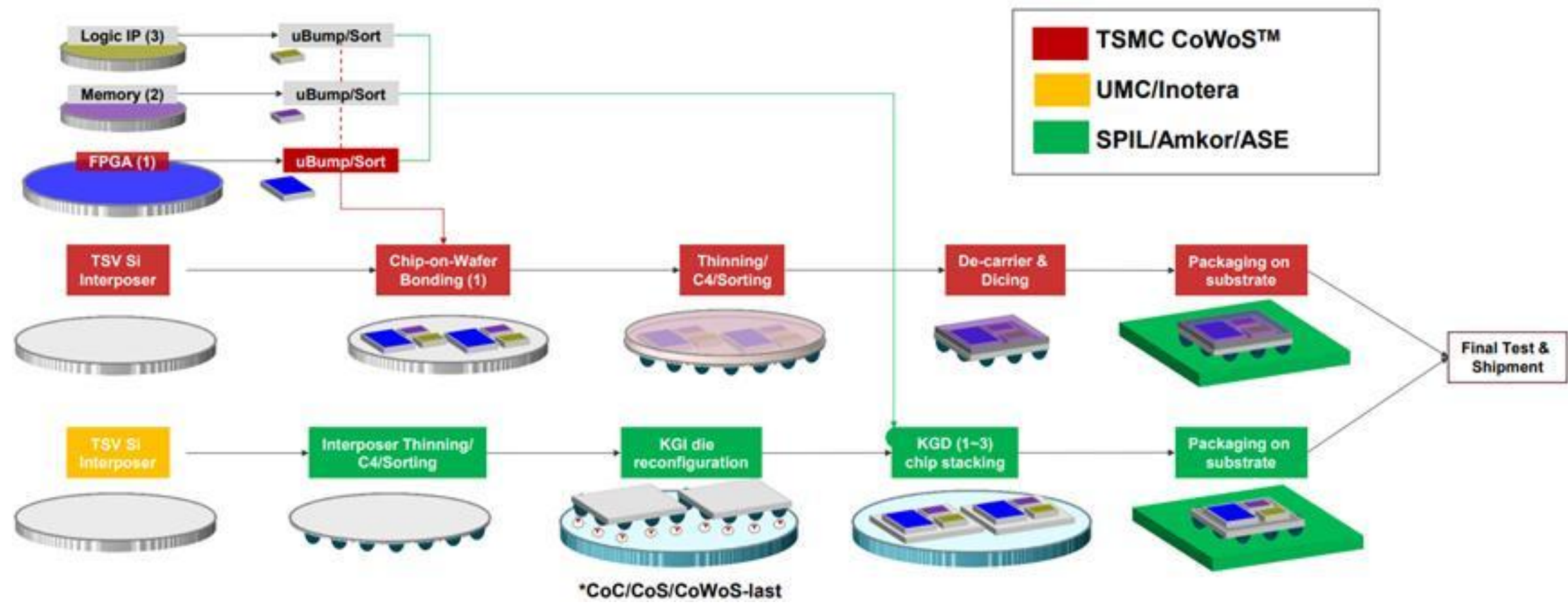
- CoWoS产能成为英伟达AI芯片供应瓶颈。台积电正积极扩产，同时引入其他代工厂（如联电）和封测厂（如Amkor）以扩大产能。
- 我们认为国内龙头封装公司将受益于这一产业趋势，与国内AI芯片供应链合作以突破先进封装。

图表：英伟达CoWoS供应链



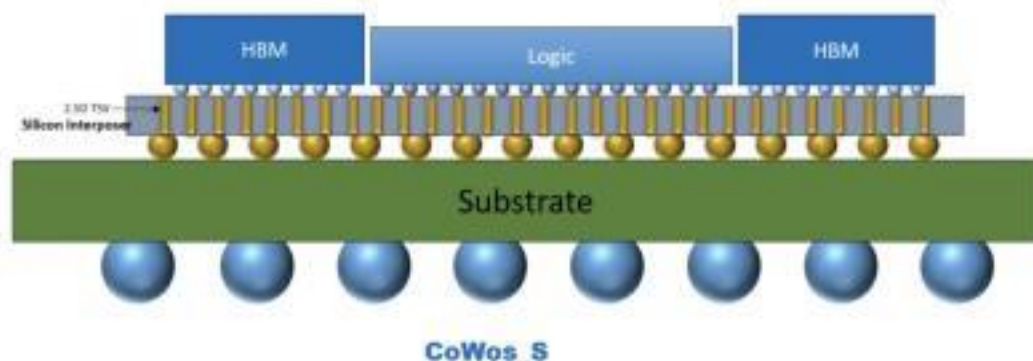
CoWoS产能成为英伟达AI芯片供应瓶颈，台积电引入其他代工/封测厂以扩充产能

图表：CoWoS制作流程

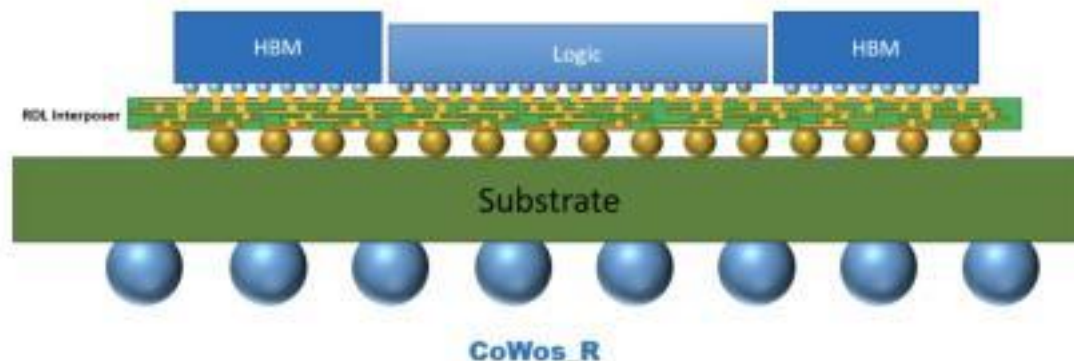


CoWoS-S最高支持3.3x 掩模版尺寸，CoWoS-L将成为主流

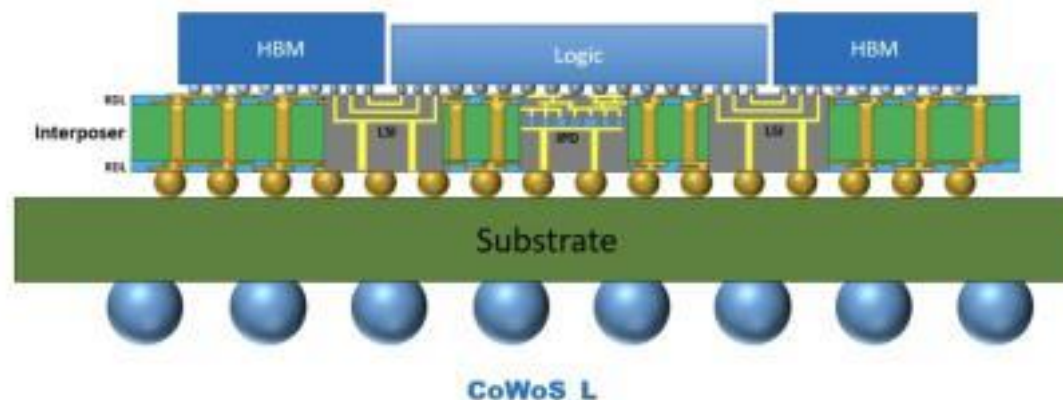
图：CoWoS-S，支持最高达3.3X掩模版尺寸（约2700mm²）的 Silicon Interposer



图：CoWoS-R，RDL interposer由最多6层铜组成，可支持最小2um线宽/间距

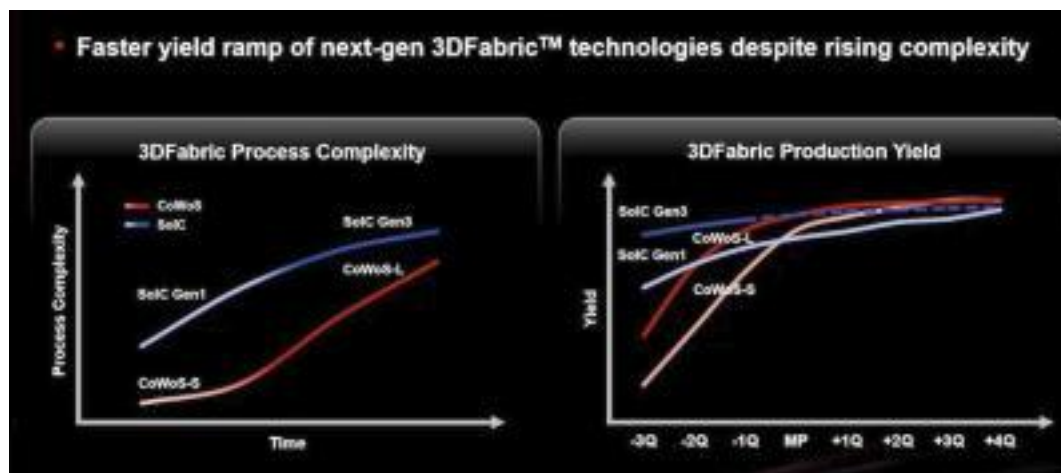
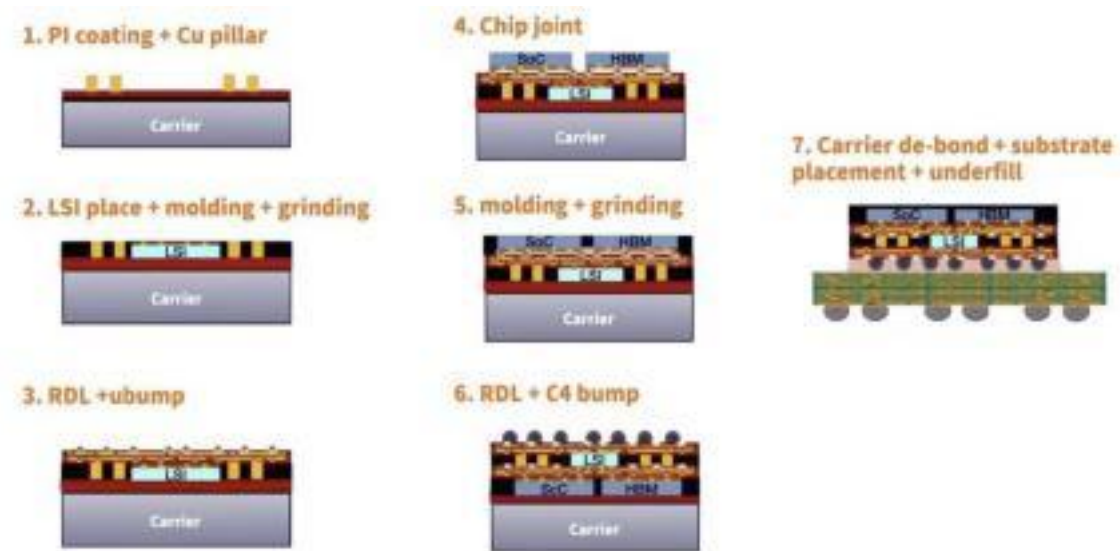


图：CoWoS-L，结合S和R的技术优点，采用RDL中介层与局部硅互连LSI，LSI支持多层亚微米铜线互连，封装尺寸支持大于3.3X掩模版尺寸



CoWoS-L生产流程（chip-last工艺）

图：CoWoS-L生产流程（chip-last工艺）



图：CoWoS-L生产流程

①涂覆一层PI，
并制作Cu柱

②放置LSI，注
入Molding材料
后研磨

③制作RDL，放
置Micro Bump

④将晶片放置在
Micro Bump上

⑤注入Molding
材料研磨

⑥再次制作RDL，
放置C4 Bump球

⑦临时解键合，
移除临时载板，
放置在IC载板
填充underfill
底胶

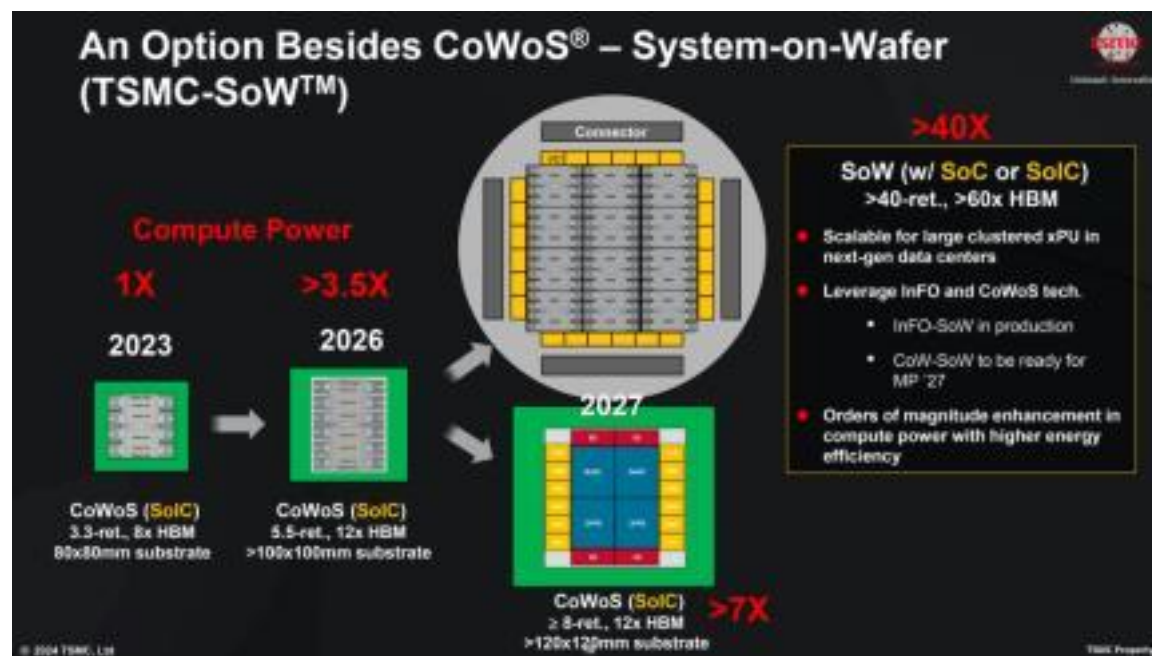
中介层尺寸不断增大，板级封装成为共识

- 随着中介层尺寸不断增大，板级封装成为共识。板级先进封装在能够保证封装精度情况下拥有更高的产出效率、更少的物料损耗和更大的有效曝光面积等优势，同时减少了涂料的浪费，相较其他封装方式拥有更低成本。
- 此外，中介层材料从CoWoS-L的有机材料变成玻璃基板，更好的热稳定性和高平整度，TGV技术成为核心。

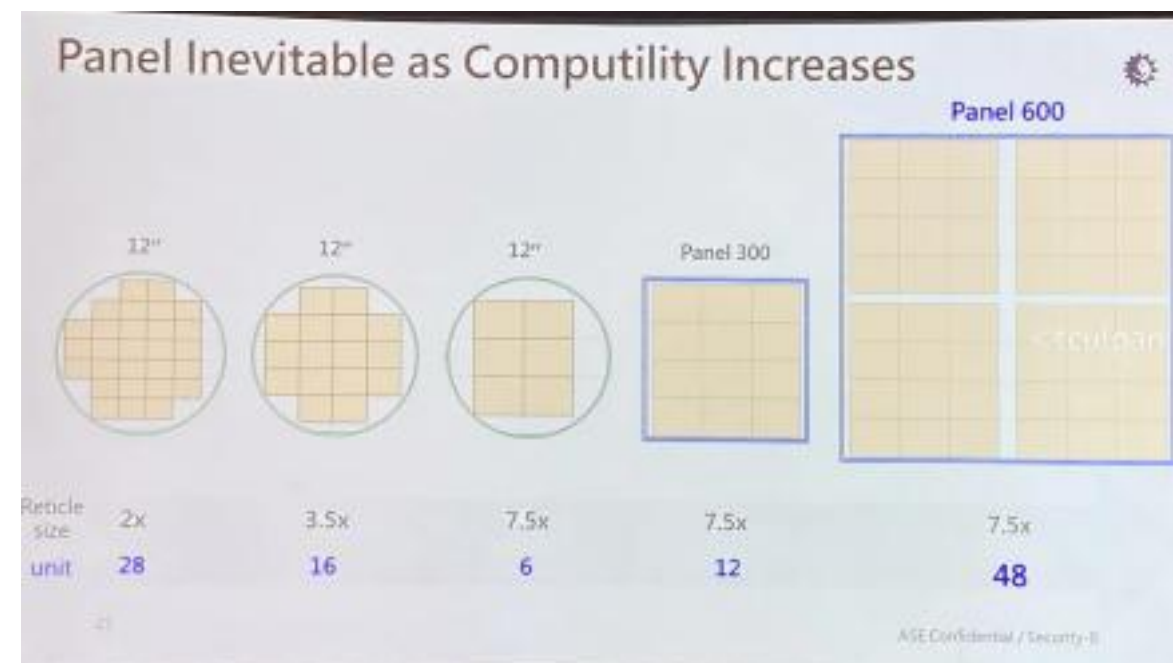
图表：板级封装有着更好的产出效率

Interposer (Reticle Size)	300 Wafer DPW	300 Panel DPP	300 Panel Vs. Wafer
1.3x	46	60	+30%
2.6x	22	32	+45%
3.5x	16	25	+56%
5.5x	9	16	+78%

图表：2026年预计会出现5.5Retical产品，比当前3.3倍几乎翻倍增长



图表：日月光板级封装解决方案



- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

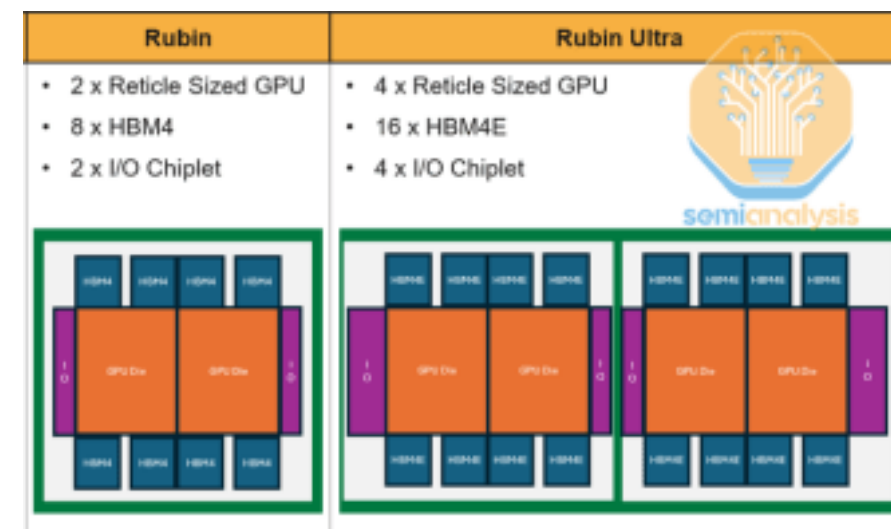
英伟达自Blackwell系列起开始采用CoWoS-L封装

- 英伟达Hopper系列芯片采用CoWoS-S封装，自Blackwell系列起开始采用CoWoS-L封装。
- 英伟达Rubin系列芯片采用CoWoS-L封装，现已完成流片，预计2026年实现量产。
- CoWoP方案短期不太可能规模量产，板级封装成共识。

图表：英伟达GPU产品路线图

Nvidia Roadmap							
	2022	2023	2024	2025		2026	2027
Chip and Package Level							
	Hopper		Blackwell			Rubin	
Accelerator	H100 (SXM)	H200	B200/ GB200	GB300 (Ultra)	B300 (single die, B300A)	VR200	VR300 (Ultra)
GPU TDP (W)	700	700	700/1200	1,400	600	1,900	2,600
Foundry Node	4N		4NP			3NP (3NP)	
Logic Die Configuration	1 x Reticle Sized GPU		2 x Reticle Sized GPU			2 x Reticle Sized GPU, 2x I/O chiplet	4 x Reticle Sized GPU, 2x I/O chiplet
FP4 PFLOPs - Dense (per Package)	4*		10	15	4.6	33.3	66.7
HBM	80GB HBM3	141GB HBM3E	180GB HBM3E	288GB HBM3E	144GB HBM3E	288GB HBM4	1024GB HBM4E
HBM Stacks	5	6	8	8	4	8	16
HBM Bandwidth	3.35TB/s	4.8TB/s	8TB/s	4TB/s	4TB/s	13TB/s	32TB/s
Packaging	CoWoS-S		CoWoS-L			CoWoS-L	
SerDes speed (Gbits uni-di)	112G		224G			224G	224G
Nvidia CPU			Grace			Vera	
System Form Factor							
Maximum system density	NVL8		NVL72 144 compute chiplets 72 GPUs		NVL16	NVL144 144 compute chiplets 72 GPUs	NVL576 576 compute chiplets 144 GPUs
Form Factor Supported	HGX		HGX, Oberon			HGX, Oberon, Kyber	
# of GPU Packages	8		72	72	16	72	144
# of GPU dies	8		144	544	16	544	576
Scale up links	USB (PCB)		Copper Backplane		USB (PCB)	Copper Backplane	PCB Backplane
Aggregate FP4 PFLOPs (Dense)	32*		720	1,800	74	2,398	9,606
Aggregate HBM capacity	54TB	14TB	14TB	21TB	64TB	21TB	147TB
Aggregate HBM bandwidth	27TB/s	30TB/s	57TB/s	57TB/s	64TB/s	93TB/s	4,608TB/s

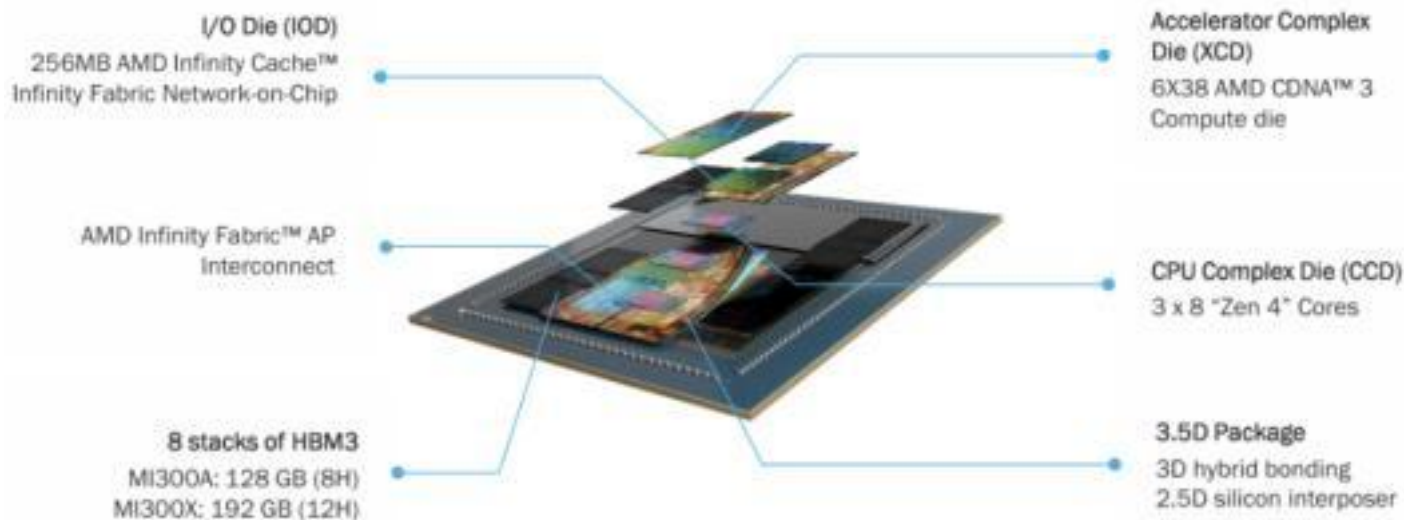
图表：英伟达GPU产品架构



AMD将SoIC封装技术应用于CPU和GPU产品

- AMD通过采用扇出RDL和SoIC封装技术以拓展CPU和GPU产品的本地缓存。CPU产品方面，Ryzen 5 5800X3D采用第一代SoIC技术，Ryzen 7 7800X3D中采用第二代SoIC技术。GPU产品方面，MI325X/MI350/MI400系列均采用SoIC封装技术。
- 2024年12月，台积电展示了其第三代SoIC技术，键合密度是第二代技术的1.85倍。

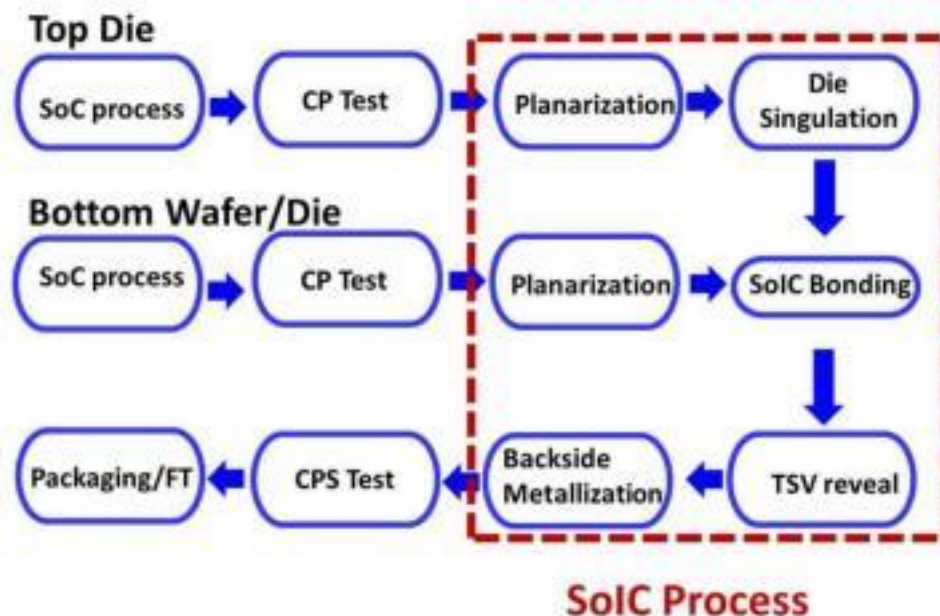
图表：AMD Instinct MI300模块化chiplet封装的详细结构



图表：台积电第二和第三代SoIC技术指标对比

	Previous SoIC Generation	Next SoIC Generation
SoIC Bonding Density	1.00X	1.83X
Power efficiency	1.00X	1.07X
Bandwidth/power	1.00X	1.96X

图表：台积电第三代SoIC技术工艺流程



国产算力芯片厂商正积极布局先进封装技术，并向CoWoS-L等方向拓展

- 国产算力芯片厂商正积极布局先进封装技术，并向CoWoS-L等方向拓展。
- 华为于2023年申请了一项四颗die合封结构的专利，其中die间互连采用的是类CoWoS-L技术，即RDL+嵌入式硅桥。

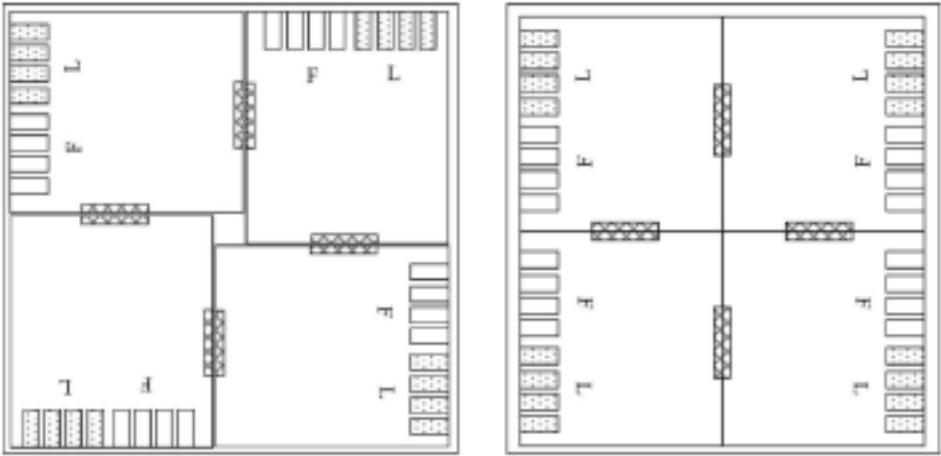
图表：国产算力芯片厂商积极布局先进封装技术

公司	封装技术布局
寒武纪	公司拟投资29亿元开展面向大模型的芯片平台项目，项目建设内容包括开展面向大模型需求的先进封装实现关键技术研究，建设先进封装技术平台，灵活高效地支撑不同场景下差异化产品的封装。
沐曦股份	公司掌握行业内先进的MCM、2.5D CoWoS-S封装设计能力。公司芯粒架构有较强的通用性和可重构性，可采用单芯粒、多芯粒同构或异构封装等多种封装形式。公司已完成或正在进行国内外多家知名封装厂先进封装的导入和量产验证，并引入对2.5D CoWoS-L和Silicon Bridge等先进封装形态的应用扩展。
摩尔线程	公司新一代AI芯片采用Chiplet技术，通过先进封装与小芯粒设计，实现了多芯片模块（MCM）架构，有效整合高效算力。公司联合国内封装测试厂商，完成Chiplet与2.5D封装（国产硅中介层）量产和测试，提升互连密度、性能，降低功耗，实现先进封装测试国产化。

图表：华为昇腾芯片路线图

芯片	昇腾 910C	昇腾 950PR	昇腾 950DT	昇腾 960	昇腾 970
时间	2025Q1	2026Q1	2026Q4	2027年Q4	2028年Q4
微架构	SIMD	SIMD/SIMT	SIMD/SIMT	SIMD/SIMT	SIMD/SIMT
数值类型	FP32/HF32/FP6/BF16/INT8	FP32/HF32/FP16/BF16/FP8/MXFP8/HiF8/MXFP4	FP32/HF32/FP16/BF16/FP8/MXFP8/HiF8/MXFP4/HiF4	FP32/HF32/FP16/BF16/FP8/MXFP8/HiF8/MXFP4/HiF4	FP32/HF32/FP16/BF16/FP8/MXFP8/HiF8/MXFP4/HiF4
互联带宽	784GB/s	2TB/s	2.2TB/s	4TB/s	4TB/s
算力	800TFLOPS FP16	1PFLOPS FP8 2PFLOPS FP4	2PFLOPS FP8 4PFLOPS FP4	4PFLOPS FP8 8PFLOPS FP4	8PFLOPS FP4
内存	128GB 3.2TB/s	128GB 1.6TB/s	144GB 4TB/s	288GB 9.6TB/s	288GB 14.4TB/s

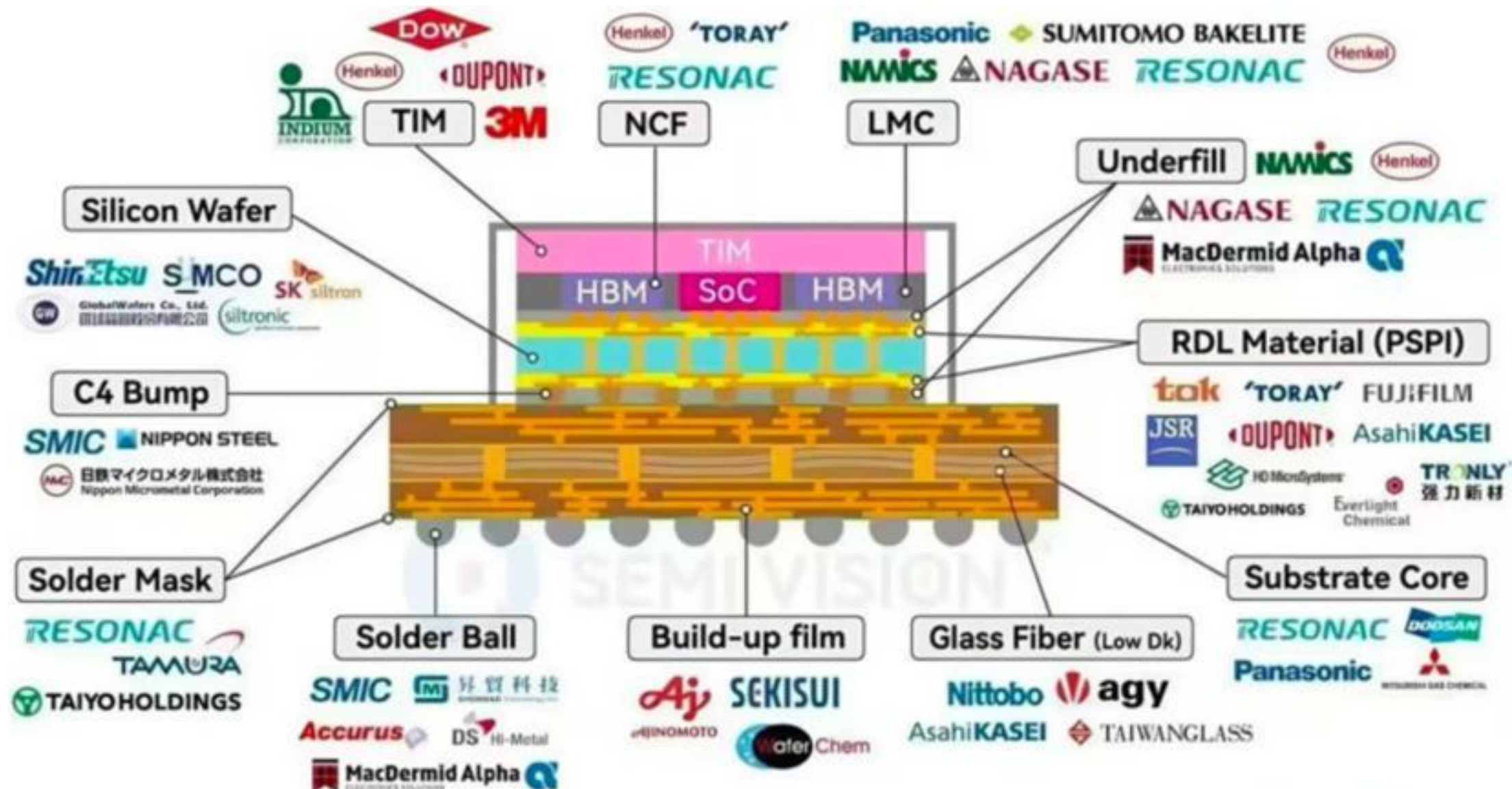
图表：华为四颗die合封结构图



- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

分类	相关说明	国产主要厂商	相关应用实例	作用说明
新增中前道设备	光刻机	芯碁微装、上海微电子、芯上微装等	RDL	在芯片表面或中介层上定义金属布线的图案，实现信号的重新分布
			Bumping	定义微凸点或铜柱图案，用于芯片与基板的电气连接
			TSV对准与图案化	通过光刻定义TSV孔的开口位置
	涂胶显影设备	芯源微、盛美上海等	光刻工艺配套	在光刻前涂覆光刻胶，显影后形成图案
			TSV/凸点工艺	在TSV或凸点制作中，光刻胶用于定义刻蚀或电镀区
	刻蚀设备	北方华创、中微公司、盛美上海等	TSV刻蚀	在硅中介层或芯片中刻蚀高深宽比的TSV孔
			RDL图形化	刻蚀金属层以形成精细的金属线路
	薄膜沉积设备	北方华创、中微公司、拓荆科技、微导纳米等	RDL沉积	沉积铜、铝等金属层，形成电路连接
			TSV金属填充	填充TSV孔以实现垂直互连
			介质层沉积	沉积绝缘层(如SiO ₂ 、SiN)，隔离金属线路
原有后道设备	划片机	华海清科、光力科技、迈为股份等	薄芯片切割	切割超薄芯片
			WLP	切割晶圆级封装后的芯片
			芯片薄化	将芯片减薄
	减薄/抛光机	华海清科、盛美上海、晶盛机电、光力科技、迈为股份等	中介层处理	减薄硅中介层
			高精度贴装	将芯片以纳米级精度贴装到中介层或基板
	固晶机	新益昌、华封科技等	多芯片堆叠	实现多层芯片的垂直堆叠
			混合键合	实现Cu-Cu或SiO ₂ -SiO ₂ 共价键合
	键合机	拓荆科技、迈为股份、青禾晶元、艾科瑞思	热压键合	用于TSV凸点或微凸点的回流焊接
		迈为股份、快克智能、普莱信	临时键合	将芯片键合到载片以实现薄化或堆叠
		芯源微、迈为股份、青禾晶元	扇出型封装	将芯片嵌入环氧树脂并形成RDL
	模塑机	耐科装备、文一科技	多芯片模塑	封装多芯片异构集成(如Chiplet)
			TSV填充	电镀铜或钨填充深孔
			RDL金属化	沉积铜或铝作为重布线层
	电镀设备	北方华创、盛美上海等	Bump制作	形成微凸点(如铜柱或金凸点)
			TSV/混合键合前清洗	去除表面颗粒和有机物(如等离子清洗)
			电镀后清洗	清除金属残留和溶液污染
	清洗设备	北方华创、芯源微、盛美上海		
	量检测设备	中科飞测、精测电子、拓荆科技、长川科技等	fine RDL、micro bump、以及混合键合等诸多工艺	

先进封装所需的主要材料（以CoWoS为例）



- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

OSAT：甬矽电子（688362.SH）

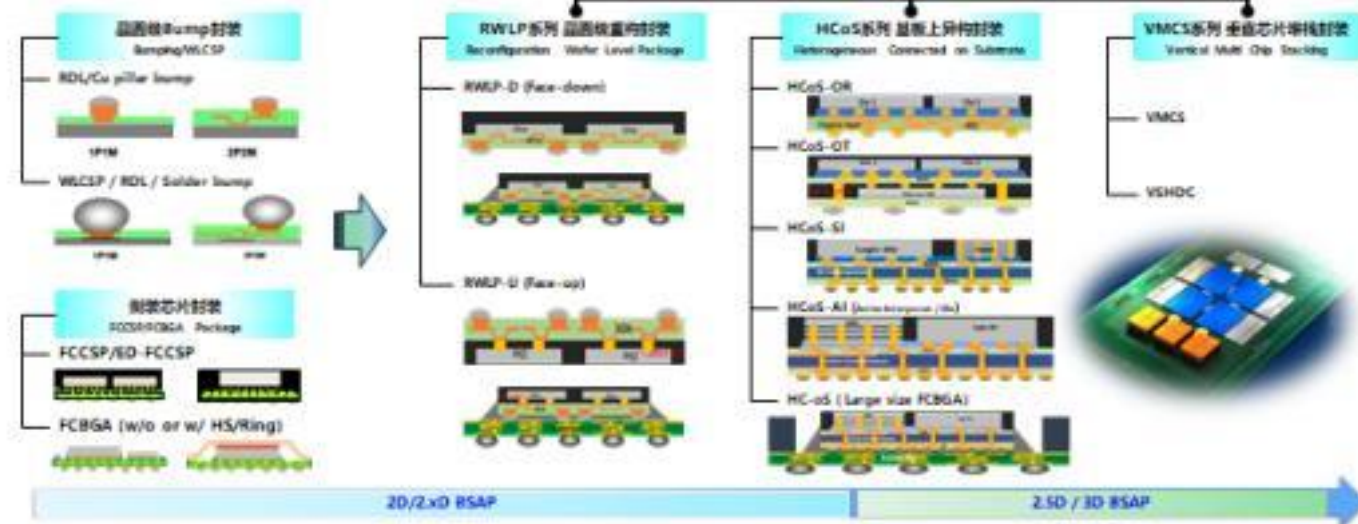
- 甬矽电子专注于中高端先进封装和测试业务，“Bumping+CP+FC+FT”的一站式交付能力不断提升，成功突破联发科、瑞昱等头部客户，募资提升多维异构封装产能，当前先进封装产线稼动率持续上升，成熟产线稼动率饱满，业绩有望实现稳步增长。
- 甬矽电子自主构建的FHBSAP®（Forehope - Brick - Style Advanced Package）积木式先进封装技术平台取得一系列的技术突破，涵盖RWLP系列（晶圆级重构封装，Fan-out 扇出封装）、HCOS系列（2.5D晶圆级/基板上异构封装）、Vertical系列（晶圆级垂直芯片堆栈封装）等，精准适配Fan-out（F0）、2.5D/3D先进晶圆级封装等多元化先进封装技术需求。

图表：甬矽电子FHBSAP积木式先进封装技术平台

FHEC Chiplets Advanced Package

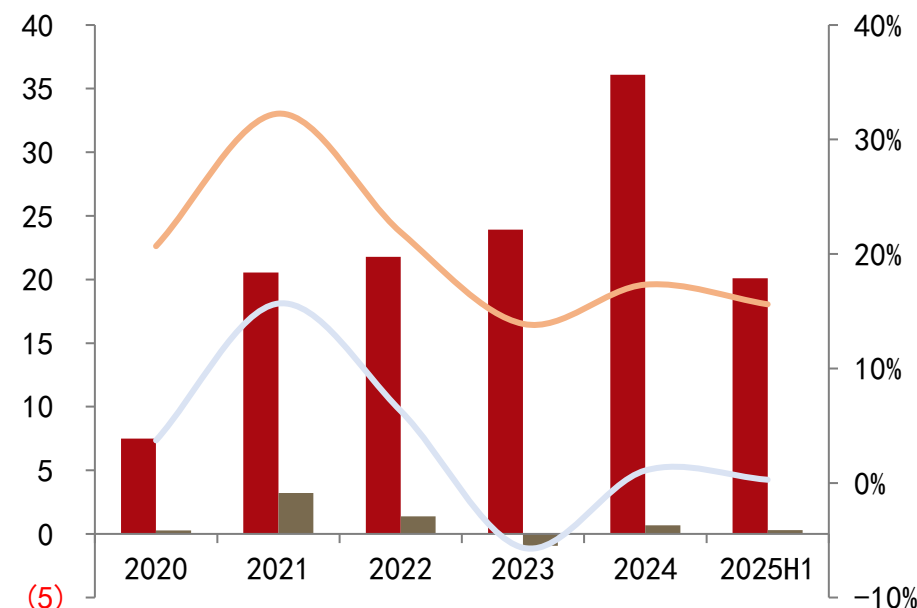
□ 甬矽“积木式先进封装技术”平台：FHBSAP® (证书：第78121592号)

— FHEC - Brick Style Advanced Package Platform



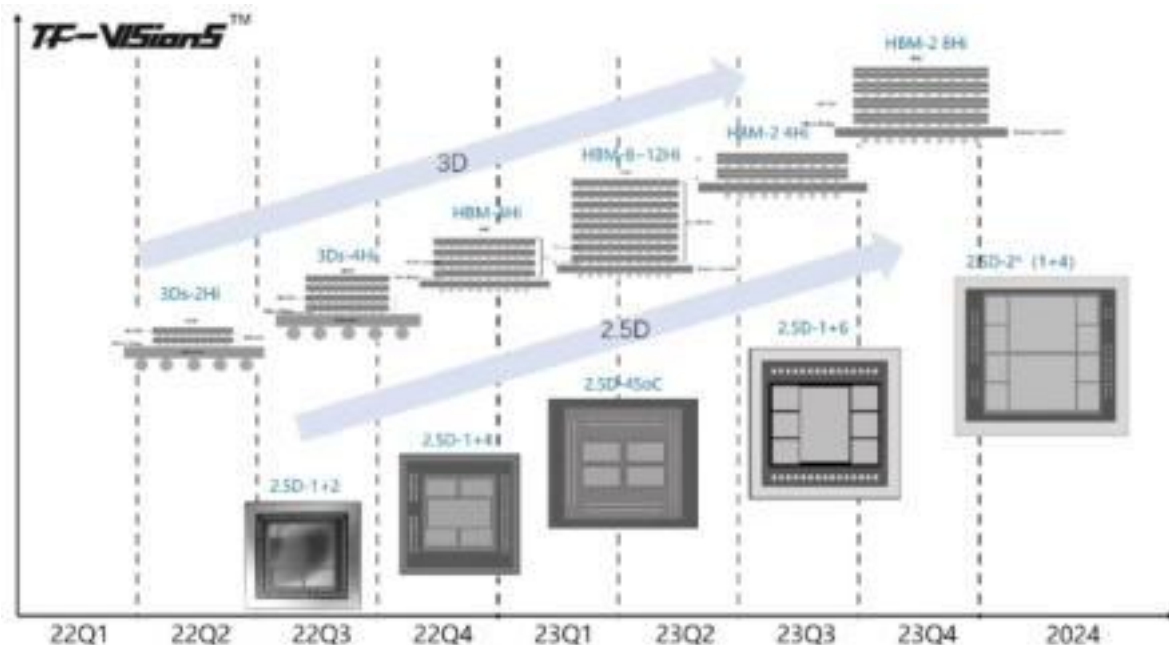
图表：甬矽电子历年财务数据（亿元，%）

■ 营收 ■ 归母净利润 — 毛利率 — 净利率

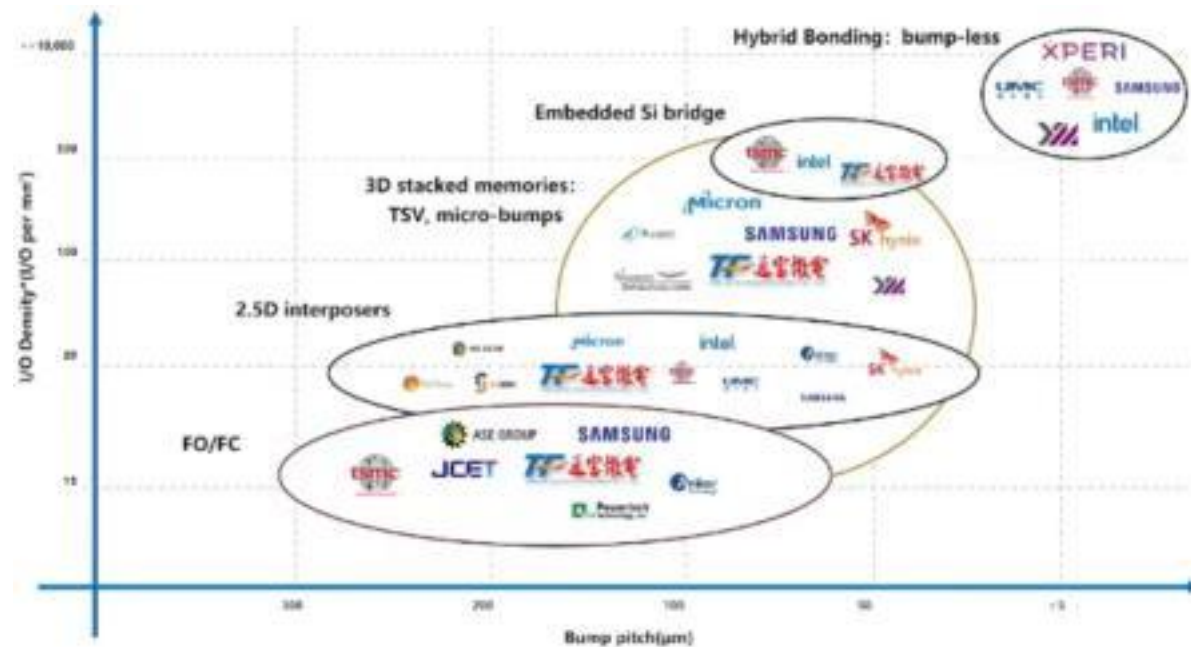


- 通富微电是AMD最大的封测供应商，占其订单总数的80%以上。通富微电已在通富超威槟城成功布局先进封装业务，通过绑定大客户有望在先进封装市场实现技术进步和份额提升。
- 通富微电积极布局Chiplet、2D+等顶尖封装技术，形成了差异化竞争优势。公司针对大尺寸多芯片Chiplet封装特点，新开发了Cornerfill、CPB等工艺，增强对chip的保护，芯片可靠性得到进一步提升。

图表：通富微电2.5D/3D Chiplet路线图



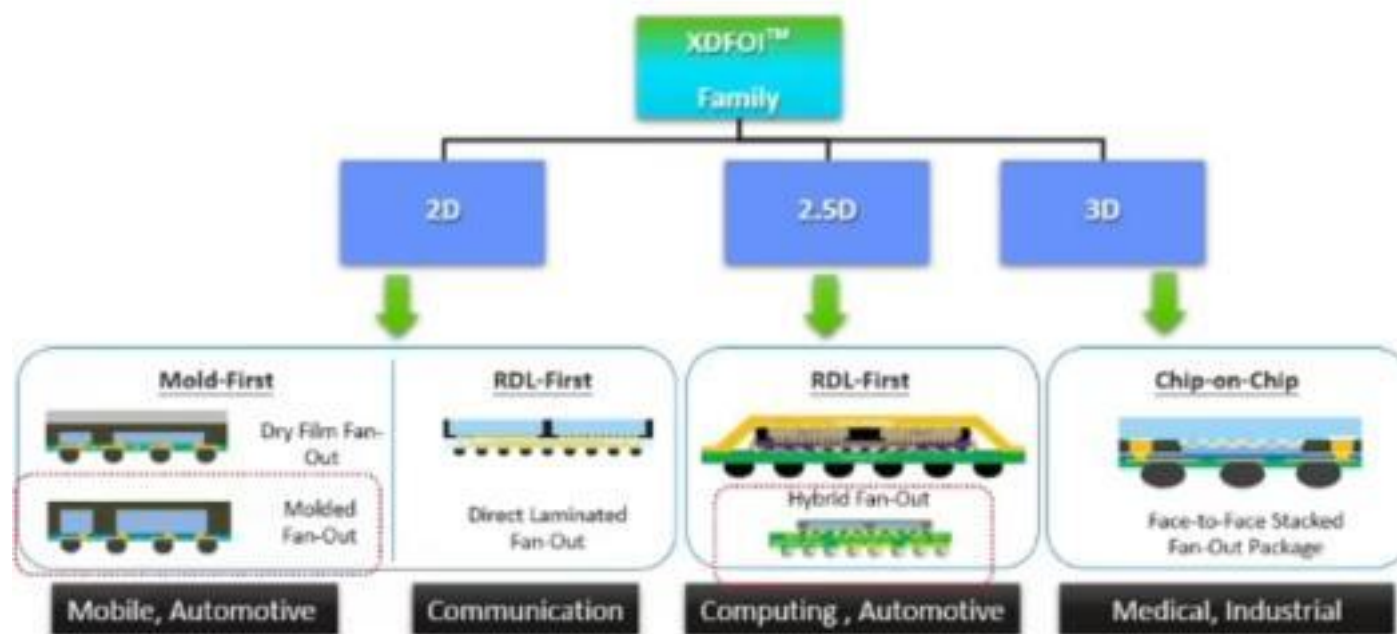
图表：通富微电在Chiplet技术实现全方位布局



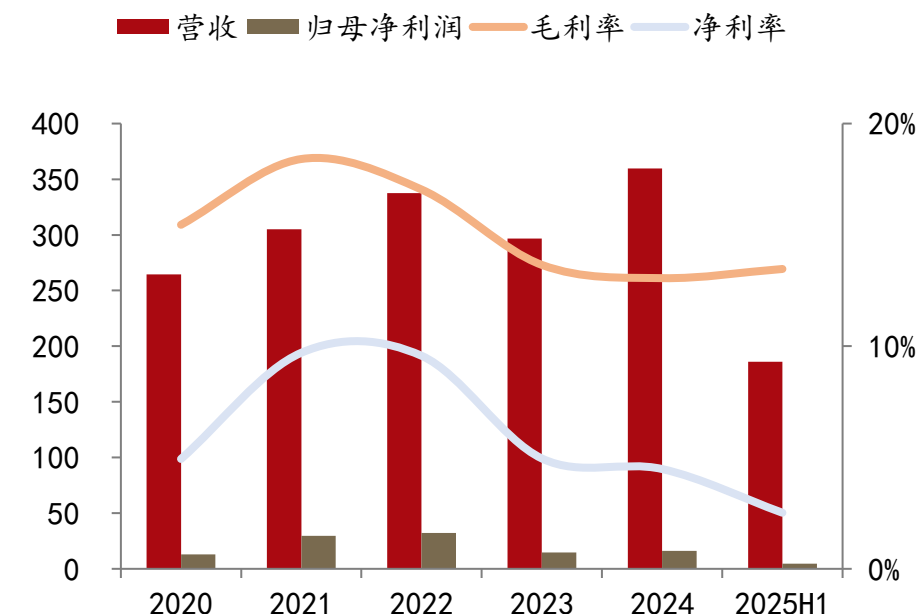
OSAT：长电科技（600584.SH）

- 长电科技聚焦关键应用领域，在高算力（含相应的存储、通讯）、AI 端侧、功率与能源、汽车和工业等重要领域拥有行业领先的半导体先进封装技术（如 SiP、WL-CSP、FC、eWLB、PiP、PoP 及 XDFOI®系列等）以及包括高速数字、模拟及混合信号、射频集成电路测试和资源优势，实现规模量产，能够为市场和客户提供量身定制的技术解决方案。
- 在高性能先进封装领域，长电科技推出XDFOI®芯粒高密度多维异构集成系列工艺，已进入量产阶段。该技术是一种面向芯粒的极高密度、扇出型异构封装集成解决方案，利用工艺设计协同优化突破了 2.5D、3D 集成技术。经过持续研发与客户产品验证，长电科技XDFOI®不断取得突破，已应用在高性能计算、人工智能、5G、汽车电子等领域。

图表：长电科技XDFOI®芯粒高密度多维异构集成系列工艺



图表：长电科技历年财务数据（亿元，%）

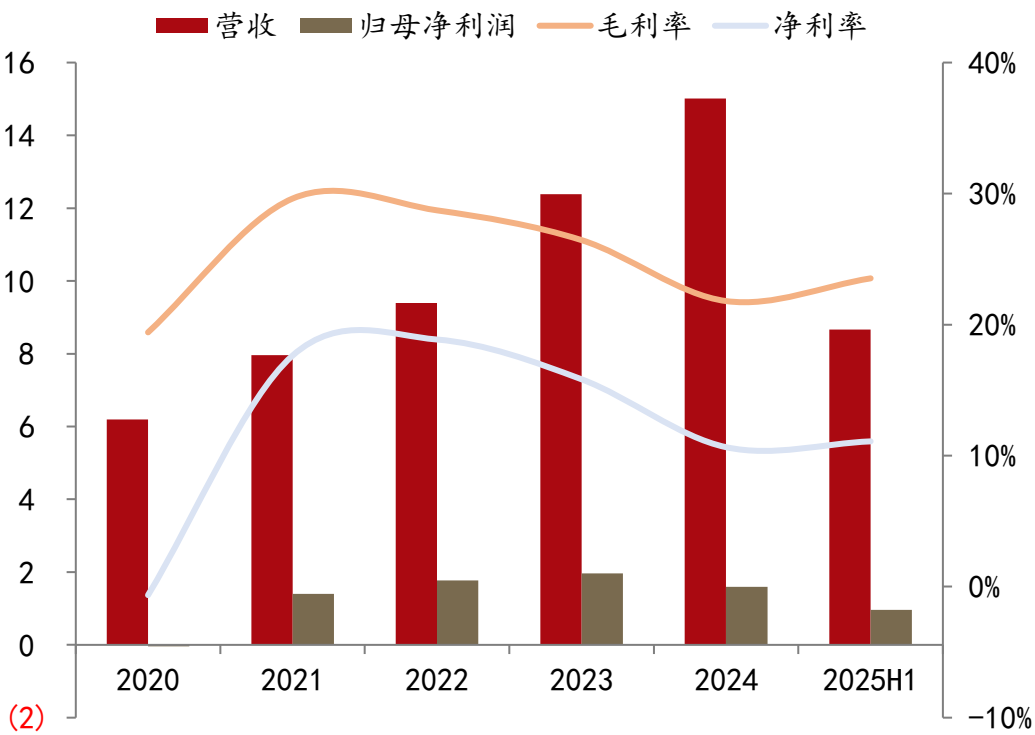


- 汇成股份是中国境内最早具备金凸块制造能力，及最早导入12寸晶圆金凸块产线并实现量产的显示驱动芯片先进封测企业之一，具备8/12寸晶圆全制程封装测试能力。公司主营业务收入可按照凸块制造（Bumping）、晶圆测试（CP）、玻璃覆晶封装（COG）和薄膜覆晶封装（COF）四大制程进行划分。
- 公司将通过对鑫丰科技进行战略投资及与华东科技建立战略合作关系的方式布局DRAM封测业务，并持续拓展以3D DRAM为主的存储芯片先进封装业务。鑫丰科技凭借其原母公司华东科技在DRAM封测领域深厚的技术工艺积累，基于掌握的PoP堆叠封装工艺，是境内最早为长鑫存储提供LPDDR封装配套的封测厂商之一，亦是长鑫存储供应体系中少数具备LPDDR5量产封装能力的重要合作伙伴，目前具备约2万片/月wafer封装产能。
- 本次投资完成后，公司将协同本地国有投资平台及其他产业合作伙伴，持续对鑫丰科技追加投资，助力其于2027年底前DRAM封装产能提升至6万片/月，使其充分受益于长鑫存储等存储芯片龙头厂商产能扩张对产业链上下游厂商的带动效应，并同步拓展定制化DRAM解决方案及3D DRAM先进封装业务，进一步打开市场空间。

图表：汇成股份显示驱动芯片封装测试制程服务介绍

工艺制程	具体介绍	功能特点	应用范围或领域	完成相关制程后的产品图示
Bumping	凸块制造是指通过溅镀、曝光显影、电镀和蚀刻等制程，在晶圆的焊垫上制作凸块，可达到高效的电性传输，替代了传统封装中的导线键合。公司凸块制造工艺可实现凸块宽度与间距最小至 6μm、单片 12 吋晶圆上制造 900 余万颗凸块	该工艺可大幅缩小芯片模组的体积，具有密度大、散热佳、高可靠性等优点	主要应用于显示驱动芯片领域，适用于覆晶封装（FC）技术	
CP	晶圆测试是指用探针与晶圆上的每个晶粒接触进行电气连接以检测其电气特性，对于检测不合格的晶粒用点墨进行标识，在切割环节被淘汰，不再进行下一个制程	该工艺不仅可以鉴别出合格的芯片，直接计算出良率，还可以减少后续不必要的操作，有效降低整体封装的成本	是大多数封装工艺必经的前道工序	
COG	玻璃覆晶封装是指将芯片上的金凸块与玻璃基板上的引脚进行接合并利用胶质材料进行密封隔绝的技术，由封装厂商负责切割成型，面板或模组厂商等负责芯片与面板的接合	是目前较为传统的屏幕封装工艺，也是最具有性价比的解决方案，但由于芯片直接放置在玻璃基板上，占用较大空间，故屏占比不高	主要应用于小尺寸面板，如手机、平板电脑、数码相机等	
COF	薄膜覆晶封装是指将芯片的金凸块与卷带上的内引脚接合，之后由面板或模组厂商等将外引脚与玻璃基板接合	具有高密度、高可靠性、轻薄短小、可弯曲等优点，有利于缩小屏幕边框，提高屏占比	主要应用于电视等大尺寸面板和全面屏手机等	

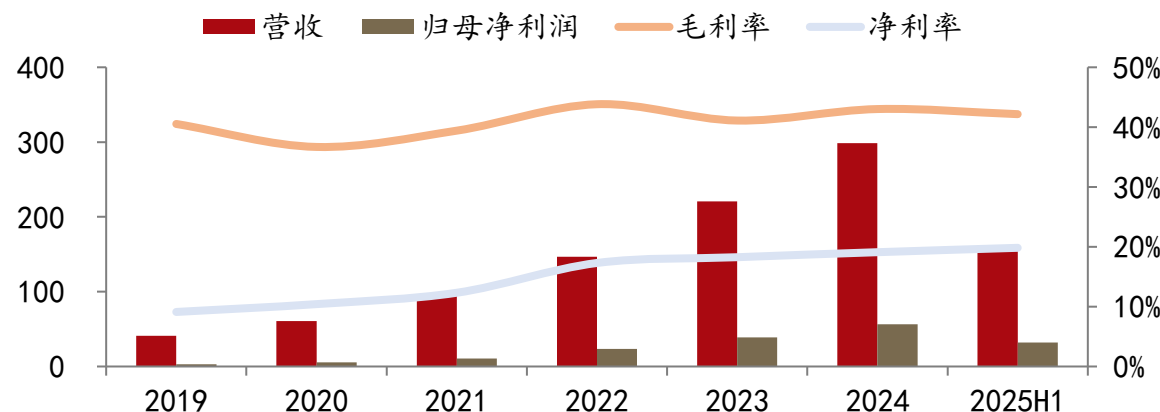
图表：汇成股份历年财务数据（亿元，%）



设备：北方华创（002371.SZ）

- 北方华创布局刻蚀/薄膜沉积/清洗/热处理四大应用领域，打造半导体设备平台型企业。
- 25H1公司实现营收161.42亿元，同比增长29.51%；归母净利润32.08亿元，同比增长14.97%；毛利率42.17%；净利率19.83%。
- 北方华创聚焦TSV工艺全链条创新，推出了覆盖刻蚀、去胶、清洗、ALD、PVD、电镀及退火的综合解决方案，直击三维集成技术的核心挑战，为智能芯片的革新提供坚实支撑。

图表：北方华创历年财务数据（亿元，%）



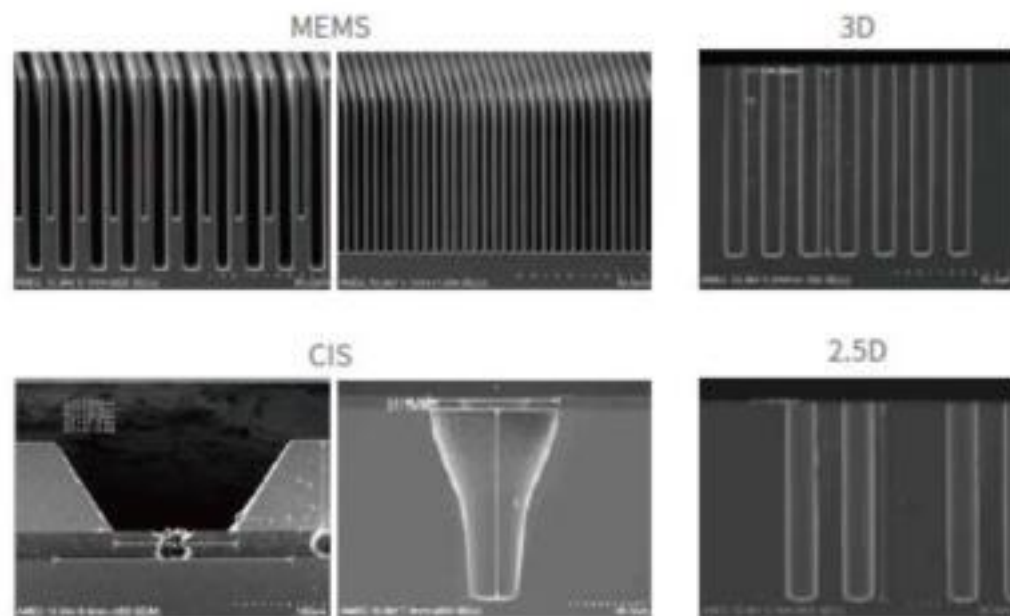
图表：北方华创TSV工艺全链条解决方案



设备：中微公司（688012.SH）

- 中微公司从事高端半导体设备及泛半导体设备的研发、生产和销售，布局刻蚀设备、MOCVD设备、薄膜沉积设备及其他设备四大系列产品。25H1公司营收约49.61亿元，同比增长约43.88%，其中刻蚀设备收入增长约40.12%达37.81亿元，LPCVD薄膜设备收入增长约608.19%达1.99亿元。
- 目前中微针对先进封装应用全面布局刻蚀、CVD、PVD、晶圆量检测设备，且已经发布CCP刻蚀及TSV深硅通孔设备。公司8英寸和12英寸深硅刻蚀设备Primo TSV 200E、Primo TSV300E在晶圆级先进封装、2.5D封装和微机电系统芯片生产线等成熟市场继续获得重复订单的同时，在12英寸3D芯片的硅通孔刻蚀工艺上得到成功验证，并获得在欧洲客户12英寸微机电系统芯片产线上进行机台认证的机会。

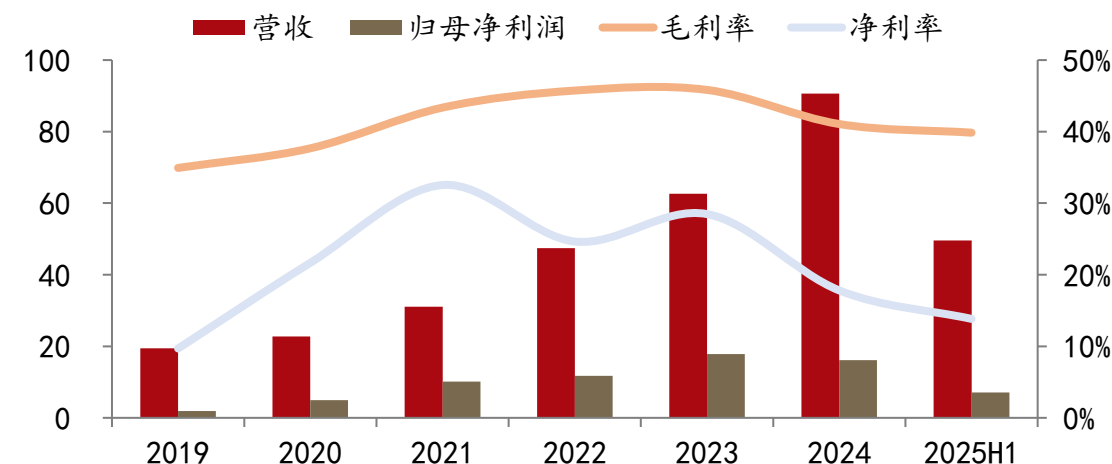
图表：中微公司产品多种不同应用的TSV刻蚀结果



图表：中微公司薄膜沉积设备布局

	2023	2024	2025	2026	2027	2028	2029	2030
W Family	CVD W G1 HAR W G1 ALD W G1	WCN	ALD W G2	CVD W G2 HAR W G2 Liner-free W	→	WX	HAR W G3	→
ALD	TiN G1 TiAl G1 TaN G1	Mo G1	HfOx G1 LaOx G1 AlOx G1	Mo G2 TiN G2	High-k G2 LaOx G2	TiN G3 Mo G3	AlOx G2	→
PE		Ti G1	TiOx G1 Co G1	Ti G2 Co G2 AlOx	TiOx G2 Ad-PTN G1	→	Ad-PTN G2	→
PVD			CuBS G1 (w/ Sel.)	TaN/Al RF-PVD	Impulse PVD CuBS G2	→	CuBS G3	→

图表：中微公司历年财务数据（亿元，%）



设备：华海清科（688120.SH）

- 华海清科践行“装备+服务”的平台化发展战略。公司CMP设备具有较高市占率，减薄机和低能大束流离子注入装备均实现多台验收，同时拟将晶圆再生产能扩充至60万片/月，显著受益晶圆厂加速扩产和先进封装发展趋势。
- 针对2.5D/3D先进封装领域，华海清科可提供CMP、减薄环切、清洗等一系列配套设备，覆盖HBM、TSV转接板、Hybrid bonding、Fan out、EMC、RDL等多种应用。

图表：华海清科践行“装备+服务”的平台化发展战略



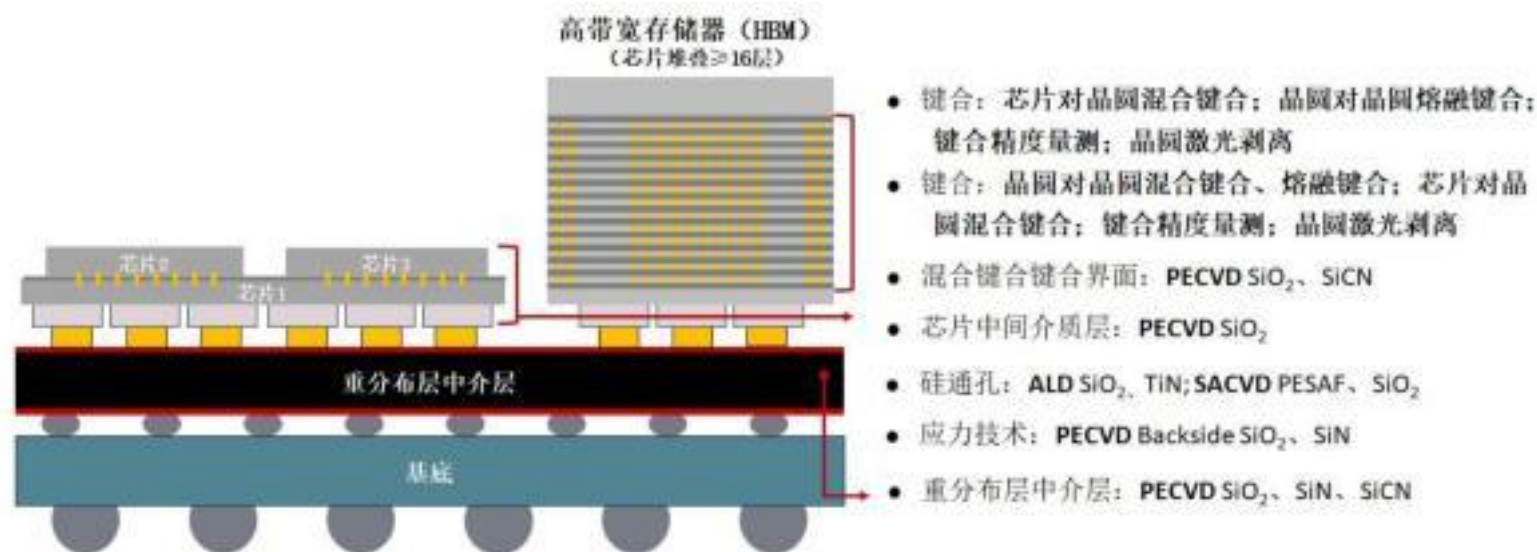
图表：华海清科2.5D/3D先进封装领域产品布局



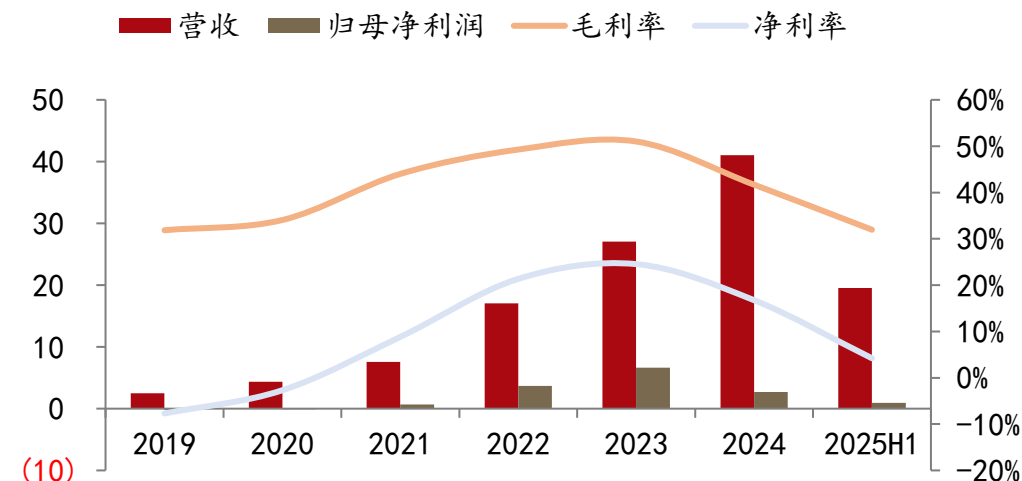
设备：拓荆科技（688072.SH）

- 拓荆科技目前已形成 PECVD、ALD、SACVD、HDPCVD、Flowable CVD 等薄膜沉积设备产品以及应用于三维集成领域的先进键合设备和配套的量检测设备产品，薄膜沉积设备产品已广泛应用于国内集成电路逻辑芯片、存储芯片等制造产线，先进键合设备和配套的量检测设备产品已在先进存储、图像传感器（CIS）等领域实现量产。
- 薄膜沉积设备方面，基于具有业界领先坪效比和最低拥有成本（COO）的平台 VS-300T 开发的 PE-ALD 设备持续获得多台客户订单，在客户端验证进展顺利，可应用于先进封装 TSV 隔离层等。Thermal-ALD TiN 持续获得客户订单，出货量不断扩大，目前已覆盖先进逻辑、先进封装客户，验证进展顺利。
- 三维集成领域系列产品方面，晶圆对晶圆混合键合设备获得重复订单，同时，公司研发的新一代高速高精度晶圆对晶圆混合键合产品已发货至客户端验证。目前公司产品已出货至先进存储、逻辑、图像传感器等客户。

图表：拓荆科技产品在三维集成领域的主要应用



图表：拓荆科技历年财务数据（亿元，%）



图表：拓荆科技产品布局



设备：芯源微（688037.SH）

- 芯源微目前已形成了前道涂胶显影设备、前道清洗设备、后道先进封装设备、化合物等小尺寸设备四大业务板块，产品已完整覆盖前道晶圆加工、后道先进封装、化合物半导体等多个领域。
- 公司后道涂胶显影设备主要应用于先进封装技术 BGA、Flip-Chip、WLCSP、CSP、2.5D、3D等涂胶显影工艺，可实现高黏度 PR、PI涂敷及多种显影工艺。公司单片湿法设备包括清洗机、去胶机、刻蚀机等湿法类设备，可广泛应用于来料清洗、TSV深孔清洗、Flux清洗等清洗、去胶及lift-off剥离工艺及多种介质层湿法刻蚀工艺。
- 公司提前布局自主研发的全自动临时键合及解键合机，主要针对Chiplet技术解决方案，可应用于InFO、CoWoS、HBM 等 2.5D、3D技术路线产品。

图表：芯源微先进封装产品布局

产品名称	后道先进封装涂胶显影机	
产品描述	- 适用于先进封装BGA、Flip-Chip、WLCSP、CSP、2.5D、3D涂胶及显影工艺 - 可实现高精度PR、PI涂胶及多种显影工艺	
产品特点	- 渐进式烘培，实现温度精确控制 - 适用于超薄胶涂覆、显影及烘烤工艺 - 实现超薄晶圆载体片传送加工 - 整体已达到国际先进水平，部分指标已实现国际领先	



产品名称	后道先进封装单片式湿法设备	
产品描述	- 公司生产的单片湿法设备包括清洗机、去胶机、刻蚀机。 - 广泛应用于先进封装湿法类工艺	
产品特点	- 叠层设计，占地小 - 精确的药剂温度、压力、流量控制 - 自动换液功能，混液精度高 - 整体已达到国际先进水平	



产品名称	临时键合机	
产品描述	适用于三维集成、2.5D/3D 封装领域，晶圆减薄过程中超薄晶圆、超薄晶圆等易碎器件的支撑与保护工艺	
产品特点	- 业内领先的键合胶涂胶均匀性指标 - 业内领先的键合TTV工艺指标 - 集成高精度视觉校准功能/真空传送的键合腔体 - TTV检测技术，实现键合片组闭环检测 - 整体已达到国际先进水平	



产品名称	解键合机	
产品描述	- 适用于三维集成、2.5D/3D 封装领域，减薄工艺后，器件与玻璃载片的无应力分离及清洗 - 可提供激光、机械等多种解键合方案	
产品特点	- 叠层布置，占地面积小 - 平面化矩形光斑，能量分布均匀 - 精确的药剂温度、压力、流量控制 - 整体已达到国际先进水平	



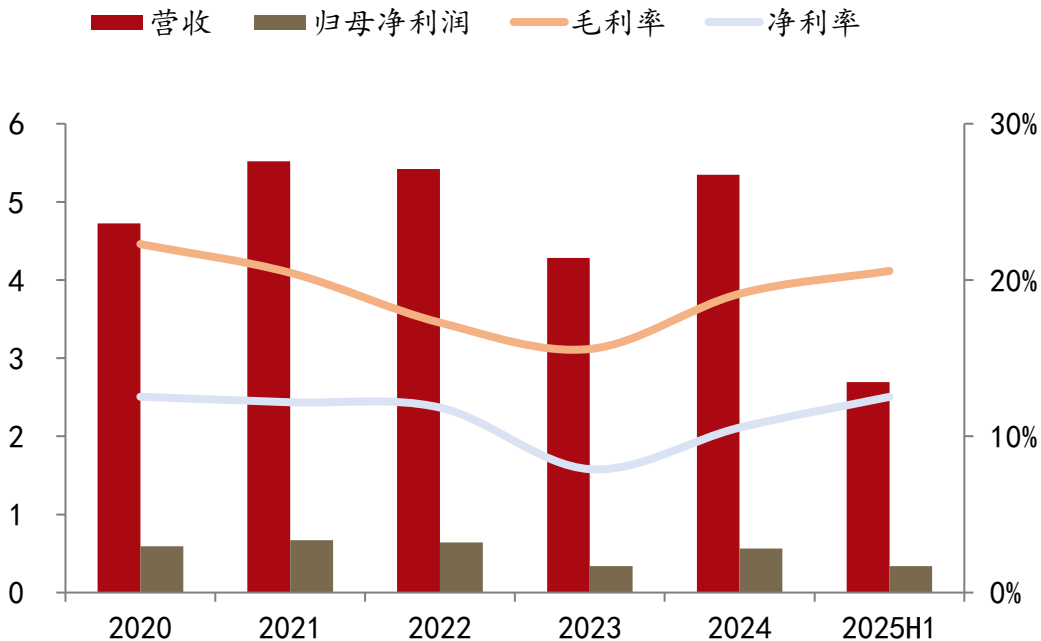
设备：联合化学（301209.SZ）

- 联合化学是国内领先的有机颜料生产企业，凭借卓越的产品稳定性、优异的色彩表现和严格的质量控制，成为国内外大中型油墨生产企业的核心供应商。
- 公司向卓光芮科技（上海）有限责任公司进行增资，本次投资资金主要用于支持标的公司开展国产投影式曝光机研发及相关零部件研制工作。卓光芮全资子公司——昱景光学可实现高、中、低端光学系统产品的全覆盖，25H1已销售产品预收账款超5000万元。目前昱景光学的光学产品分为高中低端三类产品：1）高端光学系统（物镜及照明系统）应用于前道KrF和i-line光刻机，最高可实现110nm分辨率，预计25Q4开始交付；2）中端光学系统（物镜及照明系统）应用于封装投影光刻机及封装直写光刻机，超大视场(>120mm x 120mm)适应于先进封装发展需求，预计26Q1交付；3）低端光学系统（物镜及照明系统）应用于光伏投影光刻机，分辨率5 μm，支持每小时8000片曝光产能，已实现20套小批量出货。

图表：卓光芮财务数据（万元）

指标	2025. 5. 31	2024. 12. 31
资产总额	4276. 63	2446. 90
负债总额	8423. 85	4077. 23
净资产	-4147. 22	-1630. 33
指标	2025年1-5月	2024年
营收	0	2658. 30
净利润	-2516. 88	-1584. 61

图表：联合化学历年财务数据（亿元，%）



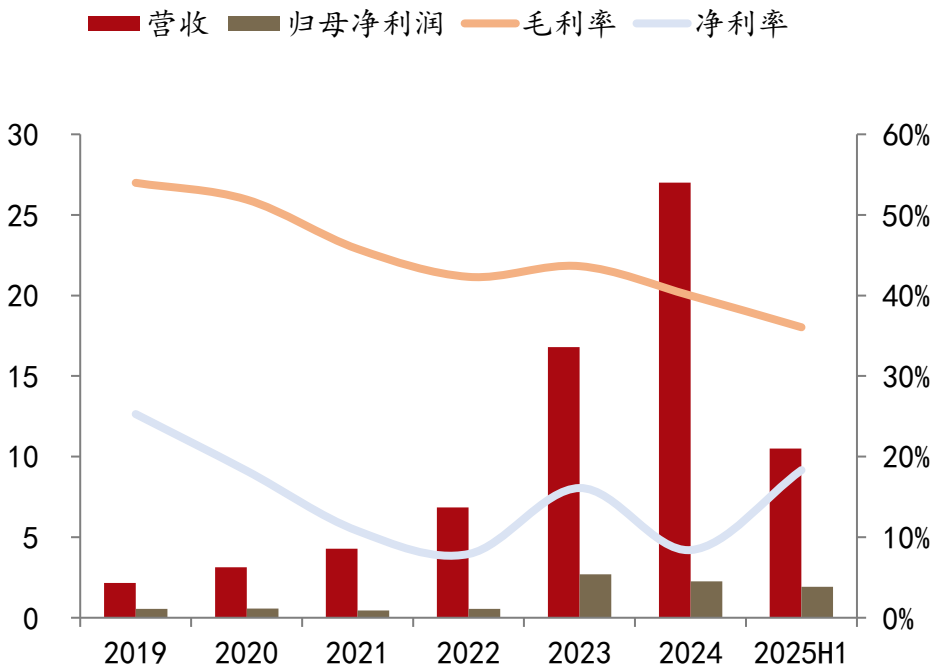
设备：微导纳米（688147.SH）

- 微导纳米形成了以原子层沉积（ALD）技术为核心，化学气相沉积（CVD）等多种真空薄膜技术梯次发展的产品体系。
- iTomic PE 系列等离子体增强原子层沉积系统可为逻辑芯片、存储芯片、先进封装等提供客制化掩膜层、介质层、隔离层、多级图案化等关键工艺解决方案，现已实现产业化应用。
- iTronix LTP 系列低温等离子体增强化学气相沉积系统可满足先进封装制造领域SiO2、SiN、SiCN 等薄膜工艺的应用需求，已获得先进封装领域重要客户订单，客户端验证顺利。

图表：微导纳米半导体领域的产品布局

产品系列	产品说明
iTomic 系列原子层沉积系统	适用于高介电常数（High-k）栅氧层、MIM电容器绝缘层、TSV介质层等薄膜工艺需求。产品凭借原子级别的精确控制、沉积薄膜的高覆盖率和超薄膜厚的均匀性，可为逻辑芯片、存储芯片提供介质层等关键工艺解决方案。
iTomic MW系列批量式原子层沉积系统	采用创新的批量型（mini-batch）腔体设计，可一次处理25片12英寸晶圆，适用于成膜镀率低、厚度要求高以及产能要求高的关键工艺及应用。产品利用特有的流场设计，具有成膜速度快、占地面积小、产能高、使用成本低等优势，为存储芯片以及 Micro-OLED 显示器、MEMS等提供定制化量产的解决方案。
iTomic Lite系列轻型原子层沉积系统	产品采用原创设计开发的自动化平台与模块化 ALD 反应腔相结合，可按需配置PEALD或Thermal ALD 等工艺需求。产品具有强大的兼容性，其硬件配置在保持量产机型强大功能的前提下，可满足各类晶圆尺寸（6、8 英寸）量产工艺需求，同时也可满足客户高端研发和新工艺试量产需求，可广泛应用于 MEMS、光电器件等泛半导体器件领域。
iTomicPE 系列等离子体增强原子层沉积系统	产品可根据不同温度要求制备氧化硅、氮化硅、氮氧化硅、氮碳化硅等薄膜，通过精准快速控制成膜速度、低反应温度、材料配比等技术，实现材料厚度均匀性、膜应力、热过程以及阶梯覆盖率等极具挑战的工艺需求。可为逻辑芯片、存储芯片、先进封装等提供客制化掩膜层、介质层、多级图案化等关键工艺解决方案。
iTronix 系列化学气相沉积系统	产品采用自主研发的反应腔室和电气软件集成化服务，在逻辑、存储、先进封装、显示器件等芯片制造领域具有广泛应用，可满足多种功能性薄膜沉积工艺的开发和应用需求。搭载新型平台可安装更多反应腔以满足高产能需求。
Trancendor系列晶圆真空传输系统	公司独立研发的、适用于高产能半导体制程设备的晶圆传输系统。该系统可根据客户工艺需要，灵活挂载一至多个工艺腔体（每个工艺腔体可配备一至多个工作站）在真空环境下进行快速高效晶圆传输。

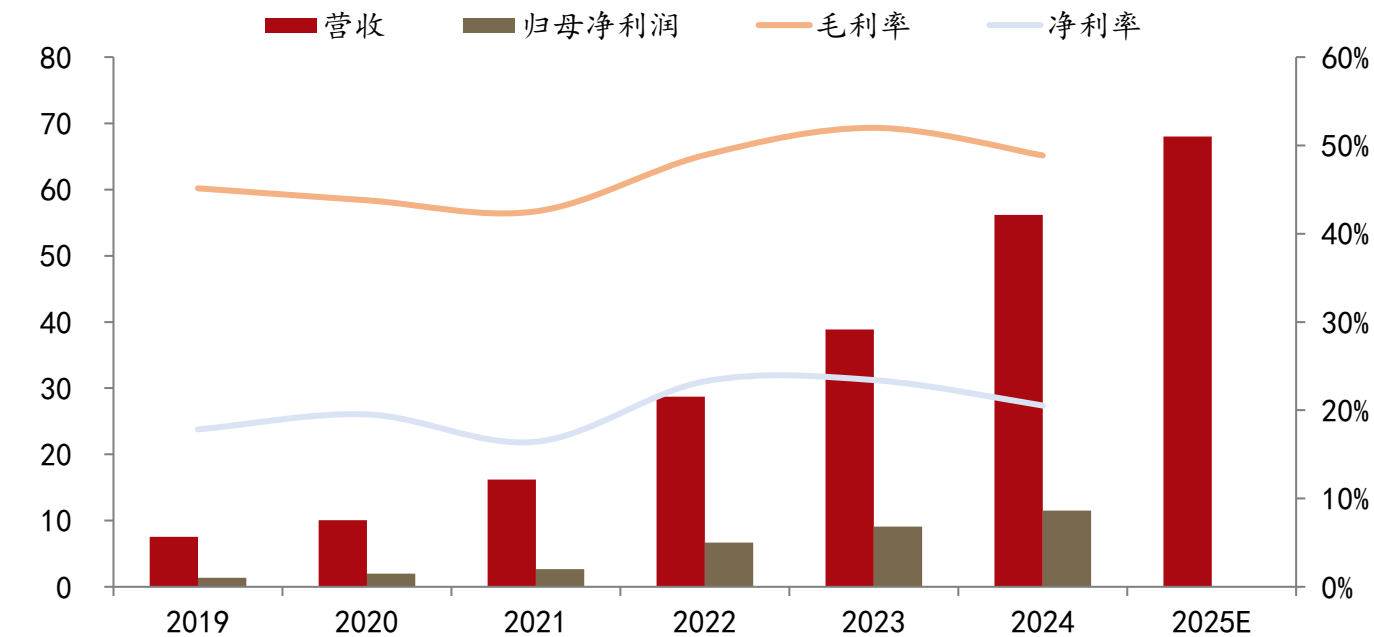
图表：微导纳米历年财务数据（亿元，%）



设备：盛美上海（688082.SH）

- 盛美上海坚持“技术差异化”和“产品平台化”战略，成功布局七大板块产品，分别是清洗设备、电镀设备、先进封装湿法设备、立式炉管设备、涂胶显影设备、PECVD设备和面板级封装设备，可覆盖市场约200亿美元。公司预计2025年全年营收为65~71亿元，同比增长15.70%~26.39%。
- 盛美上海在先进封装布局产品包括电镀设备、涂胶设备、显影设备、湿法刻蚀设备、湿法去胶设备、金属剥离设备、无应力抛光先进封装平坦化设备、带铁环晶圆的湿法清洗设备、聚合物清洗设备、TSV 清洗设备、背面清洗/刻蚀设备、带框晶圆清洗设备，总计十三大类。

图表：盛美上海历年财务数据（亿元，%）



图表：盛美上海主要产品

产品系列	具体产品
前道湿法	前/后段单片清洗设备
	单片回收清洗设备
	自动槽式清洗设备
	单片槽式组合清洗设备
	背面清洗设备
	湿法刻蚀设备
	斜边清洗设备
	前后段刷洗设备
	单片高温硫酸设备
	SCC02
后道湿法	刷洗设备
	涂胶设备
	显影设备
	湿法刻蚀设备
	去胶设备
大硅片湿法	单片清洗设备
	单片湿法刻蚀设备
	Wet in dry out清洗
电镀	双大马士革电镀设备
	TSV电镀设备
	后道封装电镀设备
	化合物半导体电镀设备
炉管	常压化学气相沉积氧化炉
	超高温退火炉
	低压化学气相沉积炉
	超高真空合金炉
	原子层沉积炉
PECVD	SiH4 base
	TEOS base
	Carbon
Track	ArF Line
抛光	无应力抛光

设备：芯基微装（688630.SH）

- 公司专业从事以微纳直写光刻为技术核心的直接成像设备及直写光刻设备的研发、制造、销售以及相应的维保服务，主要产品及服务包括PCB直接成像设备及自动线系统、泛半导体直写光刻设备及自动线系统、其他激光直接成像设备以及上述产品的售后维保服务，产品功能涵盖微米到纳米的多领域光刻环节。
- 先进封装方面，晶圆级与面板级设备均有布局，在再布线、互联、智能纠偏等方面具备显著优势。公司面向中道领域的晶圆级及板级直写光刻设备系列已获得重大市场突破，已与多家国内头部封测企业签订采购订单，产品主要应用于SoW、CIS、类CoWoS-L等大尺寸芯片封装方向，可高效满足封装工艺对RDL层和PI层的智能纠偏，显著提高整体封装良率。公司预计从2025年年底到2026年，订单量将呈现持续批量增长趋势，其规模有望再上一个新台阶。

图表：WLP 2000晶圆级封装直写光刻机

采用先进的DMD数字光刻技术，无需掩模版，可直接将版图信息转移到涂有光刻胶的衬底上，主要应用于5nm/7nm集成电路中道领域。该系统采用多光学引擎并行扫描技术，具备自动套刻、背部对准、智能纠偏、WEE/WEP功能，在RDL、Bumping、TSV和晶圆级系统(SoW)等制程工艺中优势明显。



图表：PLP 3000板级封装直写光刻机

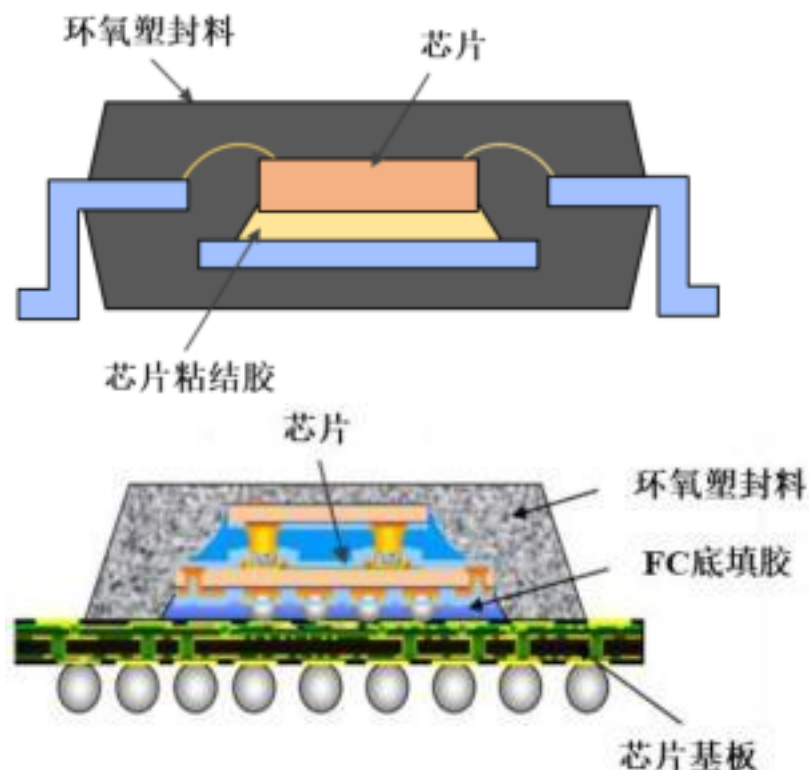
采用先进的DMD数字光刻技术，无需掩模版，可直接将版图信息转移到涂有光刻胶的衬底上，主要应用于板级中道领域。可支持覆铜板、复合材料、玻璃基板。该系统采用多光学引擎并行扫描技术，具备自动寻边对准、自动退板、智能纠偏、WEE/WEP功能，在RDL、UBM和TSV等制程工艺中优势明显。



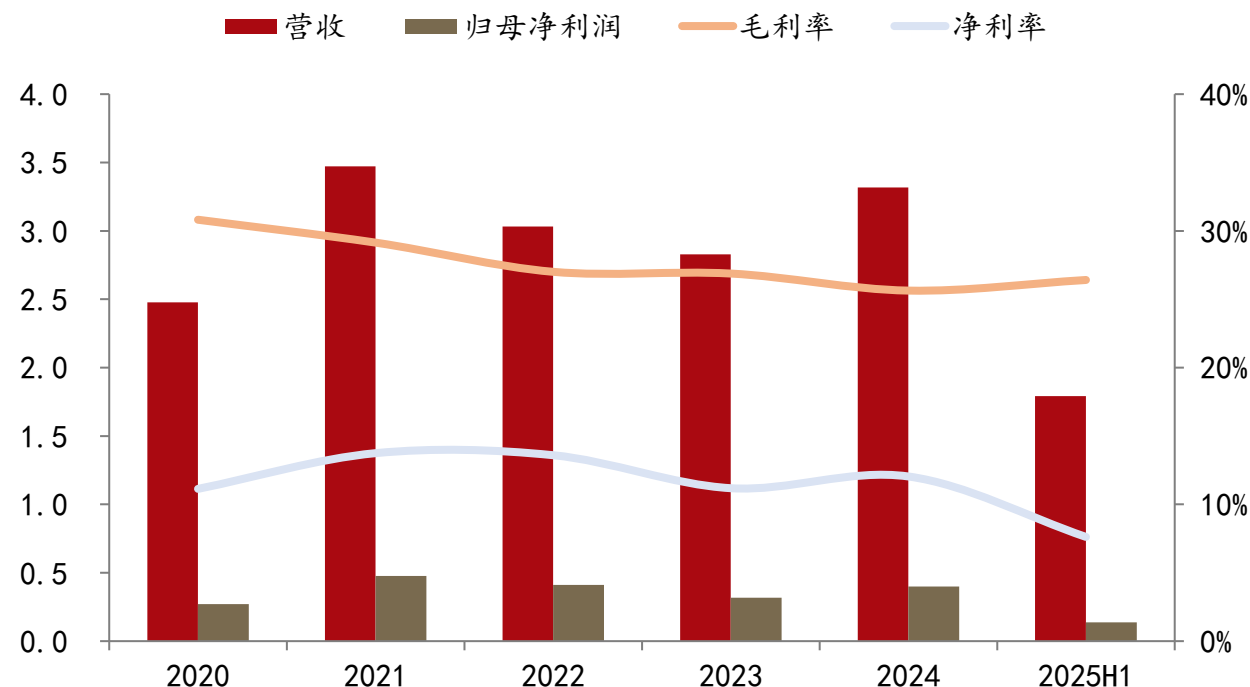
材料：华海诚科（688535.SH）

- 华海诚科主营产品包括环氧塑封料与电子胶黏剂，通过并购衡所华威在半导体环氧塑封料领域的年产销量有望突破2.5万吨，稳居国内龙头地位，跃居全球出货量第二位，将生产和销售基地延伸至韩国、马来西亚，成为世界级半导体封装材料企业。
- 目前，我国半导体封装用环氧塑封料国产化率较低，其中高性能类国产化率仅为10%-20%，先进封装材料国产化率更低，基本被外资企业垄断，进口替代空间广阔。华海诚科和衡所华威均以高性能类环氧塑封料为主，其中衡所华威在运用于车载芯片、电容封装的部分专用塑封料方面为全球主要供应商。衡所华威的韩国子公司Hysolem目前已量产先进封装类环氧塑封料，主要客户包括STATS CHIPPAC（SCK，长电科技全资孙公司）、LB-Lusem（LG集团内企业）、KEC（韩国电子控股）等。

图表：华海诚科产品主要应用



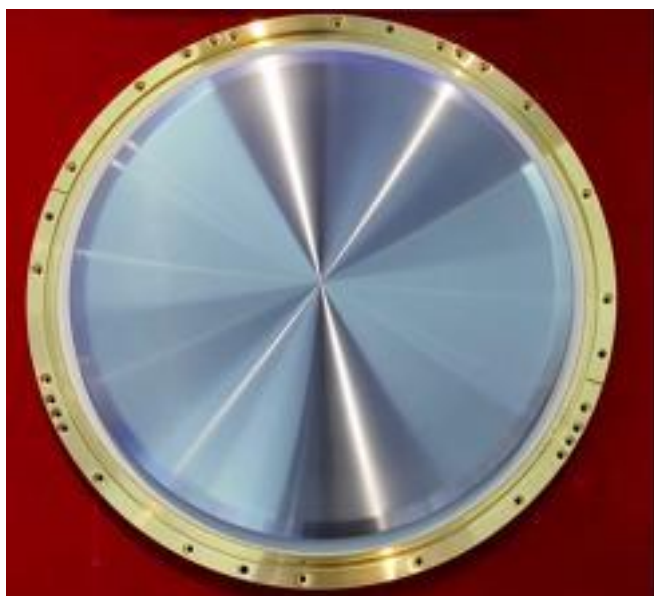
图表：华海诚科历年财务数据（亿元，%）



材料：江丰电子(300666.SZ)

- 江丰电子成功搭建以超高纯金属溅射靶材为核心，半导体精密零部件共同发展的产品体系。靶材产品在技术和市场份额均跻身全球领先行列；零部件形成全品类覆盖，在供应链国产化趋势逐渐加强的背景下发展势头强劲。
- 公司现已成为全球领先的半导体溅射靶材制造商，产品进入到全球领先的3nm工艺制程，是台积电、中芯国际、SK 海力士、联华电子等全球知名芯片制造企业的核心供应商，赢得了众多国际知名晶圆制造企业长期、稳定的需求订单，市场份额近40%，位居全球第一。
- 公司实现气体分配盘、Si电极等4万多种零部件量产，成功形成全品类零部件覆盖。2025年1月，公司与KSTE INC. 签署了《关于静电吸盘项目之合作框架协议》。公司从KSTE引进约定范围的静电吸盘（E-CHUCK）产品所需的全部生产技术并采购相关生产线，最终实现公司在中国大陆地区独立量产。

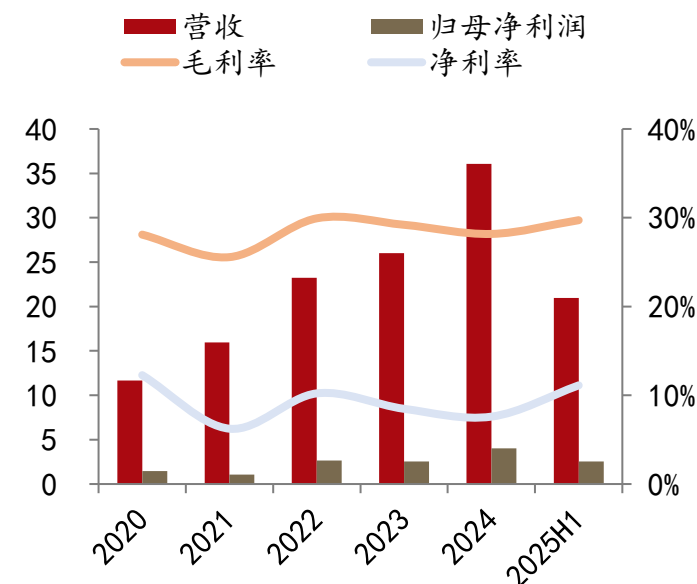
图表：江丰电子靶材产品



图表：公司与KSTE签署《关于静电吸盘项目之合作框架协议》



图表：江丰电子历年财务数据（亿元，%）



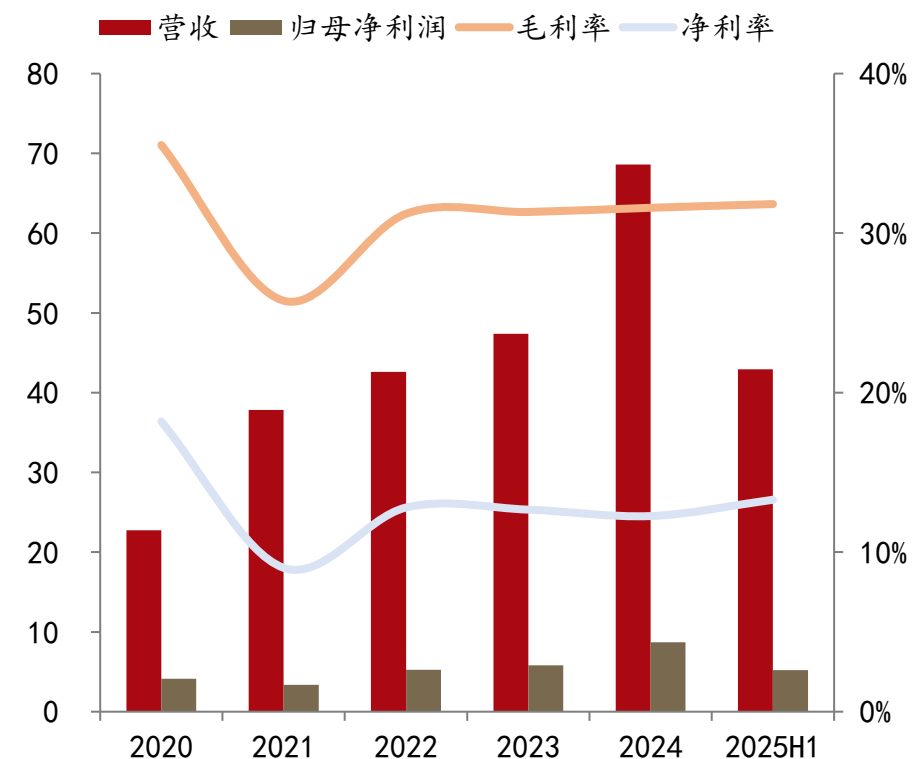
材料：雅克科技（002409.SH）

- 雅克科技坚持外延并购与内生增长双轮驱动，加速打造平台级全球半导体材料企业。面对Chiplet、3D封装等技术迭代，公司研发资源重点投向先进制程前驱体材料、先进封装用光刻胶、新型面板光刻胶、配方型湿化学品和球形纳米粉体等方向。
- 公司已构建中国和韩国双研发部门，不断开发芯片先进制程薄膜沉积工艺和人工智能先进封装复杂芯片组所需的各种前驱体材料。湖州雅克华飞电子材料有限公司“年产3.9万吨半导体核心材料项目”原材料产线建设完成；雅克先科（成都）电子材料有限公司的“年产2.4万吨电子材料项目”部分产线转入试生产，开始为华飞电子批量供应半成品球形硅微粉。

图表：雅克科技产品布局



图表：雅克科技历年财务数据（亿元，%）



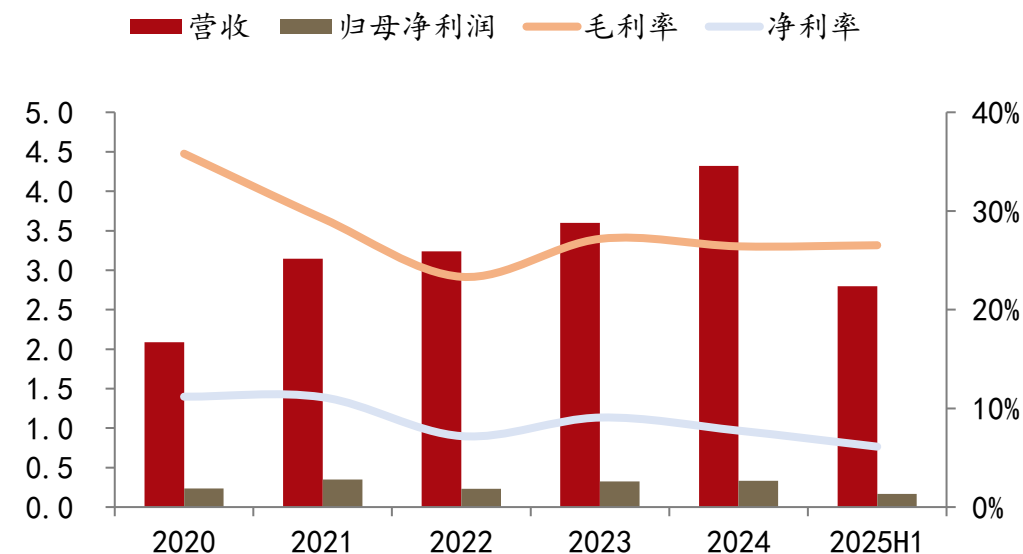
材料：艾森股份（688720.SH）

- 艾森股份围绕电镀、光刻两大工艺，实施差异化、高端化的发展战略，重点布局大马士革电镀液、PSPI胶等低国产化赛道，多款高竞争力产品客户端测试顺利，即将进入规模化量产阶段，推动公司业绩持续增长。
- 电镀液在传统封装和先进封装领域实现全品类覆盖。电镀锡银添加剂（包括超低 α 粒子的锡浓缩液、锡阳极）小批量稳定量产中，在多家头部客户同步验证中；高纯硫酸铜基液已实现先进封装头部客户的稳定供应，电镀铜添加剂处于关键批次稳定性验证阶段；TSV电镀添加剂及适用于Bumping与RDL工艺的电镀添加剂、TGV工艺高速镀铜添加剂在客户端测试验证中。
- 光刻胶：公司成为国内先进封装光刻胶和PSPI的主力供应商。先进封装用g/i线正性光刻胶和Bumping负性光刻胶已覆盖多家主流封装客户，市场份额持续提升；负性光刻胶已成功拓展应用到玻璃基封装，获得头部客户量产订单；介电层/缓冲防护层应用负性PSPI和低温固化负性PSPI在客户端验证进展顺利。

图表：艾森股份产品布局



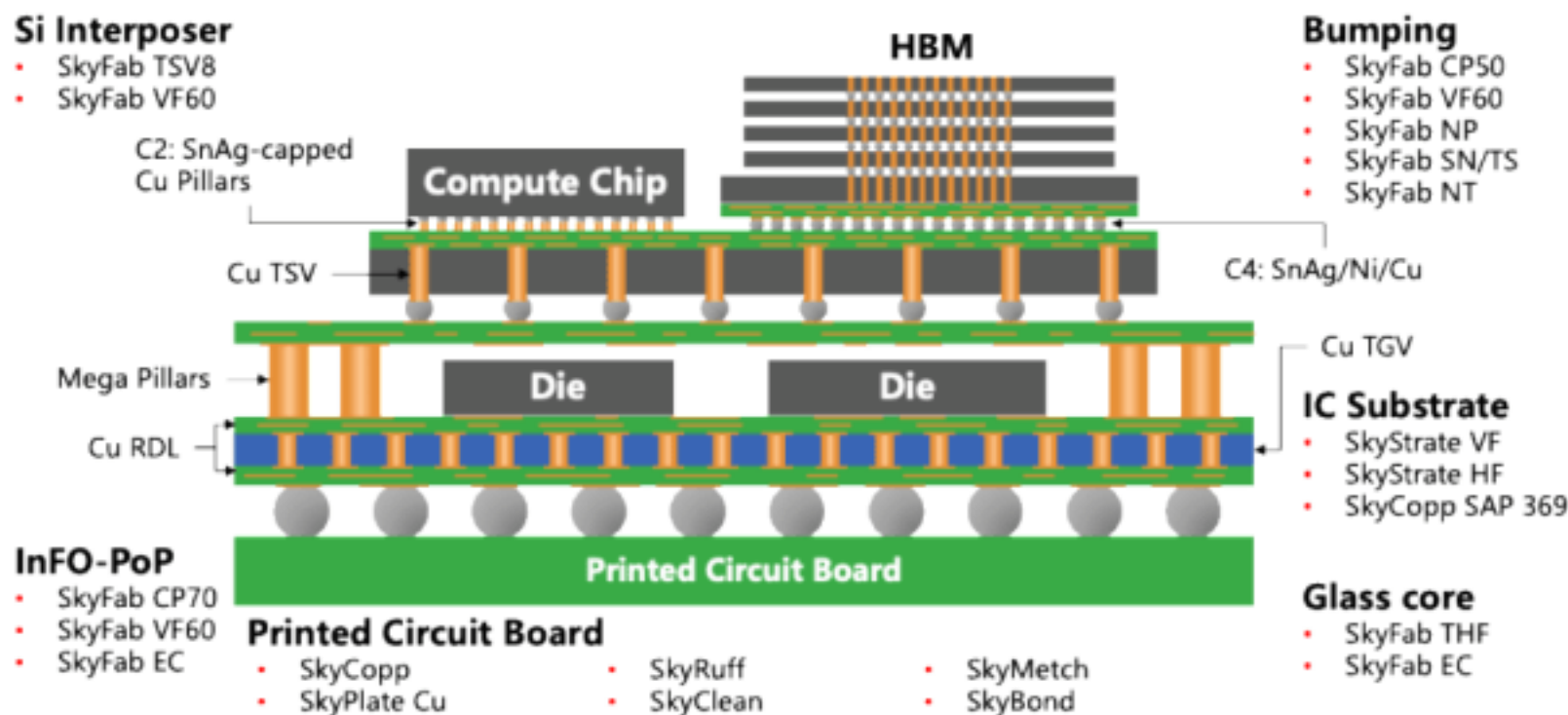
图表：艾森股份历年财务数据（亿元，%）



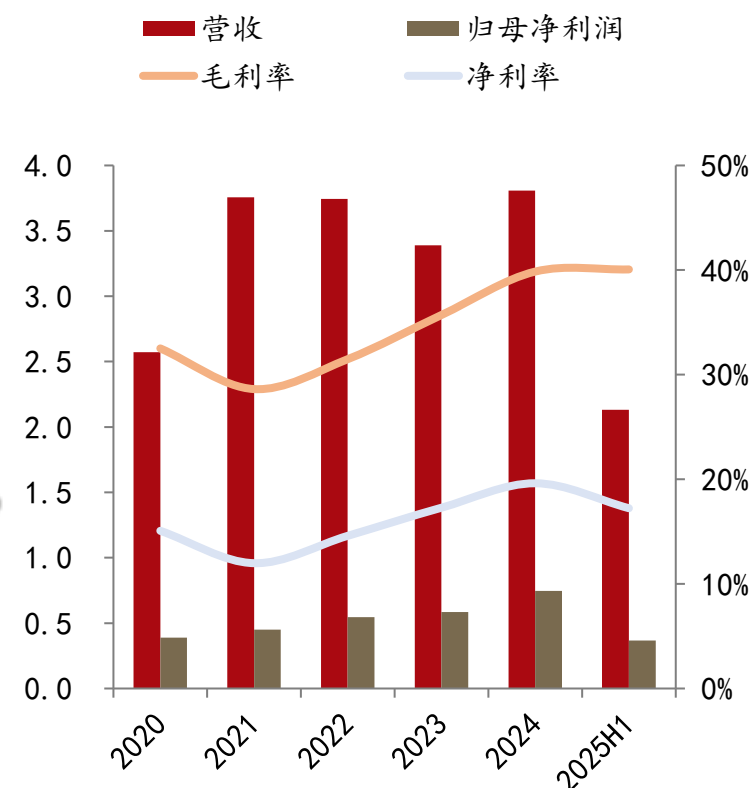
材料：天承科技（688603.SH）

- 天承科技主要从事印制线路板、封装基板 and 半导体先进封装所需要的专用功能性湿电子化学品的研发、生产和销售。
- 公司围绕 2.5D/3D 先进封装、扇外型封装、玻璃基板等领域需求积极研发，目前公司已完成硅通孔（TSV）电镀铜、再布线层（RDL）电镀铜、凸点（bumping）电镀铜/镍/锡银和玻璃基板通孔TGV金属化等工艺所需电镀液产品的研发和技术储备，不断实现关键技术突破与产品应用，提速半导体制造关键材料及技术突破。

图表：天承科技印制线路板、载板和先进封装整体解决方案



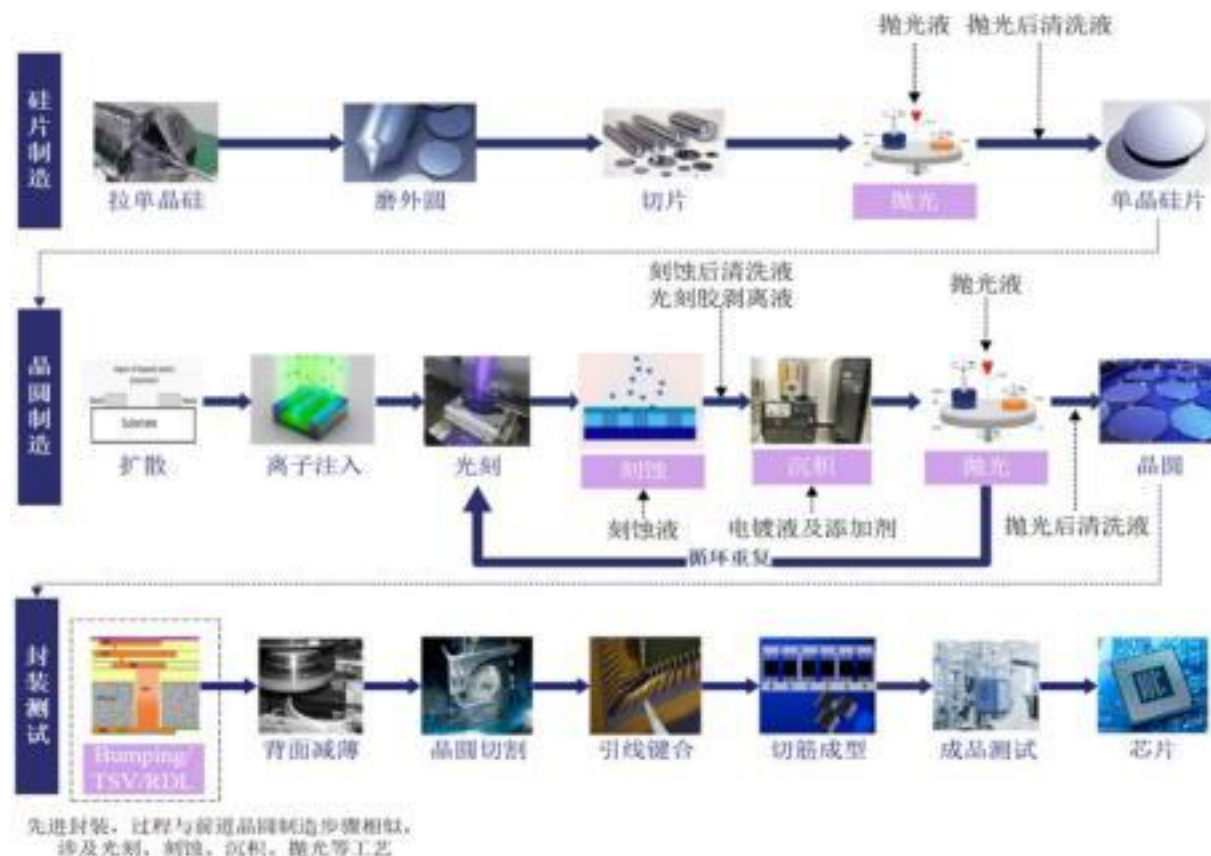
图表：天承科技历年财务数据（亿元，%）



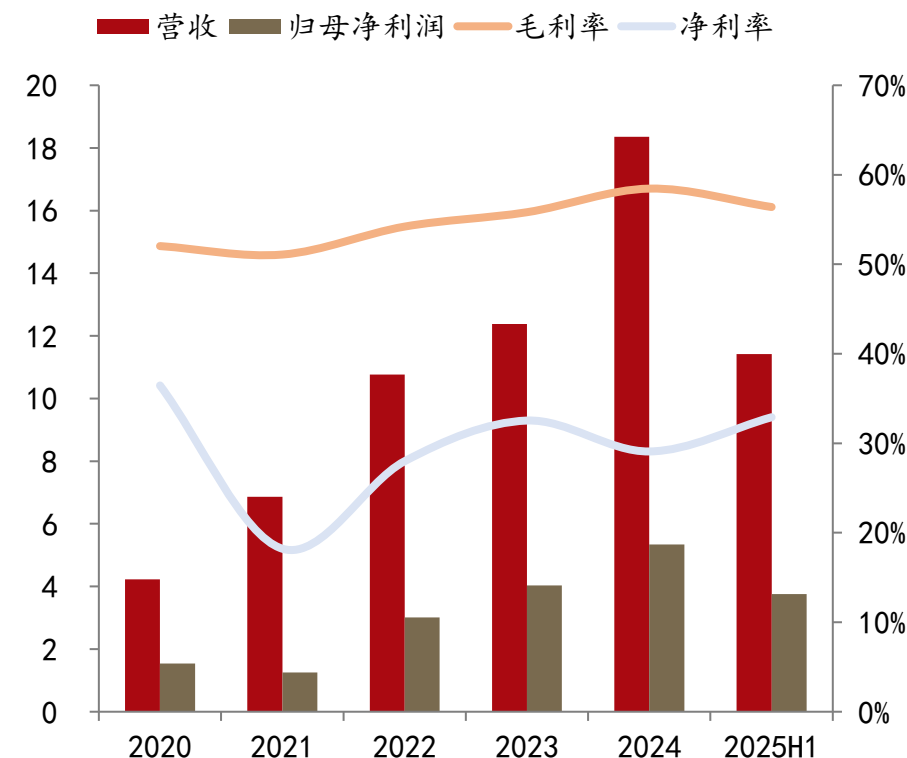
材料：安集科技（688019.SH）

- 安集科技成功搭建了“化学机械抛光液-全品类产品矩阵”、“功能性湿电子化学品-领先技术节点多产品线布局”、“电镀液及其添加剂-强化及提升电镀高端产品系列战略供应”三大具有核心竞争力的技术平台。目前，公司技术已涵盖集成电路制造中的“抛光、清洗、沉积”三大关键工艺，产品组合可广泛应用于芯片前道制造及后道先进封装过程中的抛光、清洗、刻蚀、沉积等关键循环重复工艺及衔接各工艺步骤的清洗工序。

图表：安集科技主要产品在芯片制造及先进封装领域的关键循环重复工艺中多次应用



图表：安集科技历年财务数据（亿元，%）



- 先进封装概述
- CoWoS-L逐渐取代CoWoS-S，板级封装发展成共识
- 国际/国产主流算力客户先进封装解决方案
- 先进封装设备与材料共发展
- 建议关注
- 风险提示

- **行业与市场波动风险:**全球半导体行业具有技术呈周期性发展和市场呈周期性波动特点。同时，受国内外政治、经济因素影响，如市场需求低迷、产品竞争激烈，将会影响相关产品需求和价格进而影响行业发展。
- **国际贸易摩擦风险:**伴随全球产业格局深度调整，国际贸易摩擦不断，集成电路产业成为贸易冲突的重点领域，也对中国相关产业的发展造成了客观不利影响。2022年8月以来，美国推出多项贸易管制政策通过限制产品、设备以及技术等项目的出口以限制中国半导体行业的发展。
- **新技术、新工艺、新产品无法如期产业化风险:**半导体封装行业属于技术密集型行业，需要紧跟整个行业的发展趋势，及时、高效地研究开发符合市场和客户需求的新技术、新工艺及新产品并实现产业化。如果在技术研发上出现一些波折，不能及时加大资本投入进行新技术的研发，或不能及时购入先进设备研制生产更先进的材料产品，将面临新技术、新工艺、新产品无法如期产业化风险。
- **先进封装产能扩张进度不及预期风险:**先进封装技术突破难度系数较大，国内厂商可能存在扩产进度低于预期等风险，设备材料端存在低于预期风险。
- **行业竞争加剧风险:**随着国产半导体设备与材料公司业务相互渗透，行业竞争格局预计会有所加剧，从而影响国内设备材料企业盈利能力。

分析师声明

作者具有中国证券业协会授予的证券投资咨询执业资格，保证报告所采用的数据和信息均来自公开合规渠道，分析逻辑基于作者的职业理解，本报告清晰准确地反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响。研究报告对所涉及的证券或发行人的评价是分析师本人通过财务分析预测、数量化方法、或行业比较分析所得出的结论，但使用以上信息和分析方法存在局限性。特此声明。

免责声明

本研究报告由方正证券制作及在中国（香港和澳门特别行政区、台湾省除外）发布。根据《证券期货投资者适当性管理办法》，本报告内容仅供我公司适当性评级为C3及以上等级的投资者使用，本公司不会因接收人收到本报告而视其为本公司的当然客户。若您并非前述等级的投资者，为保证服务质量、控制风险，请勿订阅本报告中的信息，本资料难以设置访问权限，若给您造成不便，敬请谅解。

在任何情况下，本报告的内容不构成对任何人的投资建议，也没有考虑到个别客户特殊的投资目标、财务状况或需求，方正证券不对任何人因使用本报告所载任何内容所引致的任何损失负任何责任，投资者需自行承担风险。

本报告版权仅为方正证券所有，本公司对本报告保留一切法律权利。未经本公司事先书面授权，任何机构或个人不得以任何形式复制、转发或公开传播本报告的全部或部分内容，不得将报告内容作为诉讼、仲裁、传媒所引用之证明或依据，不得用于营利或用于未经允许的其它用途。如需引用、刊发或转载本报告，需注明出处且不得进行任何有悖原意的引用、删节和修改。

类别	评级	说明
公司评级	强烈推荐	分析师预测未来12个月内相对同期基准指数有20%以上的涨幅。
	推荐	分析师预测未来12个月内相对同期基准指数有10%以上的涨幅
	中性	分析师预测未来12个月内相对同期基准指数在-10%和10%之间波动。
	减持	分析师预测未来12个月内相对同期基准指数有10%以上的跌幅。
行业评级	推荐	分析师预测未来12个月内行业表现强于同期基准指数。
	中性	分析师预测未来12个月内行业表现与同期基准指数持平。
	减持	分析师预测未来12个月内行业表现弱于同期基准指数。
基准指数说明		A股市场以沪深300指数为基准;香港市场以恒生指数为基准，美股市场以标普500指数为基准。



方正证券研究所

专注 · 专心 · 专业

北京市朝阳区朝阳门南大街10号兆泰国际中心A座17层

长沙市天心区湘江中路二段36号华远国际中心37层

上海市静安区延平路71号延平大厦2楼

深圳市福田区竹子林紫竹七道光大银行大厦31层

广州市天河区兴盛路12号楼隼峰院2期3层方正证券