

| 证 券 研 究 报 告 |

玻璃基板行业专题研究：后摩尔时代封装革命，玻 璃基板迎产业化元年

2026.05.28

中泰证券研究所副所长/建材&化工首席 孙颖博士
执业证书编号：S0740519070002

中泰证券研究所建材&化工组分析师 黄雪茹
执业证书编号：S0740525030002

- 后摩尔时代，先进封装成为突破AI芯片性能瓶颈的关键路径，而玻璃基板凭借其独特物性成为下一代封装的核心方向。摩尔定律正逼近物理与经济双重天花板，单纯依靠制程升级已难以满足AI芯片对高带宽、低时延和低功耗的指数级需求。当前主流的CoWoS封装虽广泛应用于AI/HPC芯片，但其硅中介层成本高昂，单片超100美元，占封装成本一半以上；同时受圆形晶圆与方形芯片的结构性矛盾影响，面积利用率持续下降，热应力翘曲问题对良率形成挑战。先进封装技术正呈现两大核心演进趋势：从晶圆级向面板级升级、从有机材料向无机材料迭代。面板级封装在超大尺寸场景下面积利用率可从45%提升至81%，成本下降10%-20%。玻璃基板凭借可调CTE、纳米级表面平整度、低介电损耗等优势，能够从根源上缓解大尺寸封装中的翘曲问题，并支持2 μm以下高密度布线，成为下一代芯片基板的核心方向。
- 全球龙头厂商正加速玻璃基板产业化布局，2026年有望成为商业化元年，2028年前后进入快速渗透期。台积电于2025年正式将部分CoWoS升级为CoPoS，通过从圆形晶圆向方形面板切换，首条试验产线预计于2026年启动，目标2028年底至2029年上半年规模化量产，英伟达等列为首批战略合作伙伴。Intel于2023年发布Glass-Core方案，以玻璃替代ABF有机载板，2026年首次展示EMIB+玻璃芯基板样品，实现无微裂纹超低翘曲及45 μm超细间距凸点。2026年有望成为玻璃基板商业化元年，Intel已展示实物样品，TSMC推进CoPoS试验线，三星电机计划2027年量产，预计2028年前后行业进入规模化渗透阶段。
- 玻璃基板的应用场景正拓展至CPO光电共封装及6G射频无源集成领域，国内产业化已取得实质突破。玻璃基板凭借低介电损耗、高平整度及光学透明性，成为光电一体化集成的理想衬底。康宁于2021年提出基于玻璃的光电共封装方案，在同一基板上集成低损耗光波导与TGV电互连结构。在6G射频与集成无源器件领域，玻璃基板30GHz下损耗角正切低于0.001，显著降低插入损耗。国内上海芯波与云天半导体联合推进的3D Glass IPD项目累计交付已突破1000万颗，标志着全球首条3D Glass IPD产线实现规模化稳定生产。

- **玻璃基板市场空间广阔，上游原片是产业链最核心环节，中游TGV通孔成型与填充是核心工艺瓶颈。**2024年全球先进封装市场规模约450亿美元，预计2030年达800亿美元，复合增长率9.4%。上游玻璃原片核心材料为无碱/低碱硼硅特种电子玻璃，全球市场由康宁、AGC、肖特主导，国内凯盛科技、旗滨集团、力诺药包、戈碧迦等加速追赶。值得注意的是，**半导体玻璃基板与药用中性硼硅玻璃共享同一核心材料体系，国内药用玻璃企业凭借长期积累的配方调控能力，能够相对快速地切入该赛道。**中游核心工艺TGV通孔成型方面，激光诱导刻蚀是当前最优路径，可实现深宽比1:10至1:50、最小直径10mm的通孔，且无碎屑及微裂纹。通孔金属化填充采用化学镀种子层加“底向上”电镀方案以实现无缺陷填充，但大面积、多层布线仍面临光刻对准精度、层间粘附力及冷热循环分层等关键工艺挑战。
- **当前产业链核心瓶颈集中在上游配方与均匀性、中游深孔填充及多层布线，国内企业有望在2026年商业化窗口期实现从0到1的突破。**当前产业链核心瓶颈集中于玻璃原片高纯度配方调控、大尺寸均匀性控制、TGV高深宽比无缺陷填充，以及多层布线光刻对准与层间附着力提升。国内企业在药用硼硅玻璃领域实现快速国产替代，**山东药玻、力诺药包**等具备向**半导体玻璃基板延伸的底层能力**。国内上市公司及创新企业已在原片、TGV加工、金属化填充、封装检测等全产业链形成初步布局，有望在2026年商业化元年开启之际把握从0到1的产业窗口期。
- **投资建议：**玻璃基板凭借可调CTE、低介电损耗及高平整度等优势，正成为下一代先进封装的核心技术方向，2026年商业化元年开启后有望迎来从0到1的产业窗口期。**产业链上游：**原片环节技术壁垒高、价值量大，且与药用硼硅玻璃底层共通，国产替代空间最为明确，建议关注已在硼硅玻璃领域实现突破的**凯盛科技、旗滨集团、力诺药包、戈碧迦**，以及具备药用玻璃国产替代能力的**山东药玻**；**中游加工及设备环节：**建议关注具备玻璃基板精密加工能力以及在TGV通孔制备、金属化核心工艺上实现突破、量产进度领先的厂商，相关企业包括**彩虹股份、京东方、沃格光电、云天半导体、帝尔激光、德龙激光**等。此外，**TGV电镀设备及电镀液方面：**建议关注**东威科技、三孚新科**等；**TGV电镀添加剂及配套化学品方面：**建议关注**艾森股份、天承科技**等；光刻及检测设备方面，建议关注**洪田股份、芯基微装**等。
- **风险提示：**技术产业化进展不及预期风险、行业竞争加剧风险、市场需求不及预期风险、研究报告使用的公开资料可能存在信息滞后或更新不及时的风险、第三方数据失真风险。



1

行业背景：AI算力驱动封装材料革命

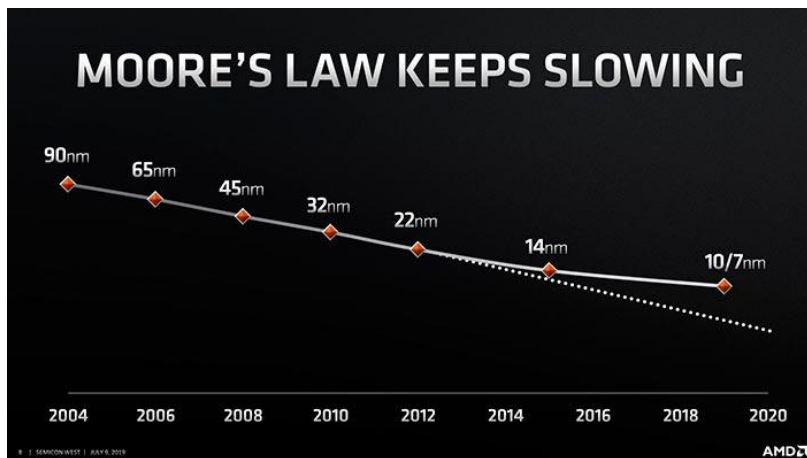
领先行业

- **摩尔定律逼近物理与经济双重天花板。**过去数十年，半导体行业主要依赖晶体管尺寸持续缩小推动芯片性能提升，即经典“摩尔定律”路径。但随着制程进入5nm、3nm及以下节点，晶圆制造复杂度与资本开支快速攀升。以7nm工艺为例，其相比传统制程可实现约2倍晶体管密度、超1.25倍频率提升及约50%功耗下降，但单位面积成本却大幅上涨——5nm工艺的单位硅片成本已达到45nm的5倍。同时，大模型驱动下AI算力需求正以指数级速度增长，单纯依靠制程升级已难以满足AI芯片对于高带宽、低时延和低功耗的需求。
- **先进封装成为提升芯片性能的关键途径。**先进封装技术依托2.5D/3D异构集成、Chiplet、多芯粒互连及混合键合等核心技术，可在不突破制程极限的前提下，实现GPU、CPU、HBM等不同功能芯片之间的高速互连与高密度集成，大幅缩短信号传输路径、降低数据的传输功耗并提升散热效率，从而缓解传统制程升级面临的“功耗墙”瓶颈问题。

图表：摩尔定律放缓：工艺节点迭代周期越来越长

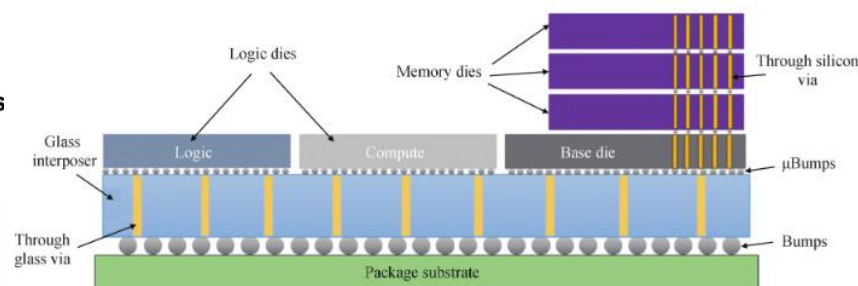
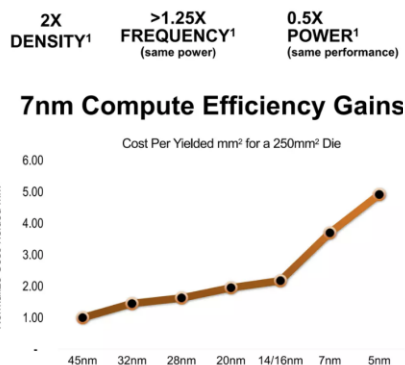
图表：45nm到5nm工艺的归一化单位芯片成本对比

图表：芯片3D封装结构示意图



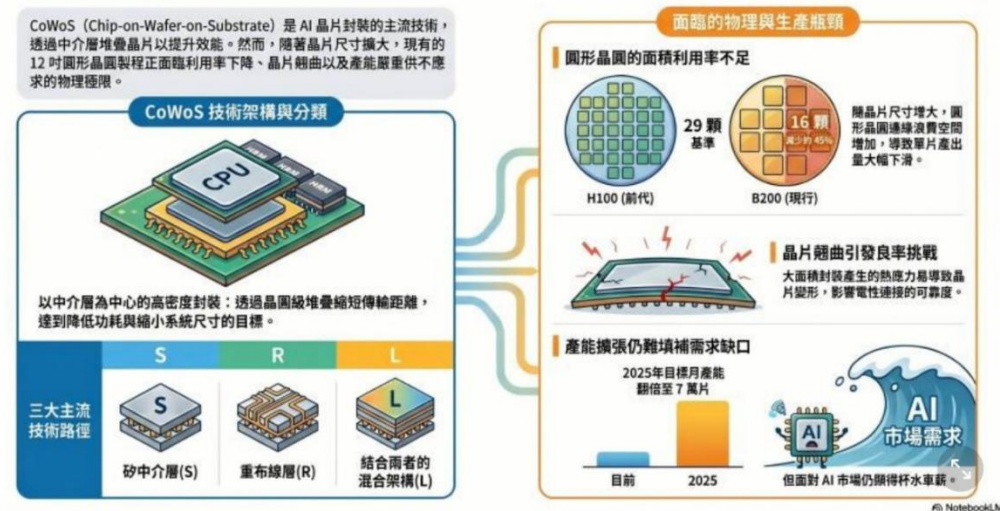
Exploiting 7nm Technology

- Leadership performance requires 7nm benefits
- Yet the cost of advanced technologies are increasing
- Traditional approaches of large die sizes not viable
- Innovation required



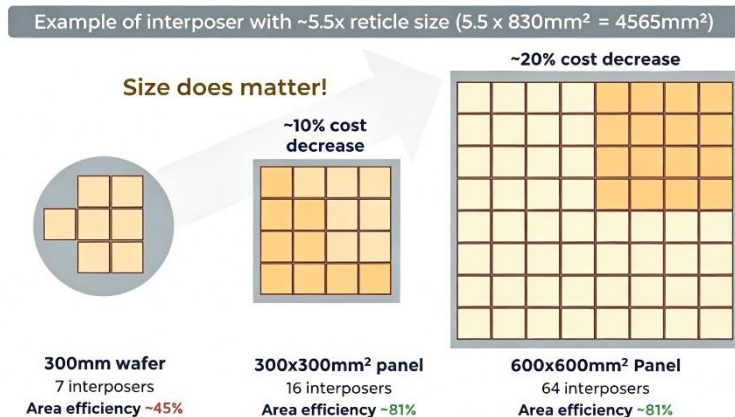
- CoWoS是台积电主导的先进封装技术，也是当前AI/HPC芯片的主流封装方案。CoWoS是台积电推出的2.5D先进封装技术平台，全称为Chip-on-Wafer-on-Substrate。该技术的核心特征是在芯片与封装基板之间引入一层中介层，通过中介层上的高密度互连，将多颗芯片集成于同一封装体内。先在300mm硅晶圆上制作高密度RDL与TSV（硅通孔），再将GPU/CPU Chiplet与HBM堆叠集成于硅中介层之上，最后封装至ABF/BT有机基板。根据中介层材质与结构差异，CoWoS已演化出三条技术路线：CoWoS-S采用硅中介层搭配硅通孔，提供最高互连密度；CoWoS-R以重布线层为核心，省去硅中介层；CoWoS-L则融合前两者特点，在重布线层中嵌入局部硅桥，属于平衡型架构。目前，CoWoS主要应用于AI加速器、高性能计算芯片等场景，支持将GPU/CPU等逻辑芯片与HBM高带宽内存进行异构集成。
- CoWoS面临的主要瓶颈：从制造经济性角度看，硅中介层构成显著的成本项。中介层虽无需采用最先进制程节点，但其制造仍需占用半导体晶圆厂的洁净室、设备和产能资源。据行业估算，一片大型硅中介层的单价可超过100美元，在整体封装成本中的占比可达一半以上。从物理限制角度看，受12英寸圆形晶圆与AI芯片方形大尺寸的结构矛盾影响，面积利用率呈下降趋势。以英伟达产品为例，B200芯片在一片晶圆上仅能放置16颗，较上一代H100的29颗明显减少。同时，中介层尺寸还受光罩曝光面积制约，超出单光罩尺寸时需采用拼接方案，进一步增加了工艺复杂度。此外，随着芯片面积增大，封装过程中的热应力可能引发翘曲问题，对电性连接可靠性与良率形成挑战。

图表：CoWoS封装技术：迈向物理极限的挑战与瓶颈



- 先进封装技术正呈现两大核心演进趋势：从晶圆级（WLP）向面板级（PLP）升级、从有机材料向无机材料迭代。
- 在封装载体维度：晶圆级封装（WLP）受圆形载具限制，在大尺寸chiplet与interposer封装场景下存在材料利用率低且单批次产出有限等问题。根据YoleGroup报告，在4565mm²的超大尺寸interposer场景下，300mmwafer仅可排布7个interposer，面积利用率45%；而采用300×300mm或600×600mmpanel后，面积利用率可提升至81%，并分别带来10%和20%的成本下降。相比圆形wafer，矩形panel更适合大尺寸chiplet/interposer的规则排布，同时更大的panel尺寸也有助于提升单次加工数量、摊薄设备及工艺成本。
- 在封装材料层面：当前先进封装仍主要依赖有机基板与硅中介层两类材料体系。随着AI芯片功耗与封装面积同步攀升，传统有机基板因与硅芯片热膨胀系数（CTE）严重失配，正面临翘曲失效的可靠性瓶颈，推动材料体系从有机向无机加速演进。硅的CTE约3ppm/°C，而有机基板（如ABF树脂）通常达17-20 ppm/°C，二者相差6至7倍。小尺寸芯片尚可承受此差异，但当AI芯片功耗达数百瓦、封装尺寸急剧放大后，热循环产生的应力集中足以引发结构翘曲甚至焊点开裂，直接威胁互连可靠性。以玻璃、陶瓷为代表的无机材料，CTE可调控至与硅接近匹配，并具备更高的表面平整度与更低的介电损耗，能够从根源上缓解翘曲并改善高频传输性能。

图表：大尺寸封装的WLP和PLP对比

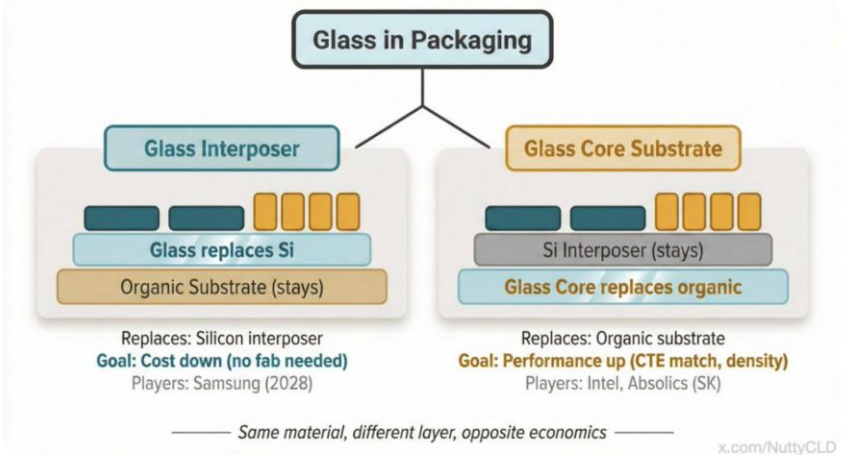


图表：AI时代传统封装材料暴露出不足

材料类型	核心痛点	具体表现	对AI封装的限制
有机基板 (ABF/BT树脂)	高频损耗大	损耗因子Df≈0.01-0.03, 112Gbps+ SerDes信号衰减严重	无法满足AI芯片超大带宽通信需求
	热膨胀失配	CTE≈50-70ppm/°C, 与硅芯片 (约3 ppm/°C) 差异显著	大尺寸FC-BGA/Chiplet封装易翘曲, 焊点可靠性下降, 良率受限
	精细布线能力触及极限	极限线宽线距L/S≈5-8 μm	难以满足超高I/O密度与小Pitch互连需求
	高温稳定性差	玻璃化转变温度Tg≈180-220°C	高功率AI/GPU长期工作易变形、可靠性下降
硅中介层	制备成本高	基于晶圆级工艺制备, 高端光刻与刻蚀工艺投入大	推高AI芯片2.5D/3D集成封装整体成本
	尺寸受光罩限制	在12英寸晶圆上, 单个光罩的最大曝光面积约为858 mm ²	大尺寸AI中介层需使用光罩拼接 (reticle stitching) 技术, 进一步抬高成本, 封装良率降低, 制约大规模量产
	散热瓶颈	硅的热导率≈150-160 W/m·k	当AI芯片功率突破千瓦级时, 难以满足散热需求

- **CoPoS**（面板上芯片再封装基板）被视作先进封装面板化的重要升级方向，旨在解决传统CoWoS架构在大尺寸AI芯片封装场景下面临的晶圆产能受限及单位成本持续提升等问题。CoPoS的核心变化在于制造平台由传统圆形晶圆转向方形面板载体，以大尺寸面板RDL替代传统硅中介层，并采用玻璃、蓝宝石等高稳定性材料作为中介层载具，搭配多层RDL技术，实现更大面积、更高效率的封装制造。相较300mm晶圆，当前行业主流面板规格已扩展至310×310mm、515×510mm、750×620mm等，大幅提升单次工艺加工面积与封装产出数量。根据台积电规划，公司首条CoPoS试点产线预计于2026年启动，并计划于2028-2029年实现量产，首家客户已确定为英伟达。
- **Glass-core**，Intel的玻璃芯板技术路线：Intel是全球最早规模化布局玻璃基封装研发的企业之一。2023年9月，公司正式提出玻璃基板技术路线，核心思路是以玻璃作为芯层材料取代有机封装基板中的有机芯层，以ABF或其他类似材料通过加成/半加成工艺完成增层制备的FCBGA封装基板。相较传统有机基板，玻璃芯基板在尺寸稳定性、布线精度及大尺寸封装适配能力等方面具备明显优势。Intel规划于2030年前实现该技术的大规模量产导入。

图表：玻璃基板在先进封装两种实现路径
(CoPoS、Glass-core)

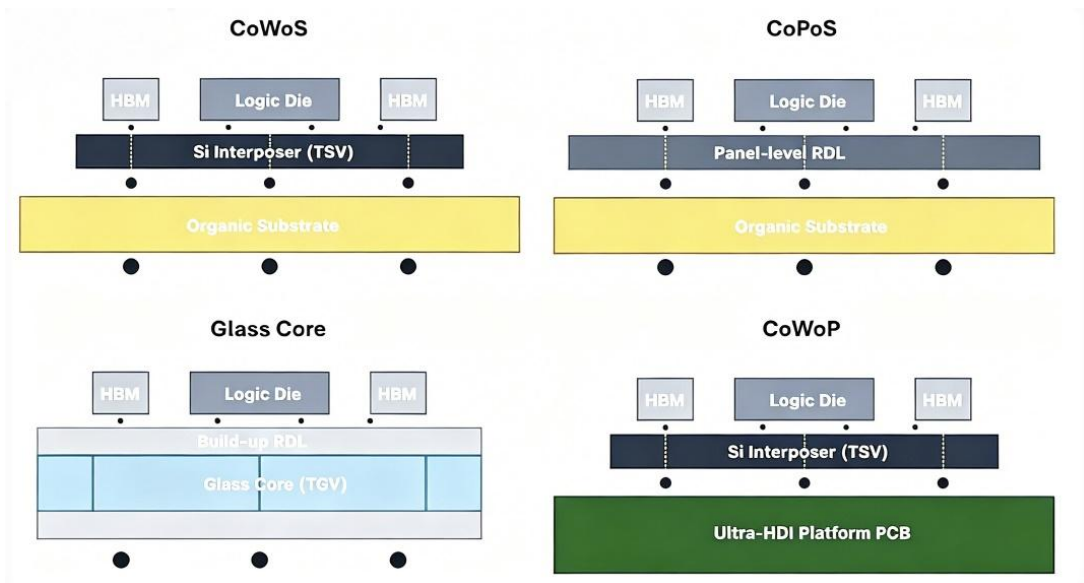


图表：四种先进封装路线对比

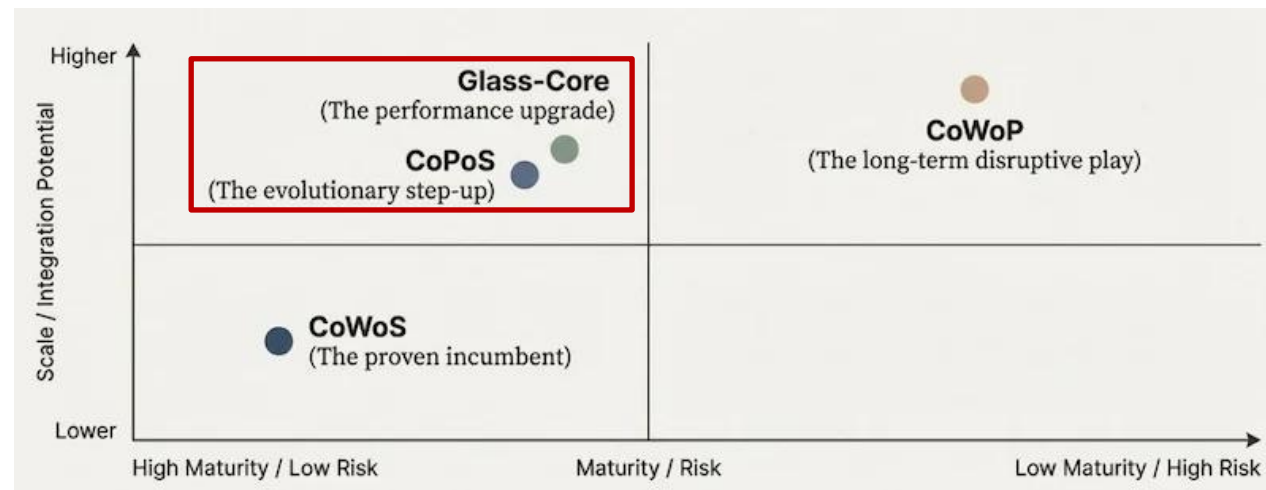
特征	CoWoS (S/R/L)	CoPoS	Glass-Core Substrates	CoWoP
核心概念	有机基板上的硅中介层	大尺寸矩形面板扇出封装	基板中采用高性能玻璃芯板	中介层/芯片直接集成于先进PCB
载体形式	300mm晶圆	矩形面板 (515×510mm)	大尺寸矩形面板	PCB系统板
最大封装面积	受光罩限制 (约2700 mm² 或3.3倍光罩)	面板限制 (大于10,000mm²)	面板限制	中介层/板限制
典型线宽/线距 (L/S)	硅RDL: 0.5/0.5-1/1 μm; 有机层: 约2/2 μm	面板RDL: 约3/3-10/10 μm (Demos约2/2 μm)	目标尺寸: 约1/1-2/2 μm	当前尺寸: 约15/15-25/25 μm (mSAP/SLP); 目标≤10/10 μm
核心优势	最高I/O密度与带宽、已大规模验证	面积利用率高、超大封装成本更优	尺寸稳定性高、低损耗、通用性强	最短信号路径、最大的材料节省
主要瓶颈	晶圆形状导致面积浪费、受光罩尺寸限制	涂层均匀性、翘曲及HVM (大规模量产) 集成问题	TGV (玻璃通孔) 形成、金属化良率及脆性问题	PCB良率/翘曲控制、CTE失配
技术成熟度	当前已成熟，低风险 (AI/HPG)	中期: 开始导入; 良率仍在提升阶段	中期: 面向高端系统的新兴路线	长期: 概念阶段/早期Demos; 量产时间不确定
对产业链影响	以晶圆代工与封测厂为核心	扩展封测厂与面板制造厂角色	推动载板厂能力升级	价值链向先进PCB厂转移
关键工艺/设备	晶圆光刻、TSV桥接、ABF载板	面板级步进式曝光机 (μm级)、狭缝式涂覆工艺、玻璃芯趋势	TGV金属化、玻璃处理与加固	超细线路PCB制造、先进压合、mSAP

- **CoWoP（一体式无损封装）**是一种新兴的系统级封装创新技术，其核心思路是以多层PCB直接替代传统ABF/BT封装基板。具体而言，芯片首先通过微凸点连接至硅中介层，再经由C4凸点直接与PCB主板互连，从而省去传统有机封装基板环节。相较传统先进封装架构，CoWoP具备多方面优势：1) 是通过缩短信号传输路径、减少中间互连层级，可有效改善数据延迟及电源完整性；2) 通过与散热器直接接触来改善散热管理；3) 去除ABF/BT基板和采用大面板PCB工艺可以降低40-50%的封装成本；4) 高通量PCB面板制造技术能够支持更快的规模化生产。其难点在于需同时解决精细PCB制造、大尺寸板级平整度、大电流供电以及先进检测等多项高难度工艺问题，对产业链制造能力与良率控制提出较高要求，目前CoWoP仍处于概念和早期演示阶段。

图表：四种封装结构对比

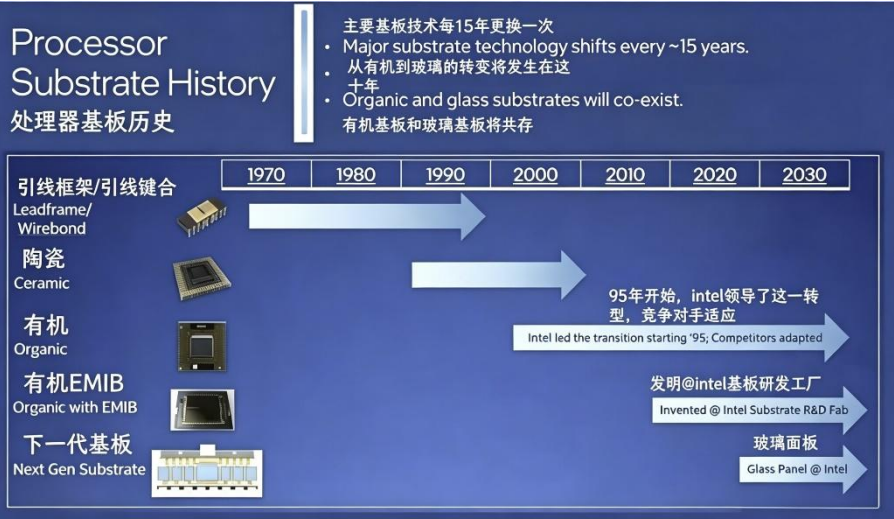


图表：先进封装路线评估矩阵：成熟度/风险



- 玻璃基板为下一代芯片基板的核心方向。封装基板是连接裸芯片与PCB的重要载体，承担电气互连、机械支撑、散热保护及信号传输等核心功能，是先进封装体系中的关键材料。自20世纪70年代以来，芯片基板材料经历了从引线框架、陶瓷基板到有机基板的迭代，而凭借独特性能优势，玻璃基板正成为下一代高性能封装的重要技术方向。
- 玻璃基板相较传统有机基板，在电性能、热性能及尺寸稳定性等方面优势显著，同时有望缓解硅中介层在成本、尺寸与良率上的瓶颈。具体来看：1) 玻璃材料作为绝缘体，介电损耗(Df)仅约0.001-0.003，较有机材料低一个数量级，更适配224Gbps以上高速信号传输；2) 玻璃基板具有“可调CTE”优势，CTE可控制在3-9ppm/°C，更好地与硅芯片匹配，可降低大尺寸、多芯片封装中的热应力与翘曲，缓解内部应力，显著提升了长期可靠性；3) 玻璃具备纳米级表面平整度(粗糙度<4nm)，支持L/S<2μm高密度RDL制造，提升I/O密度；4) 玻璃材料Tg超过500°C，热稳定性与散热性能更优，更适用于高功率AI芯片封装；5) 玻璃基板可适配700×700mm级面板化工艺，有助于提升产能利用率并降低单位封装成本。
- 从技术演进方向看，在AI/HPC、高端FC-BGA及Chiplet等对性能要求极高的领域，玻璃基板替代有机基板具备较强技术必然性；但在中低端消费电子及工业PCB领域，由于性能需求和成本敏感度差异，传统有机基板预计仍将长期共存。

图表：封装基板技术路径演变



图表：玻璃基板vs传统有机基板

对比项	有机基板 (ABF/BT)	玻璃基板 (硼硅)	影响
介电常数Dk	8-15	4-6	玻璃更适合高频高速
介质损耗Df	0.01-0.03	0.001-0.003	玻璃信号完整性显著更优
CTE (ppm/°C)	50-70	3-9	玻璃与硅匹配，翘曲风险低
平整度	微米级	纳米级 (<4nm)	玻璃支持<2μm细线路
Tg (°C)	180-220	>500	玻璃高温稳定性好
导热系数 (W/m · K)	0.3-0.5	1.0-1.3	玻璃散热更优
最小L/S (μm)	5-8	1-2	玻璃I/O密度更高
成本 (相对)	基准 (1.0)	目前2-3倍	高端可接受，中低端不经济
成熟度	极高 (量产多年)	中 (2026小批量)	有机供应链完善，玻璃在建

来源：《电子与封装》杂志、玻纤技术信息、3D IC、中泰证券研究所



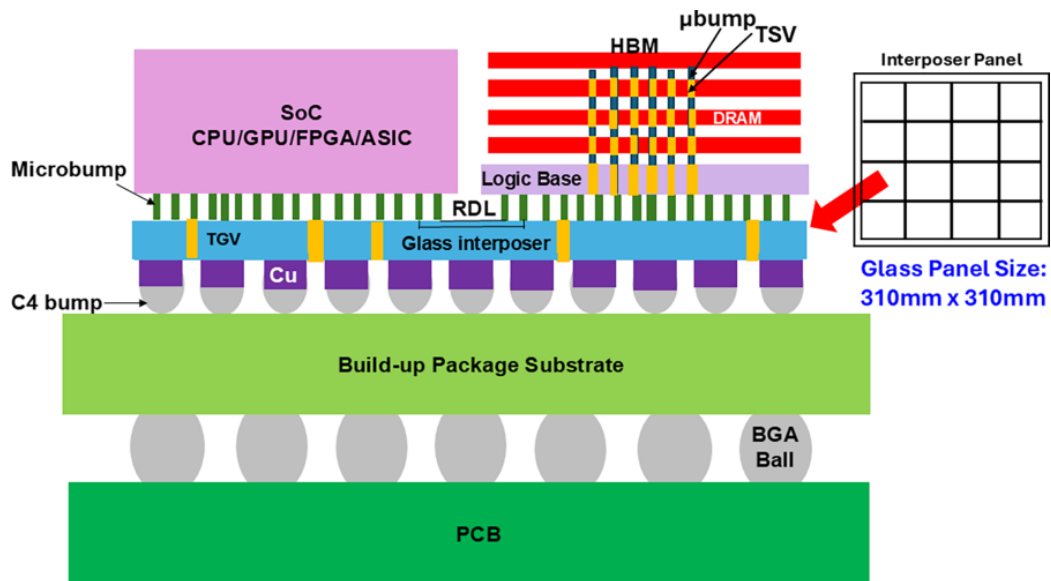
2

玻璃基板三大场景与商业化节奏

领先于市场

- 2025年4月23日，台积电北美技术研讨会上正式宣布宣布将部分CoWoS（芯片封装在晶圆基板上）工艺升级为CoPoS（芯片封装在面板基板上）先进封装技术，旨在通过从传统圆形晶圆到方形面板的制造平台切换，显著提升面积利用率并降低单位算力的封装成本。该技术通过采用大面积方形基板替代硅中介层，能够承载更多的高性能芯片与HBM存储堆栈，从而大幅优化封装集成度与I/O密度。根据台积电的产能规划，首条CoPoS试验产线预计于2026年启动，目标在2028年底至2029年上半年实现规模化量产，并将英伟达等头部算力厂商列为首批战略合作伙伴。

图表：CoPoS面板结构图

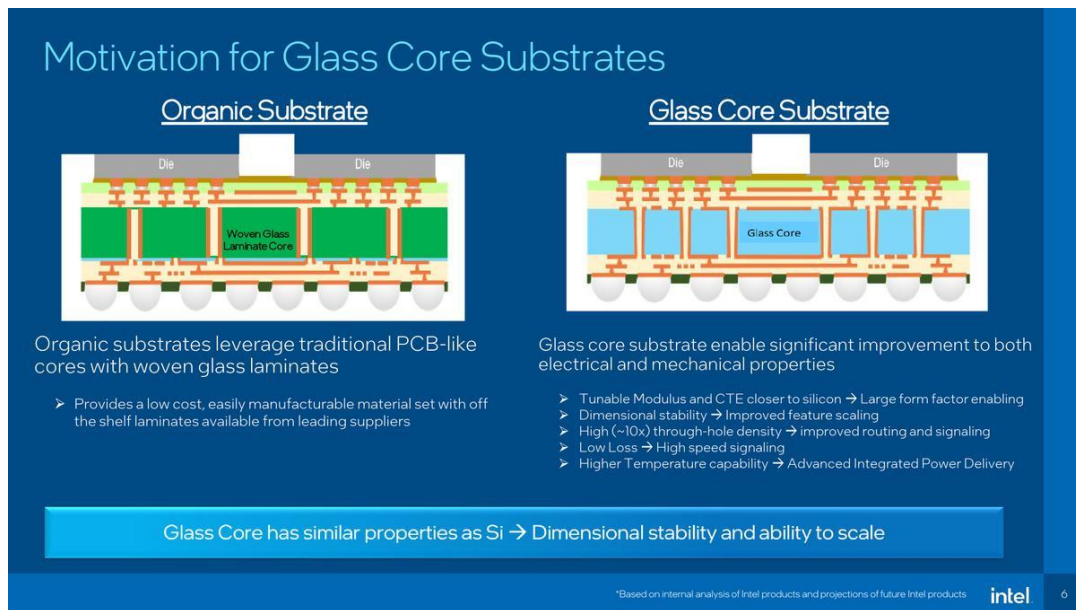


图表：CoWoS VS CoPoS

	CoWoS	CoPoS
技术核心	芯片与硅中介层先整合，再安装到ABF封装基板上	芯片模组在面板级基板上封装，提升生产效率、降低成本
优势	技术成熟，支持HBM堆叠与高速互连	生产效率更高、单位成本更低，适用于大面积设计
量产时程	已进入量产	台积电于2025年发布了310×310毫米CoPoS产品线，并计划于2026年在VisEra建立首条迷你生产线，2027年开始小批量试生产，并在2028年至2029年间实现量产
应用	AI加速器、HPC、HBM堆叠模组	
供应链变化	依赖ABF基板；台积电CoWoS产能为关键瓶颈	驱动面板级封装设备与材料升级

- 2023年9月，Intel正式发布Glass Core Substrate（玻璃芯基板）技术，提出以玻璃材料替代传统ABF有机载板，用于下一代AI与HPC芯片先进封装。相较传统ABF载板在大尺寸封装中易出现翘曲、布线密度受限及热机械稳定性不足等问题，玻璃芯基板凭借更低CTE、更高刚性及更优平整度，更适合承载AI时代持续扩大的Chiplet与HBM封装需求。2026年1月，英特尔在日本NEPCON展会上首次展示了将EMIB封装与玻璃芯基板相结合样品，采用“10-2-10”厚玻璃核心架构，并首次实现“无微裂纹”超低翘曲封装能力，可显著改善超大尺寸AI封装中的变形与可靠性问题。该方案集成45μm超细间距凸点及双EMIB桥接结构，可支持约78×77mm（约1716平方毫米）大封装尺寸与约两倍光罩面积的Chiplet/HBM集成。根据Intel披露，Glass-Core可实现约10倍互连密度提升，并支持更大尺寸封装，有助于推动AI芯片向“单封装万亿晶体管”演进。
- 与台积电CoPoS主要替代硅中介层不同，IntelGlass-Core更偏向替代传统ABF载板芯板，其核心逻辑是升级封装底座材料，以满足AIGPU、HBM与Chiplet持续提升的I/O密度与大尺寸封装需求。

图表：OrganicSubstrate VS GlassCoreSubstrate



图表：intelGlass-Core核心优势

核心优势	玻璃基板实现的可扩展性	产品价值
1 线宽 / 通孔更精细	线宽/线距<5/5μm，玻璃通孔TGV间距<100μm	可减少布线层数 / 封装体积，或直接增加芯片核心数
2 凸点间距缩放	支持基板上芯片间凸点间距<36μm，核心凸点间距<80μm	缩小芯片面积、降低功耗，同时提升信号互连密度
3 封装尺寸更大	相同封装内可实现芯片复杂区域面积提升50%，支持>8倍光刻区域硅片面积，封装尺寸最大可达240×240mm	满足 HPC 场景下，超大规模芯片的扩展需求
4 高速传输能力强	平滑铜布线+超低损耗介质+玻璃通孔（TGV）间距优化	不用切换到复杂昂贵的光学方案，就能实现高速信号传输
5 供电效率更高	采用先进集成无源器件（IPD）设计	性能提升

2.1.3 全球厂商布局进展：2026年为商业化元年，2028年进入快速渗透期

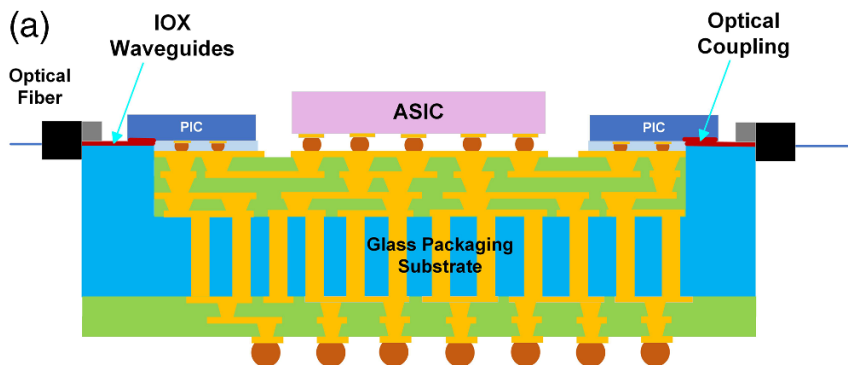
■ 随着AI GPU、HBM与Chiplet 持续推动先进封装向“大尺寸、高密度、高速互连”演进，玻璃基板正从研发验证阶段逐步迈向商业化。2025-2026年以来，Intel、TSMC等产业链核心厂商均明显加快布局节奏，行业已由“技术验证期”进入“量产导入期”。当前Intel已公开展示Glass-Core + EMIB 实物样品，TSMC正推进CoPoS面板级封装试验线建设，三星电机已建立了首条玻璃芯基板迷你生产线，并计划于2027年实现量产。整体来看，2026年有望成为玻璃基板商业化元年，而随着AI ASIC、GPU与CPO（共封装光学）需求放量，预计2028年前后行业将进入规模化渗透阶段。

图表：全球厂商布局进展

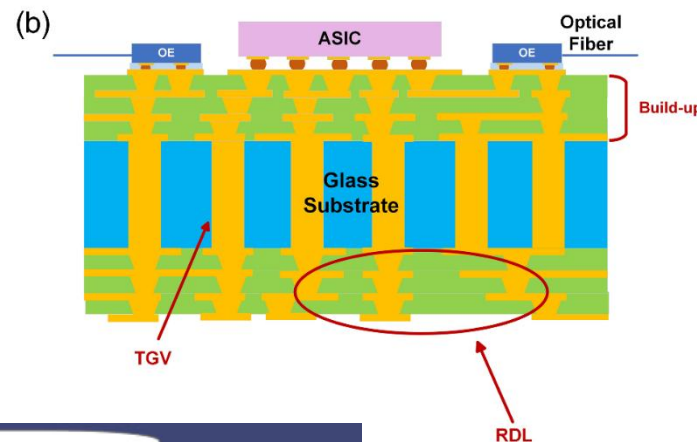
公司	供应链角色	技术路线	当前进展
英特尔	IDM/先进封装龙头	玻璃核心基板+EMIB+小芯片封装	2026年首次展示玻璃基板+FMIB 封装，实现45μm凸点间距、无微裂纹；将玻璃基板技术定位为万亿晶体管封装的关键
康宁	核心玻璃材料供应商	超低CTE玻璃基板材料	被视为AI封装玻璃基板的关键生态推动者，于2026年5月与京东方签署三年合作备忘录，围绕玻璃基封装载板、钙钛矿玻璃基板、光互连等方向展开深度合作
三星电机	封装基板供应商	玻璃中介层/玻璃核心基板	三星电机与日本住友化学计划成立合资公司，共同量产玻璃芯基板。预计在2026年签订主要协议，并于2027年后实现量产
三星电子	IDM/封装生态商	玻璃上集成AI封装	与三星电机合作开发全栈玻璃封装生态，对标英特尔AI封装方案
台积电	晶圆厂 / 先进封装商	玻璃中介层+CoPoS+PLP	发布310×310mm CoPoS平台，计划2026年6月完成试点线建设；行业预计2028-2029年量产
日月光	OSAT/封装商	先进封装验证	参与玻璃基先进封装方案评估
京东方	显示-半导体跨界厂商	玻璃基板+TGV	已建成半导体玻璃基板试点线，目前已向部分国内客户送样，部分客户通过了概念认证并进入技术测试阶段

- 玻璃基板的第二代应用场景正逐步拓展至CPO（共封装光学）领域。随着人工智能与高性能计算快速发展，数据中心对更高聚合数据吞吐量、更高速率及更低功耗的需求持续提升，CPO技术因此成为突破传统电互连瓶颈的重要方向。然而，当前2.5D/3D CPO在电学、热学及机械可靠性方面仍面临诸多挑战，亟需新材料与新工艺，以实现高速、高密度、低损耗、高可靠互连，并解决高功率芯片封装下的散热、翘曲及焊点可靠性问题。玻璃材料凭借低介电常数、低介电损耗、高表面平整度、可调热膨胀系数（CTE）以及优异的光学透明性，成为CPO平台的理想候选材料。其既支持晶圆级或面板级大尺寸低成本制造，又可同时实现高密度电互连与低损耗光互连的一体化集成。2021年，Corning提出基于玻璃的光电共封装方案，在同一玻璃基板上集成低损耗离子交换光波导、机械被动对准光纤连接器及TGV电互连结构，实现了光互连与电互连融合，为下一代CPO封装提供了新的技术路径。此外，Intel 已在里奥兰乔工厂开放硅光子制造服务，并向外部客户提供代工支持；同时，公司展示了集成CPO的玻璃基板原型，预计2030年左右实现商业化应用。
- 目前，面向CPO的玻璃基板主要存在两条技术路线：一类是以Corning为代表的光电混合集成方案，即在玻璃基板上同时集成光波导、光纤连接器及TGV电互连结构，实现光互连与电互连融合；另一类则以玻璃作为高性能电互连中介层，玻璃核心层通过TGV结构实现垂直互连，并在核心层上下构建较传统基板更细线宽/线距（L/S）的高密度布线层，芯片通过铜柱或焊球以倒装芯片（FC）方式连接基板。相比前者，该方案并未在玻璃本身构建光波导结构，而是通过边缘耦合方式实现PIC的光信号输入输出，更侧重于提升高速电互连性能。

图表：集成电互连结构和光波导的玻璃基板



图表：CPO玻璃芯基板



- 玻璃基板正成为6G射频与集成无源器件（IPD）的关键底层材料。在高频通信系统中，IPD面积占比通常超过60%，随着5G-A、6G及毫米波通信向更高频率、更高带宽演进，传统分立式无源器件正加速向高集成度IPD方案升级。
- 相比传统有机材料，先进玻璃基板具备更低介电损耗和更优异的高频信号传输性能。其介电常数（Dk）可调范围约为3.5–7.0，30GHz下损耗角正切低于0.001，可显著降低插入损耗。同时，玻璃材料具备高电阻率、超光滑表面及优异尺寸稳定性，可有效降低导体散射损耗与高频衰减，因此成为6G、AiP（封装天线）、高速SerDes及光电共封装（CPO）的重要衬底方案。
- 随着6G目标是支持更高的速率及更宽的宽带，传统有机基板在插损、表面粗糙度及尺寸稳定性方面的瓶颈愈发明显，而玻璃IPD凭借低损耗、高Q值及高集成度优势，有望成为下一代高频射频前端的重要技术方向。
- 国内产业化方面，Glass IPD已进入实质量产阶段。2025年，上海芯波与云天半导体联合推进的3D Glass IPD项目单一量产产品累计交付已突破1000万颗，标志着全球首条3D Glass IPD产线实现规模化稳定生产，相关产品已应用于5G射频模组、AI、汽车电子及物联网等领域。

图表：云天3D IPD 结构图





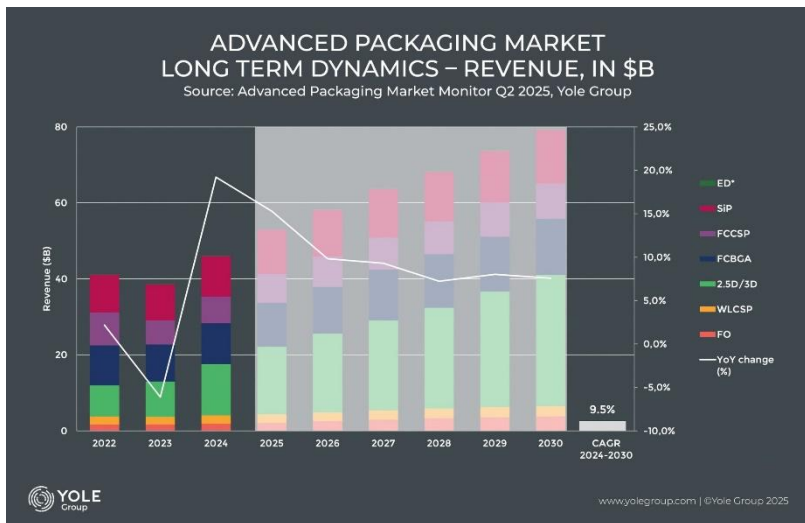
3

玻璃基板市场规模与全产业链分析

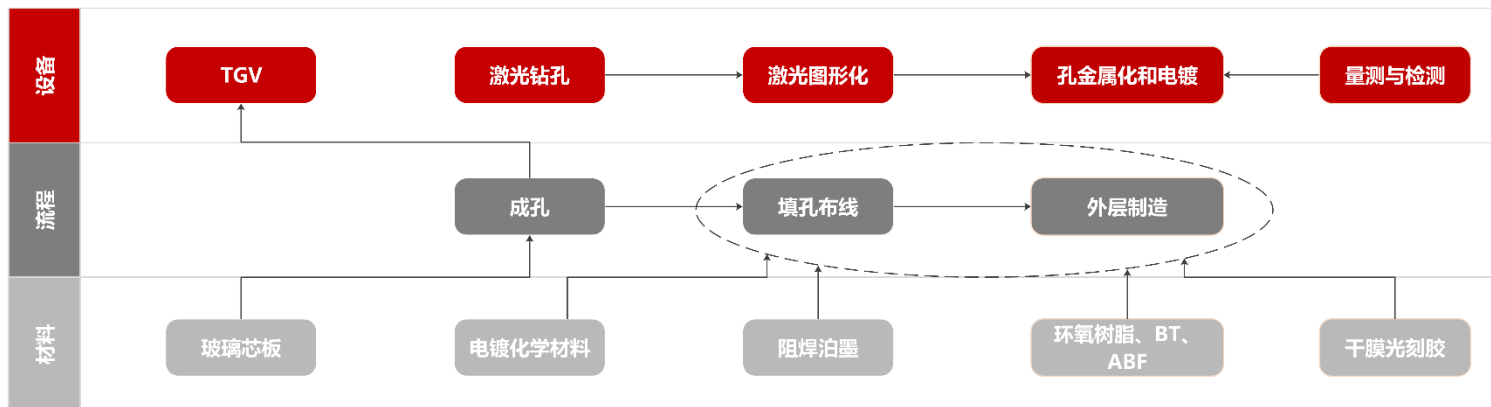
领先行业

- AI算力需求的爆发性增长为玻璃基板提供了广阔市场空间。据Yole Group发布的半导体封装市场报告显示，2024年先进封装市场规模约为450亿美元，预计将以9.5%的强劲复合年增长率增长，到2030年达到约800亿美元。同时，2025年后玻璃基板封装市场将进入高速成长期，预计2029年封装基板市场规模将突破315亿美元，复合增长率超10%。行业迈入高速增长期，建议布局玻璃基板全产业链机会。玻璃基板全链条包括：原片采购→减薄磨抛→激光改性→腐蚀打孔→PVD溅射种子层→电镀/化镀填孔制成芯板→涂胶曝光做线路→多层积层（可制作2/4/6/8层板）→成品供应给封测厂→终端厂商。上游为生产、原料、设备环节，中游为技术、封装检测环节，下游为应用环节。

图表：先进封装市场市场规模预测



图表：玻璃基板全产业链



- **玻璃基板的核心原材料主要是无碱/低碱硼硅特种电子玻璃。**半导体用玻璃要求极高表面平整度（翘曲控制在微米级）、介电常数 $Dk \leq 6.0$ 、低介电损耗 $Df \leq 0.005$ ，且热膨胀系数（CTE）需精密控制在 $3 \sim 9 \text{ppm}/^\circ\text{C}$ ，以完美匹配硅片。玻璃的物理化学性能可通过掺杂特定元素来实现精准调控。从组成与特性的角度来看，当前芯片封装用玻璃基板以硼硅酸盐玻璃为主，亦涵盖铝硼硅玻璃、铝硅酸盐玻璃等衍生体系。硼硅酸盐玻璃是通过在 SiO_2 骨架中加入 B_2O_3 制备的， B_2O_3 可有效降低CTE，显著提升玻璃的抗热震能力与化学稳定性；铝硅酸盐玻璃则通过加入 Al_2O_3 来替代碱金属以稳定网络，同步增强机械强度。
- **上游直接决定了基板的物理、电磁性能极限，技术和专利壁垒较高。**全球市场由康宁、AGC、肖特主导，国内凯盛科技、旗滨集团、力诺药包、戈碧迦等企业正加速追赶。值得关注的是，半导体玻璃基板与药用玻璃共享同一核心材料体系——硼硅玻璃。药用中性硼硅玻璃领域早期同样被康宁、肖特等海外龙头垄断，而国内山东药玻、力诺药包实现快速国产替代。两者玻璃工艺壁垒同源，核心难点均集中于玻璃配方精确控制、碱金属含量管控以及大尺寸均匀性。这一底层技术的共通性，使得药用玻璃企业凭借长期积累的硼硅玻璃配方调控与成型能力，能够相对快速地切入玻璃基板赛道。

图表：常见的玻璃基板型号与种类

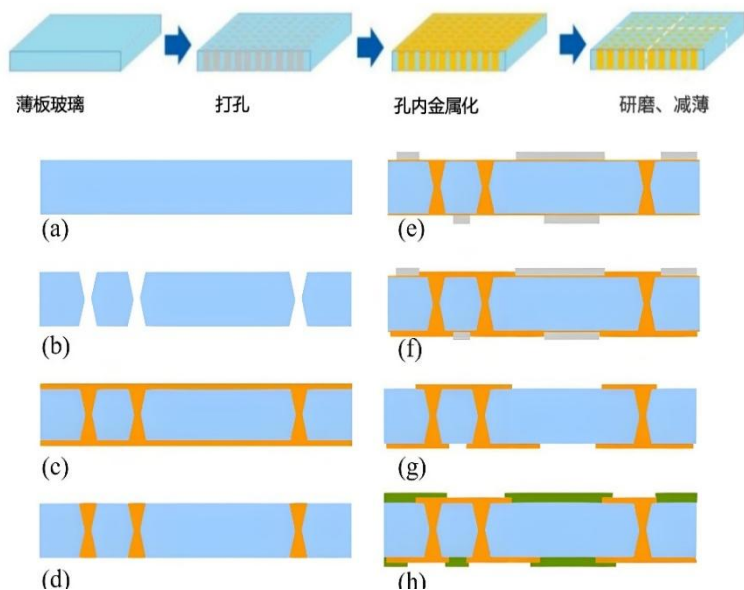
基板型号	类型	CTE/($10^{-6}/^\circ\text{C}$)	ϵ_r	损耗角正切/ 10^{-3}
SCHOTT Borofloat33	硼硅酸盐玻璃	3.3	4.5	7.5 (10 GHz)
SCHOTT D263Teco	低碱硼硅酸盐玻璃	7.2	6.3	10.1 (5 GHz)
SCHOTT B270D	钠钙玻璃	9.4	6.7	7.7 (5 GHz)
SCHOTT AF32	铝硼硅玻璃	3.2	5.1	6.1 (10 GHz)
SCHOTT AF35G	铝硼硅玻璃	3.3	5.2	5.3 (5 GHz)
SCHOTT AS87	铝硅酸盐玻璃	8.7	7.2	17.2 (5 GHz)
SCHOTT 8325	硼硅酸盐玻璃	3.3	4.5	2.1 (10 GHz)
Corning 7980	石英玻璃	0.5	3.8	0.3 (77 GHz)
Corning SG3.3	硼硅酸盐玻璃	3.3	4.6	3.7 (1 MHz)
Corning Eagle XG	铝硼硅玻璃	3.2	5.3	1 (1 kHz)
旭硝子 (AGC) EN-A1	铝硼硅玻璃	3.8	5.5	6 (10 GHz)
电气硝子 (NEG) ABC-1	铝硼硅玻璃	3.7	5.6	1 (1 MHz)

图表：半导体玻璃基板原片公司榜单

半导体玻璃基板原片八大公司榜单	
 康宁Corning (美国)	 肖特Schott (德国)
 旭硝子AGC (日本)	 电气硝子NEG (日本)
 SKC/Absolics (韩国)	 三星康宁 [®] Samsung Corning (韩美合资)
 戈碧迦 (中国·北交所)	 凯盛科技 (中国)

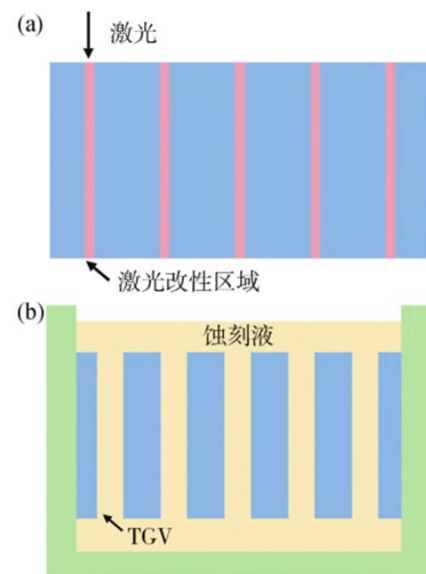
- TGV是玻璃基板先进封装中的核心互连技术。其核心作用是通过在玻璃基板上制备贯穿式垂直微孔，并填充金属铜等导电材料，实现芯片间的高密度电气互连。TGV的出现，旨在解决传统TSV转接板中由于硅衬底的高损耗问题所引发的高频或高速信号传输性能下降，以及硅材料成本较高、工艺复杂等挑战。
- 钻孔是TGV的主要环节之一，激光诱导刻蚀（LIDE）是当前实现大尺寸、高密度TGV批量制造的最优技术路径。该技术采用两步法工艺：1）激光处理——根据设计图形对加工玻璃进行选择性的激光改性。2）化学蚀刻——将激光处理过的玻璃放入氢氟酸溶液中进行刻蚀，激光改性区域的蚀刻速率高于未改性区域，从而实现选择性蚀刻。与传统钻微孔工艺相比，LIDE优势明显。1）加工质量：所得玻璃微结构无碎屑、微裂纹及残余热应力，玻璃基材的机械强度与光学透明度得以保持；2）加工精度：可实现极高深宽比的通孔加工，范围覆盖1:10至1:50，通孔直径最小可至 $10\mu\text{m}$ ；3）工艺扩展性：该技术适用于复杂玻璃元件的大规模生产。

图表：TGV工艺流



注：(a) 准备玻璃晶圆 (b) 形成TGV (c) PVD阻挡层，种子层，双面电镀-沉积铜 (d) 退火及CMP化学机械抛光，去表面铜层 (e) PVD镀膜及光刻 (f) 布置RDL重布线层 (g) 去胶及Cu/Ti刻蚀 (h) 形成钝化层（介电层）

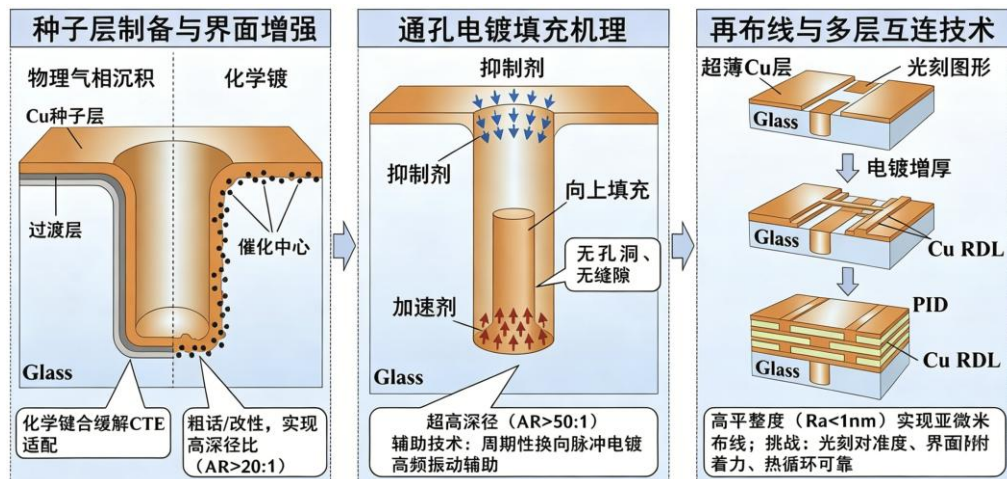
图表：激光诱导蚀刻过程



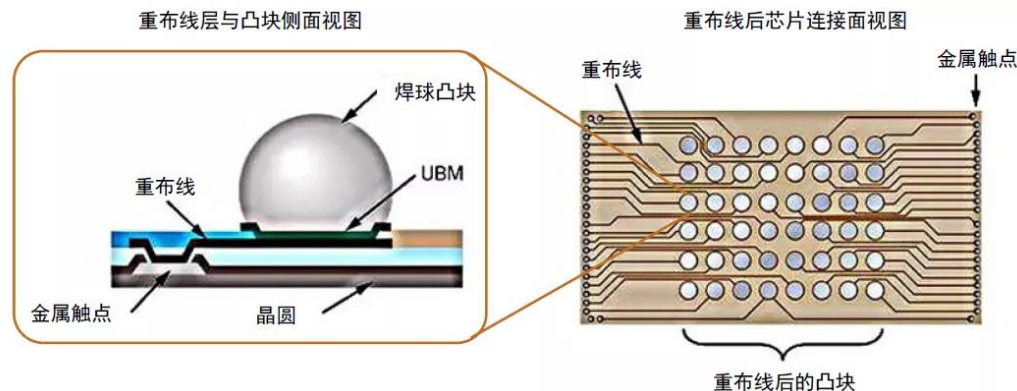
注：激光诱导刻蚀法制备TGV过程 (a) 激光改性 (b) 蚀刻通孔

- TGV通孔填充工艺中，金属化填充与布线是决定玻璃基板电气连接质量的关键环节。
- 通孔金属化是指在已成型的微孔内填充导电金属，从而构建垂直方向的电连接。TGV通孔金属化通常采用电镀铜填充：
 - 1) 种子层制备-由于玻璃为绝缘体，因此必须先先在玻璃孔壁制备种子层作为导电通路再进行电镀填充。目前，物理气相沉积（PVD）和化学镀是制备种子层的主流方法。对于高深径比通孔结构，PVD工艺制备的种子层在通孔中心区域难以实现连续覆盖，进而在后续电镀过程中易引发铜层空洞或分离；化学镀具备更好的孔壁覆盖连续性。
 - 2) 电镀-由于电解液在高深宽比孔道内的扩散受限，易造成孔口过早闭合并形成内部空洞，因此行业普遍采用“底向上”的填充方案，即通过电镀液中抑制剂、加速剂等添加剂的协同作用，驱动铜从孔底向上定向生长，实现通孔的无缺陷填充。
- RDL重布线层：玻璃基板具备优异的表面平整度（ $Ra < 1nm$ ），能够有效支撑亚微米级高精度布线需求。目前，行业主要采用半加成法（SAP）及改进型半加成法（mSAP）工艺进行RDL重布线层加工。大面积、多层布线玻璃基板产业化的关键工艺挑战：1) 玻璃材料刚性较高，对大面积布线过程中的光刻对准度及干膜附着力要求高；2) 多层互连结构中，聚合物与玻璃、聚合物与金属之间的层间粘附力如何提升，以及冷热循环下的层间分层问题。

图表：TGV金属化填充与精细布线工艺



图表：RDL的技术原理





4

核心标的梳理

领先于行业

图表：玻璃基板全产业链重点标的

环节	标的	核心逻辑
玻璃基板（加工）	沃格光电	TGV全制程技术，微孔5μm/深径比100:1；已建成首条年产10万平米TGV产线并实现小批量供货；1.6T光模块玻璃基载板已完成小批量送样
	彩虹股份	显示玻璃基板厂商，布局半导体封装玻璃
	美迪凯	成功开发TGV工艺，实现Min10 μm微小孔径通孔、盲孔处理
	京东方	显示玻璃龙头，向半导体玻璃基板延伸；目前大板级玻璃载板中试线已实现工艺通线
玻璃原片	戈碧迦	特种玻璃供应商，已成功开发玻璃基板材料并向多家知名半导体厂商送样；参股TGV公司熠铎科技实现纵向延伸
	凯盛科技	显示材料国产龙头，持续开展TGV通孔玻璃技术研发，已形成自主知识产权的半导体封装用TGV通孔玻璃产品
	力诺药包	药用硼硅玻璃龙头；据经济观察网，AI芯片封装玻璃基板已向台积电送样，部分尺寸（如150×150mm）已于2026年4-5月通过测试，更大尺寸（510×515mm）正在推进中
	旗滨集团	国内浮法玻璃龙头，2025年8月与国内某著名自主芯片科技公司开展合作，针对性研发高性能芯片封装玻璃
激光设备	大族激光	超快激光器布局，TGV激光打孔设备；TGV设备获头部厂商认证并批量交付；飞秒激光增强蚀刻技术（FLEE）通孔直径≤5um，深宽比≥50:1
	帝尔激光	激光精密加工设备，TGV钻孔；目前已完成面板级玻璃基板通孔设备出货，实现晶圆级和面板级TGV封装激光技术全面覆盖
	德龙激光	超快激光器，LIDE工艺核心设备；已研发出玻璃通孔（TGV）激光精细微加工设备，并获得少量订单出货
电镀设备	东威科技	TGV电镀设备核心供应商；玻璃基板相关设备可应用于半导体封装领域，为高端SIP和高算力芯片封装提供支持；PVD、TGV、RDL设备已成功交付客户。
	三孚新科	布局玻璃基板及PLP电镀设备，旗下广州明毅电子的玻璃基板电镀设备率先投入试产
电镀液/辅材	艾森股份	显影液、蚀刻液、去胶液等先进封装光刻胶配套试剂可用于TGV封装
	天承科技	TGV填孔电镀液国产替代，AR=10~15的TGV填孔电镀加工效率和良率等关键指标获较好反馈
	江化微	湿电子化学品龙头，现有产品覆盖氢氟酸、氟化铵溶液/腐蚀液、硅腐蚀液及清洗剂等TGV蚀刻相关关键品类
	德邦科技	2025年9月获得玻璃基板封装固化胶相关专利授权
光刻	洪田股份	微纳直写光刻设备；控股子公司洪镭光学切入玻璃基板赛道，其自主研发的TGV直写光刻机已实现量产并成功交付给头部客户
	芯基微装	直写光刻设备；先进封装设备支持玻璃基板封装

- **技术产业化进展不及预期风险：**TGV通孔成型与金属化填充良率爬坡存在不确定性，若核心工艺进展放缓，产业化进程可能滞后；
- **行业竞争加剧风险：**康宁、肖特等国际龙头积累了较长时间的技术与专利壁垒，且与英特尔、台积电等封装龙头深度绑定，国产替代面临压力；
- **市场需求不及预期风险：**玻璃基板发展初期高度依赖AI算力与HBM封装需求，若下游应用放量不及预期，市场规模扩张可能受限；
- **研究报告使用的公开资料可能存在信息滞后或更新不及时的风险；**
- **第三方数据失真风险。**

重要声明

- 中泰证券股份有限公司（以下简称“本公司”）具有中国证券监督管理委员会许可的证券投资咨询业务资格。本公司的客户使用。本公司不会因接收人收到本报告而视其为客户。
- 本报告基于本公司及其研究人员认为可信的公开资料或实地调研资料，反映了作者的研究观点，力求独立、客观和公正，结论不受任何第三方的授意或影响。本公司力求但不保证这些信息的准确性和完整性，且本报告中的资料、意见、预测均反映报告初次公开发布时的判断，可能会随时调整。本公司对本报告所含信息可在不发出通知的情形下做出修改，投资者应当自行关注相应的更新或修改。本报告所载的资料、工具、意见、信息及推测只提供给客户作参考之用，不构成任何投资、法律、会计或税务的最终操作建议，本公司不就报告中的内容对最终操作建议做出任何担保。本报告中所指的投资及服务可能不适合个别客户，不构成客户私人咨询建议。
- 市场有风险，投资需谨慎。在任何情况下，本公司不对任何人因使用本报告中的任何内容所引致的任何损失负任何责任。
- 投资者应注意，在法律允许的情况下，本公司及其本公司的关联机构可能会持有报告中涉及的公司所发行的证券并进行交易，并可能为这些公司正在提供或争取提供投资银行、财务顾问和金融产品等各种金融服务。本公司及其本公司的关联机构或个人可能在本报告公开发布之前已经使用或了解其中的信息。
- 本报告版权归“中泰证券股份有限公司”所有。事先未经本公司书面授权，任何机构和个人，不得对本报告进行任何形式的翻版、发布、复制、转载、刊登、篡改，且不得对本报告进行有悖原意的删节或修改。